

Señores

DIVISION DE NUEVAS CREACIONES

SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO

Santafé de Bogotá, D.C.

02-01-444-

Re.: Expediente No. 00 - 73.259

Solicitud de Patente

En relación con la última providencia recaída en este expediente, le manifiesto lo siguiente:

- 1.- Se acompaña nuevo y revisado ejemplar de la descripción, reivindicaciones, resumen y dibujos, en los cuales se han atendido las observaciones y comentarios del Señor Examinador.
- 2.- Las unidades han sido expresadas en sistema métrico.
- 3.- Se acompaña arte final por triplicado.
- 4.- No estoy de acuerdo con el Señor Examinador en cuanto a que las reivindicaciones 19 a 23 contienen dependencias múltiples.

La palabra "dependencia" significa que algo se causa o se condiciona a otro. En el presente caso las reivindicaciones utilizan la palabra "cualquiera" que se entiende

como sea la que fuere.

5.- Por motivo de lo anterior se acompaña nuevo extracto y nueva tarjeta de archivo temático.

Le solicito darle curso a esta petición.

De Ustedes atentamente,

GERMAN CASTILLO GRAU

T.P. No. 2978 del C.S.J.

M20
58

CIRCUITOS VERSÁTILES DE MUESTREO DE CARGA

ANTECEDENTES DE LA INVENCION

Tradicionalmente, el muestreo de tensión es utilizado para conversión análogo a digital (A/D). En un muestrador de tensión un conmutador de muestreo es colocado entre una fuente de señal y un capacitor. Entre dos momentos de muestreo, la tensión del capacitor sigue correctamente la tensión de la señal. En el momento del muestreo, el conmutador es desactivado para mantener la tensión del capacitor. Los dos procesos se vuelven muy difíciles cuando la frecuencia de la señal aumenta. Para una precisión determinada, el ruido térmico y el ruido de conmutación establecen una mínima capacitancia permitida, mientras que la velocidad de seguimiento establece una máxima capacitancia permitida o resistencia de conmutación. Ello es imposible cuando la máxima es menor que la mínima. Más aún, la fluctuación de reloj y la velocidad finita de desactivación (apertura de muestreo no nulo) hacen impreciso el tiempo de muestreo. De hecho, el ancho de banda de un circuito de muestreo de tensión es mucho más grande que el ancho de banda de la señal. Esto hace extremadamente difícil el muestreo directo de la señal de radio de alta frecuencia. El submuestreo puede reducir la frecuencia de muestreo pero no el ancho de banda del circuito de muestreo ni las demandas en fluctuación de reloj pequeña y abertura pequeña de muestreo.

RESUMEN DE LA INVENCION

El objeto de la invención es proveer un circuito de muestreo mejorado y un método de muestreo de una señal análoga que supere los problemas arriba citados.

Con el fin de lograr dicho objeto, la invención provee un circuito de muestreo de carga (CS) (*charge sampling*), que comprende un generador de señal de control para controlar una señal de entrada análoga al circuito de muestreo de carga para ser integrado por un integrador durante una fase de muestreo que responde a una señal de muestreo del generador de señal de control, en donde la corriente de la señal de entrada análoga es integrada a una carta integrada para

59

producir una tensión proporcional o una muestra de corriente en una salida de señal al final de la fase de muestreo.

Un objeto más específico de la invención es proveer un método y un circuito de muestreo para muestreo pasabanda.

Este objeto se logra mediante un circuito de muestreo pasabanda (BPCS) (*band-pass sampling*) que comprende un generador de señal de control para controlar un primero y un segundo extremos de una señal análoga diferencial a ser pesada por un elemento de ponderación y muestreo (W&S) (*weighting-and sampling*) durante una fase W&S que responda a una señal W&S del generador de señal de control, en donde la corriente de la señal análoga pasa por dicho elemento W&S únicamente cuando dicha señal W&S se encuentra en una fase W&S, y dicho generador de señal de control es adaptado para controlar la señal de salida del elemento W&S a ser integrado por un integrador durante la fase W&S, en donde la corriente de la señal de salida del elemento W&S es integrada a una carga integrada para producir una tensión proporcional o muestra de corriente en una señal de salida al final de la fase W&S.

Otro objeto más específico de la invención es proveer un circuito BPCS de dos pasos. Según la invención, esto se logra mediante un circuito BPCS de dos pasos, que según la invención, comprende un primer circuito BPCS para producir muestras de señal con una primera frecuencia de muestra; un circuito de interrupción para interrumpir simétricamente en tiempo, la señal del primer circuito BPCS en su salida de señal o par de salida con la frecuencia de una señal de reloj igual a la primera frecuencia de muestra; un amplificador diferencial de salida para amplificar diferencialmente la señal del circuito de interrupción; en donde la primera entrada de señal y la segunda entrada de señal de dicho segundo BPCS son conectadas al par de salida de señal de dicho amplificador (41) para producir muestras de señales en la salida de señal o en el par de salida con una segunda frecuencia de muestra.

Otro objeto específico de la invención es proveer un radio receptor de muestreo de sección de entrada. Según la invención, esto se obtiene mediante un radio receptor de muestreo de sección de entrada, que comprende un filtro pasabajos con un ancho de banda hasta dos veces la frecuencia de reloj, para recibir y filtrar una señal de radio; un amplificador de bajo ruido para producir diferencialmente, de la señal filtrada, una señal de radio amplificada; un oscilador

162
560

local para producir una señal de reloj -I en su salida de señal; un desfasador $\pi/2$ con una entrada de señal conectada al oscilador local para producir una señal de reloj -Q en su salida de señal con la misma amplitud y desfase $\pi/2$ con respecto a la señal de reloj -I; en donde dos extremos del par de salida de señal de dicho amplificador de bajo ruido son conectados respectivamente, tanto al primer circuito BPCS como al segundo circuito BPCS respectivamente; dicha salida de señal de reloj -I es conectada a la entrada de reloj de dicho primer circuito BPCS, y la salida de la señal de reloj -Q es conectada a la entrada de reloj del segundo circuito BPCS, para producir muestras -I de banda de base de la señal de radio en la salida de señal o par de salida del primer circuito BPCS, muestras -Q de banda de base de la señal de radio en la salida de señal o par de salida de dicho segundo circuito BPCS.

Una ventaja del circuito de muestreo de carga según la invención es que el ancho de banda del circuito de muestreo de carga no tiene que ser mucho más grande que el ancho de banda de señal. Otro antecedente importante es que para una señal de radio, no importa qué tan alta sea la frecuencia de la portadora, el ancho de banda de señal (la banda de base) sigue siendo una pequeña fracción de la banda completa entre DC a la frecuencia de la portadora. Por lo tanto, no se requiere convertir la banda completa sino solamente la banda con la señal.

Las frecuencias de las señales que posiblemente vayan a ser muestreadas por los circuitos CS o por los circuitos BPCS son más altas o mucho más altas que las de los circuitos de muestreo de tensión a una precisión determinada.

Los capacitores de muestreo utilizados en los circuitos CS o en los circuitos BPCS son más grandes o mucho más grandes que los utilizados en los circuitos de muestreo de tensión, ofreciendo ventajas de bajo ruido y paso bajo de reloj y carga.

Simultáneamente, cada circuito BPCS es un filtro, un mezclador y un muestreador, lo que simplifica mucho un radio receptor.

Los circuitos BPCS pueden trabajar directamente en la banda de la radio frecuencia, lo cual hace posible un radio receptor altamente digitalizado con muestreo de sección de entrada y conversión A/D.

61

Tanto la frecuencia central como el ancho de banda de un circuito BPCS pueden ser programados fácilmente. El ancho de banda puede ser angosto como se requiera, equivalente para que tenga un valor $-Q$ ilimitado.

Los circuitos CS y BPCS son sencillos y pueden ser implementados fácilmente en el CMOS o en otros procesos.

Esta técnica es muy útil para el propósito de un sistema en chip que requiere una arquitectura sencilla y altamente digitalizada.

Se debe hacer énfasis en el sentido de que los términos palabra "comprende" o "que comprende" cuando se utilizan en esta especificación, deben ser tomados para indicar la presencia de propiedades señaladas, enteros, pasos o componentes y no excluye la presencia o la adición de una o más propiedades, enteros, pasos, componentes o grupos de lo mismo.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

Con el fin de explicar la invención en mayor detalle y las ventajas y características de la misma, a continuación haremos una descripción de una realización preferida, haciendo referencia a los dibujos adjuntos en los cuales:

La FIGURA 1A es un diagrama de bloque de una primera realización de un circuito de muestreo de carga (CS) (*charge sampling*) según la invención.

La FIGURA 1B muestra las formas de onda de trabajo del circuito de muestreo de carga (CS) (*charge sampling*) de la FIGURA 1A.

La FIGURA 1C muestra la respuesta de frecuencia del circuito de carga (CS) (*charge circuit*) de la FIGURA 1A.

La FIGURA 2A es un diagrama de bloque de una primera realización de un de circuito de muestreo de carga pasabanda (BPCS) (*band-pass charge sampling*) según la invención.

La FIGURA 2B muestra las formas de onda de trabajo del circuito de muestreo de carga pasabanda (BPCS) (*band-pass charge sampling*) de la figura 2A.

17/59
62

La FIGURA 3 es un diagrama de bloque de una primera realización de un circuito BPCS diferencial según la invención.

La FIGURA 4 es un diagrama de bloque de una primera realización de un circuito BPCS diferencial paralelo según la invención.

La FIGURA 5 muestra una ilustración de la función de filtro de los circuitos BPCS según la invención.

La FIGURA 6A es la respuesta de frecuencia ideal de un circuito BPCS de ponderación constante según la invención.

La FIGURA 6B es la forma de onda de muestra de salida de un circuito BPCS de ponderación constante con $n=10$.

La FIGURA 7A muestra las respuestas de frecuencia ideal de un circuito BPCS de ponderación constante con $n=50$.

La FIGURA 7B muestra las respuestas de frecuencia ideal de un circuito BPCS de ponderación constante con $n=500$.

La FIGURA 8A muestra las respuestas de frecuencia ideal de un circuito BPCS de ponderación lineal con $n=50$.

La FIGURA 8B muestra las respuestas de frecuencia ideal de un circuito BPCS de ponderación lineal con $n=500$.

La FIGURA 9A muestra las respuestas de frecuencia ideal de un circuito BPCS de ponderación Gauss con $n=75$ y $n=87$.

La FIGURA 9B muestra las respuestas de frecuencia ideal de un circuito BPCS de ponderación Gauss con $n=750$ y $n=870$.

La FIGURA 10 es un diagrama de circuito de la primera realización del circuito BPCS diferencial de la FIGURA 3.

La FIGURA 11A muestra el diagrama de circuitos según la FIGURA 10 con $n=10$ en ponderación constante a 1000 MHz.

La FIGURA 11B muestra el resultado de la respuesta de frecuencia del circuito en la FIGURA 11A.

287
63

La FIGURA 12A es el diagrama de circuitos según la FIGURA 10 con $n=59$ en ponderación lineal a 1000 MHz.

La FIGURA 12B muestra el resultado de la respuesta de frecuencia del circuito de la FIGURA 12A.

La FIGURA 13A muestra el diagrama de circuitos según la FIGURA 10 con $n=599$ en ponderación lineal a 1000 MHz.

La FIGURA 13B muestra el resultado de la respuesta de frecuencia del circuito de la FIGURA 13A.

La FIGURA 14A muestra un diagrama de circuitos de un integrador activo asimétrico.

La FIGURA 14B es un diagrama de circuitos diferenciales de un integrador activo.

La FIGURA 15 es un diagrama de bloque de un circuito BPCS de dos pasos, y

La FIGURA 16 es un diagrama de bloque de una arquitectura de radio receptor de muestreo de sección de entrada.

DESCRIPCIÓN DETALLADA DE LOS DIBUJOS

La presente invención es un circuito de muestreo de carga (CS) (*charge sampling*) o un circuito de muestra de carga pasabanda (BPCS) (*band-pass charge sampling*), que muestrea una señal integrando su corriente en una ventana de tiempo determinada, y la carga que resulte representa la muestra de señal en el tiempo central de la ventana.

Haciendo referencia a la FIGURA 1 A, allí se muestra una primera realización de un circuito de muestreo de carga (1) (CS) (*charge sampling*). El circuito comprende un conmutador (2), un integrador (3) y un generador de señal de control (4). El conmutador (2) tiene una entrada de señal, una salida de señal y una entrada de control. Una señal análoga es aplicada a la entrada de señal del conmutador, que es la entrada de señal del circuito de muestreo de carga (1), y una señal de muestreo es aplicada a la entrada de control del generador de la

señal de control (4). El conmutador es activado, es decir, la entrada de señal es conectada a la salida de señal de conmutador, únicamente cuando la señal de muestreo se encuentre en la fase de muestreo. El integrador (3) tiene una entrada de señal, una salida de señal y una entrada de control. La salida de señal del conmutador (2) es aplicada a la entrada de señal del integrador (3) y una señal de reposición del generador de la señal de control (4) es aplicada a la entrada de control del integrador (3). La corriente de la señal de entrada análoga al circuito CS (1) es integrada durante la fase de muestreo, y la carga integrada produce una tensión proporcional o muestra de corriente en la salida de señal del circuito CS al final de la fase de muestreo. La muestra es mantenida hasta que comienza la fase de reposición de la señal de reposición, y el intervalo de tiempo entre ello es la fase de retención. Una secuencia de muestras es producida cuando las fases son repetidas, y la salida de señal es la salida de señal de dicho circuito CS. El generador de la señal de control (4) tiene una entrada de reloj, que es la entrada de reloj del circuito CS, una salida de señal de muestreo conectada a la entrada de control del conmutador (2) y una salida de señal de reposición conectada a la entrada de control de integrador (3) como ya se dijo.

En esta realización, el integrador (3) comprende un capacitor (3-1) un conmutador de reposición (3-2) y un resistor opcional (3-3). Sin embargo, en otras realizaciones el integrador (3) puede tener una configuración diferente. Una señal análoga es aplicada a la entrada del conmutador de muestreo (2). Según se describe, el proceso de muestreo de carga implica tres fases sucesivas: reposición, muestreo (t_1 a t_2) y retención. El tiempo de t_1 a t_2 se define como la ventana de muestreo. La FIGURA 1B muestra sus formas de onda de trabajo. Durante la fase de reposición, únicamente el conmutador de reposición (3-2) es activado y el capacitor (3-1) es reiniciado. Durante la fase de muestreo, solo el conmutador de muestreo (2) es activado, y la corriente de señal es integrada en el capacitor (3-1). La constante de tiempo es lo suficientemente grande como para poder obtener una carga lineal cuando la señal proviene de una fuente de tensión (como es el caso común). Si la resistencia activada (on) del conmutador (2) es demasiado pequeña, se puede agregar el resistor opcional (3-3). Durante la fase de retención, ambos conmutadores están desactivados y se mantiene la tensión de salida del integrador (3) para uso posterior. Un par de circuitos CS conectados entre sí y que forman un circuito CS diferencial, proveen salidas diferenciales para cancelar los efectos de modo común, utilizando una señal de entrada diferencial y compartiendo el generador de la señal de control (4). Los circuitos CS o los

circuitos pares son utilizados en paralelo para aumentar la frecuencia del muestreo y hacer que el intervalo de tiempo entre dos puntos de muestreo sea posiblemente menor que la ventaja de muestreo, intercalando en tiempo tanto la señal de muestreo como la señal de reposición. La corriente de señal puede ser representada como $i(t) = \sum I_i \sin(\omega_i t + \Phi_i)$, $i=1, 2, \dots, m$. La carga integrada total es $Q = \sum Q_i$, donde $Q_i = (I_i / \omega_i) (\cos(\omega_i t_1 + \Phi_i))$. Si t_s es el tiempo central de la ventana de muestreo, y $2\Delta = (t_2 - t_1)$ es el ancho de la ventana, $Q_i = (2 \sin(\omega_i \Delta t / \omega_i) I_i \sin(\omega_i t_s + \Phi_i)) = 2\Delta t (\sin(\omega_i \Delta t) / (\omega_i \Delta t)) I_i \sin(\omega_i t_s + \Phi_i)$.

En comparación con el valor instantáneo del componente i -ésimo en t_s , $I_i(t_s) = I_i \sin(\omega_i t_s + \Phi_i)$, la diferencia es $k_i = 2\Delta t (\sin(\omega_i \Delta t) / (\omega_i \Delta t))$, un coeficiente de muestreo dependiendo de la frecuencia ω_i y Δt . Con este coeficiente, el componente de frecuencia i -ésima ha sido muestreado exactamente en el tiempo t_s . Puesto que todos los componentes de frecuencia son muestreados en t_s , la carga total en el capacitor representa naturalmente la muestra de señal en t_s , es decir, t_s es el punto de tiempo de muestreo equivalente. La respuesta de frecuencia del circuito CS depende de la función $\sin(\omega_i \Delta t) / (\omega_i \Delta t)$, ilustrado en la FIGURA 1C. Su ancho de banda de 3 dB es igual a $\Delta f_{3dB} = 1.4 / (2\pi \Delta t)$, es decir, 1 GHz para una ventana de muestreo de 450 ps, independientemente de la resolución. Sin embargo, para muestreo de tensión la abertura de muestreo debe ser menor que 1 ps para una resolución de 8 bits a 1 GHz. Puesto que la función $\sin(\omega_i \Delta t) / (\omega_i \Delta t)$ es bien definida, se hace posible la compensación de frecuencia. Una forma es dejar que la señal analógica pase por una red con una respuesta de frecuencia de $(\omega_i \Delta t) / \sin(\omega_i \Delta t)$ antes del muestreo. Otra alternativa es usar procesamiento de señal digital (DSP) (*digital signal processing*) luego de la conversión A/D para compensar la respuesta de frecuencia.

Además, un circuito de muestreo de carga pasabanda (BPCS) (*band pass charge sampling*) comprende dos conmutadores, un elemento ponderación y muestra (W&S) (*weighting and sampling*) un integrador y un generador de señal de control que genera un reloj, un reloj inverso, una señal W&S y una señal de reposición. Dos extremos de una señal diferencial son aplicados respectivamente a las dos entradas del conmutador. Los dos conmutadores, controlados por el reloj y por el reloj inverso, respectivamente, son activados de manera alterna. Ambas salidas del conmutador son alimentadas a la entrada del elemento W&S. La salida del elemento W&S es alimentada a la entrada del integrador y funciona en tres fases sucesivas: reposición, muestreo y retención. Durante la fase de

reposición, el integrador es reiniciado por la señal de reposición. Cada fase de muestreo incluye n ciclos de reloj, durante los cuales la corriente de señal es ponderada en el elemento W&S e integrada en el integrador. Durante la fase de retención se mantiene la salida del integrador.

La FIGURA 2A muestra una realización de un circuito de muestreo de carga pasabanda (BPCS) (5). Este circuito comprende dos conmutadores (2A y 2B), un elemento de ponderación y muestreo (W&S) (6), un integrador (3) y un generador de señal de control (7) que genera un reloj, un reloj inverso, una señal W&S y una señal de reposición. Dos extremos de una señal análoga diferencial son aplicadas a las entradas de los conmutadores 2A y 2B respectivamente. Los conmutadores 2A y 2B, controlados por el reloj y por el reloj inverso, respectivamente, son activados de manera alterna. Ambas salidas del conmutador 2A y 2B son alimentadas a la entrada del elemento W&S (6). La corriente que pasa por el elemento W&S (6) es controlada por la señal W&S. La salida del elemento W&S (6) es alimentada a la entrada del integrador (3). Cada proceso BPCS implica tres fases sucesivas: reposición, muestreo y retención. La FIGURA 2B muestra las formas de onda de trabajo. Durante la fase de reposición, el integrador es reiniciado. Cada fase de muestreo incluye n ciclos de reloj que forman una ventana de muestreo. La corriente de señal que pasa por elemento W&S es igual a cero fuera de la ventana de muestreo y es ponderada de acuerdo con la función de ponderación (constante, lineal, Gauss u otras funciones). La función de ponderación depende de la combinación del elemento W&S (6) y la señal W&S. Las tres señales W&S que se muestran en la FIGURA 2B, correspondientes a las tres funciones de ponderación (constante, lineal y Gauss) son utilizadas específicamente para un elemento W&S en el cual la corriente es controlada linealmente por la señal W&S. Durante la fase de retención, se mantiene la tensión de salida del integrador (3) para uso posterior.

La FIGURA 3 muestra un circuito BPCS diferencial (8). Este circuito comprende 4 conmutadores; 2A, 2B, 2C y 2D, un elemento W&S diferencial (D-W&S) (9), un integrador diferencial (10) y un generador de señal de control (7) según conexión. El tipo ilustrado del elemento D-W&S (9) comprende dos elementos W&S paralelos (6A y 6B), y el tipo ilustrado del integrador diferencial comprende dos integradores paralelos (3A y 3B). El elemento D-W&S (9) y el integrador diferencial (10) pueden ser de otros tipos. El circuito BPCS diferencial (8) trabaja de la misma forma que el circuito BPCS asimétrico (5), salvo para

producir diferencialmente dos salidas. El circuito BPCS diferencial (8) cancela de manera efectiva los efectos de modo común y produce resultados más exactos.

La FIGURA 4 muestra un circuito BPCS diferencial paralelo (11). Comprende cuatro conmutadores (2A, 2B, 2C y 2D) un número de elementos D-W&S (9A, 9B, ...9X), un número de integradores diferenciales (10A, 10B, ..., 10X) un multiplexor (MUX) (12) y un generador de señal de control (13) según conexión. Cada par del elemento D-W&S y el integrador diferencial (9A+10A, 9B+10B, ... 9X+10X) , junto con los conmutadores 2A, 2B, 2C y 2D trabajan de la misma forma que el circuito BPCS diferencial (8). Las señales W&S y las señales de reposición a estos pares, generadas por el generador de la señal de control (13), son intercaladas en tiempo de manera uniforme. El MUX (12) multiplexa las salidas de los integradores diferenciales (10A, 10B, ..., 10X a las salidas diferenciales cuando se encuentran en la fase de retención, controlado por la señales de multiplexión del generador de la señal de control (13). Como un todo, el circuito BPCS paralelo produce una frecuencia de muestreo más alta y hace que el intervalo de tiempo entre dos puntos de muestreo sucesivos sea posiblemente menor que la ventana de muestreo. Si los conmutadores (2C Y 2D) son retirados, y los elementos W&S diferenciales y los integradores diferenciales son reemplazados por versiones asimétricas, el circuito BPCS se convierte en un circuito BPCS paralelo asimétrico.

La FIGURA 5 ilustra una función de filtro de los circuitos BPCS. De arriba hacia abajo, la frecuencia aumenta de DC a $3f_c$, donde f_c es la frecuencia de reloj. Obsérvese que durante la fase de reloj negativa, la misma señal es conectada opuestamente, lo cual se refleja en el diagrama cambiando el signo de la señal. La FIGURA 5 hace una lista de las amplitudes normalizadas de las cargas que resulten, es decir, las sumas de las áreas, integradas en n ciclos de reloj. Es obvio que para las señales de entrada con frecuencias mucho más altas o más bajas que f_c , las cargas se cancelan entre sí, caso completamente, resultando casi en una salida nula. Para señales de entrada con ciertas frecuencias como $f_c/4$, $f_c/2$, $2f_c$, ..., las cargas son canceladas completamente, no importa cuáles sean sus fases. Para señales de entrada con frecuencias cercanas a f_c , las cargas son canceladas solo parcialmente. Cuando $f_n=f_c$, las cargas son agregadas completamente a cada una si está en fase con f_c , y completamente canceladas cuando está en fase $\pi/2$ con f_c (no se muestra en la FIGURA 5). Hay un ancho de banda en el que las cargas de señal pueden ser integradas de manera efectiva. Fuera del ancho de banda, las cargas de señal son canceladas completamente o casi completamente. Obviamente, esta es una función de filtro. Ello quiere decir

que el ruido cuyas frecuencias se encuentren fuera del ancho de banda también será cancelado.

La FIGURA 6A muestra una respuesta de frecuencia ideal de un circuito BPCS, que corresponde a una integración matemáticamente precisa de la corriente de señal en la ventana de muestreo. En la FIGURA 6A se presume $n=10$ y ponderación constante; ello significa que la ponderación de la corriente se mantiene constante en la ventana de muestreo de 10 ciclos de reloj. Además, la FIGURA 6A muestra la respuesta de frecuencia de $f_{in}=0$ a $f_{in}=8f_c$, donde el eje $-y$ es la máxima amplitud de salida de los diferentes componentes de frecuencia normalizada por la máxima amplitud de salida en todo el rango de frecuencia mientras que el eje $-x$ es frecuencia de salida normalizada por f_c . Puede observarse que la misma respuesta de frecuencia es repetida luego de $f_{in}>2f_c$, pero con amplitudes más bajas. La frecuencia de salida f_{out} es igual a $|f_{in}-(2p+1)f_c|$ para $2(p+1)f_c \leq f_{in} \leq 2(p+2)f_c$, donde p es un entero (≥ 1). Cuando $f_{in}=(2p+1)f_c$, la salida es una tensión DC, y su amplitud depende de la relación de fase de f_{in} y f_c . Para un p dado, la misma frecuencia de salida se obtiene para frecuencias de entrada f_{in1} ($<(2p+1)f_c$) y f_{in2} ($>(2p+1)f_c$) cuando $(2p+1)f_c - f_{in1} = f_{in2} - (2p+1)f_c$, pero sus fases son diferentes. La FIGURA 6B muestra las formas de onda de muestra de salida a diferentes frecuencias de entrada con $f_c=1000$ MHz y las fases $-I$ (línea gruesa) y $-Q$ (línea punteada). La FIGURA ilustra que el circuito BPCS es un filtro, un mezclador y un muestreador, simultáneamente.

En las FIGURAS 7A y 7B se muestran las respuestas de frecuencia ideales de un circuito BPCS de ponderación constante con $n=50$ y $n=500$. La FIGURA 7A muestra la respuesta de frecuencia con $n=50$ en el rango de $0 < f_{in} < 2f_c$ y en el rango fino de $0,95f_c < f_{in} < 1,05f_c$. La FIGURA 7B muestra la respuesta de frecuencia con $n=500$ en el rango de $0 < f_{in} < 2f_c$, y en el rango fino de $0,995f_c < 1,005f_c$. Puede observarse que $\Delta f_{3dB}=0,018f_c$ con $n=50$ y $\Delta f_{3dB}=0,0018f_c$ con $n=500$, es decir, el ancho de banda es inversamente proporcional a n . Las amplitudes de los componentes de frecuencia lejana se reducen con el aumento de n , pero los máximos picos adyacentes en ambos casos permanecen casi sin cambio, alrededor de -13 dB.

Las FIGURAS 8A y 8B muestran respectivamente, una respuesta de frecuencia ideal de un circuito BPCS de ponderación lineal con $n=50$ y $n=500$. Ponderación lineal significa que durante la fase de muestreo el peso de la corriente es primero aumentada linealmente y luego reducida linealmente,

simétrica al centro de la ventana de muestreo. La FIGURA 8A muestra la respuesta de frecuencia con $n=50$ en el rango de $0 < f_{in} < 2f_c$, y en el rango fino, de $0,9f_c < f_{in} < 1,1f_c$. La FIGURA 8B muestra la respuesta de frecuencia con $n=500$ en el rango de $0 < f_{in} < 2f_c$, y en el rango fino, de $0,99f_c < f_{in} < 1,01f_c$. Puede observarse que $\Delta f_{3dB}=0,025f_c$ con $n=50$ y $\Delta f_{3dB}=0,0025f_c$ con $n=500$, aumenta levemente en comparación con los casos de ponderación constante. Las amplitudes de los componentes de frecuencia lejana son reducidos rápidamente con el aumento de n . Los máximos picos adyacentes son reducidos a -26 dB y a -27 dB respectivamente, en comparación con los de los casos de ponderación constante.

En las FIGURAS 9A y 9B se muestran las respuestas de frecuencia ideal de un circuito BPCS de ponderación Gauss. Ponderación Gauss significa que durante la fase de muestreo, el peso de la corriente varía según la función Gauss $\exp(-t^2/2\sigma^2)$ para un σ dado, simétrico al centro de la ventana de muestreo. La relación $\Delta t/\sigma$, donde Δt es la mitad de la ventana de muestreo y σ es el desvío estándar, es un parámetro de ponderación. La FIGURA 9A muestra las respuestas de frecuencia de $n=75$ con $\Delta t/\sigma=3,5$ y $n=87$ con $\Delta t/\sigma=4$ respectivamente en el rango de $0 < f_{in} < 2f_c$. Los anchos de banda de 3 dB son ambos $0,025f_c$. La FIGURA 9B muestra las respuestas de frecuencia de $n=750$ con $\Delta t/\sigma=3,5$ y $n=870$ con $\Delta t/\sigma=4$ respectivamente en el rango de $0,9 < f_{in} < 1,1f_c$. Los anchos de banda de 3 dB son ambos $0,0025f_c$. Las amplitudes de los componentes de frecuencia lejana y los picos adyacentes son reducidos sustancialmente con la ponderación Gauss. Los máximos picos adyacentes son entre -61 dB y -78 dB.

La FIGURA 10 muestra una implementación (14) del núcleo del circuito BPCS diferencial (8) que utiliza transistores n-MOS. Los conmutadores temporizados son transistores n-MOS (15A, 15B, 15C y 15D). Los elementos W&S son transistores n-MOS (16A y 16B). Los conmutadores de reposición son transistores n-MOS (18A y 18B). Los capacitores son capacitores MOS en chip (17A y 17B). Los relojes son ondas sinuosas pero también se pueden utilizar ondas casi cuadradas. La implementación (14) funciona en todos los procesos CMOS. Sin embargo, los parámetros de un proceso CMOS de $0,9 \mu m$ son utilizados en la simulaciones HSPICE. Las siguientes tres implementaciones se basan en la implementación (14) con valores de componente particulares y parámetros de señal W&S.

La FIGURA 11A muestra una implementación (19) con $n=10$ en ponderación constante a $f_c=1000$ MHz. Los conmutadores temporizados son

70 / 109

transistores n-MOS (20A, 20B 20C y 20D) Los elementos W&S son transistores n-MOS (21A y 21B). Los conmutadores de reposición son transistores n-MOS (23 A y 23B). Todos tienen el tamaño mínimo, $2\ \mu\text{m}/0,8\ \mu\text{m}$ (ancho/longitud). Los capacitores son capacitores MOS (22A y 22B) ambos de 40 pF. El ancho de la señal W&S de ponderación constante es 10 ns, correspondiente a $n=10$. La máxima tensión diferencial de muestreo de salida es alrededor de 100 mV. La FIGURA 11B muestra la respuesta de frecuencia teórica en línea gruesa y la frecuencia simulada HSPICE en línea punteada para $f_n=900\text{-}1100\ \text{MHz}$. La respuesta de frecuencia simulada guarda estrecha concordancia con la respuesta de frecuencia teórica. En ambos casos, los máximos picos adyacentes son $-13\ \text{dB}$ y $\Delta f_{3\text{dB}}=18\ \text{MHz}$.

La FIGURA 12A muestra una implementación (24) con $n=59$ en ponderación lineal a $f_c=1000\ \text{MHz}$. Los conmutadores temporizados son transistores 25 A, 25B, 25C y 25D, todos con un tamaño aumentado de $10\ \mu\text{m}/0,8\ \mu\text{m}$. Esto hace que las corrientes de señal sean dominadas por los elementos W&S y no por los conmutadores. Los elementos W&S son transistores n-MOS (21A y 21B) $2\ \mu\text{m}/0,8\ \mu\text{m}$. Los conmutadores de reposición son transistores n-MOS (23A y 23B), $2\ \mu\text{m}/0,8\ \mu\text{m}$. Los capacitores son capacitores MOS (22A y 22B) ambos 40 pF. El ancho de la señal W&S de ponderación lineal es 59 ns, correspondiente a $n=59$. La máxima tensión diferencial de muestreo de salida es alrededor de 100 mV. La FIGURA 12D muestra la respuesta de frecuencia teórica en línea gruesa, y la respuesta de frecuencia simulada HSPICE en línea punteada para $f_n=900\text{-}1100\ \text{MHz}$. Básicamente, la respuesta de frecuencia simulada es de acuerdo con la respuesta de frecuencia teórica. Ambas tienen $\Delta f_{3\text{dB}}=21\ \text{MHz}$. Sin embargo, para la implementación (24), el máximo pico adyacente es $-30\ \text{dB}$, más bajo que el de la respuesta teórica. Esto se debe a que la conductancia de los transistores (21A o 21B) o varía linealmente con la señal W&S lineal. La función de ponderación real es entre la función lineal y la función Gauss.

La FIGURA 13A muestra una implementación (26) con $n=599$ en ponderación lineal a $f_c=1000\ \text{MHz}$. Los conmutadores temporizados son transistores (25A, 25B, 25C y 25D) $10\ \mu\text{m}/0,8\ \mu\text{m}$. Los elementos W&S son transistores n-MOS (27A y 27B), $2\ \mu\text{m}/16\ \mu\text{m}$. Obsérvese que las longitudes de 27 A y 27B aumentan a $16\ \mu\text{m}$ para limitar la corriente de señal y la tensión del capacitor durante dicho periodo largo de carga (599 ns). Los conmutadores de reposición son transistores n-MOS (23A y 23B) $2\ \mu\text{m}/0,8\ \mu\text{m}$. Los capacitores son

21 

capacitores MOS (28A y 28B) ambos pF. El ancho de la señal W&S de ponderación lineal es de 599 ns, correspondiente a $n=599$. La máxima tensión diferencial de muestreo de salida es de aproximadamente 100 mV. La FIGURA 13B muestra la respuesta de frecuencia teórica en línea gruesa, y la respuesta de frecuencia simulada HSPICE en línea punteada para $f_n=990-1010$ MHz. Básicamente, la respuesta de frecuencia simulada guarda concordancia con la respuesta de frecuencia teórica. Ambas tienen $\Delta f_{3dB}=2$ MHz. Por la misma razón que se menciona arriba, el máximo pico adyacente de la implementación (26) es – 30dB más bajo que el de la respuesta teórica.

Las FIGURAS 14A y 14B muestran integradores activos para mejorar la oscilación de salida y la linealidad, respectivamente. La FIGURA 14A muestra un integrador activo asimétrico (29). Este integrador comprende un amplificador diferencial-entrada-sencilla-salida (30), un inversor (35), un capacitor (31) y conmutadores (32, 33 y 34) tal como están conectados. Un integrador activo siempre mantiene la entrada de señal en un terreno virtual, eliminando el impacto de la tensión del capacitor en la corriente de señal. El ancho de banda del amplificador (30) solo requiere cubrir la banda base de la señal y no la portadora, lo que lo hace posible. El inversor (35) produce una señal de reposición invertida con un retardo, utilizando la señal de reposición como entrada, para controlar el conmutador (33) mientras que la señal de reposición controla los conmutadores (32 y 34). Durante la fase de reposición, los conmutadores (32 y 34) son activados y el conmutador (33) es desactivado. La tensión del capacitor (31) es reiniciada a la contratensión de entrada del amplificador (30). Durante la fase de muestreo, los conmutadores (32 y 34) son desactivados y el conmutador (33) es activado. El capacitor (31) es cargado por la corriente de señal. Al mismo tiempo, la contratensión del amplificador (30) es cancelada. La FIGURA 14B muestra un integrador activo diferencial (36). Este integrador comprende un amplificador diferencial de entrada y salida (37), dos capacitores (31 A y 31B), un inversor (35) y conmutadores (32A, 32B, 33A, 33B, 34A y 34B). Básicamente, el integrador funciona de la misma forma que el integrador (29), salvo que utiliza una señal de entrada diferencial y produce salidas diferenciales. El integrador (29) puede reemplazar el integrador (3) en la FIGURA 1A, mientras que el integrador (36) puede reemplazar el integrador (10) en la FIGURA 3.

La FIGURA 15 muestra un circuito BPCS (38) de dos pasos. Este circuito comprende un primer circuito BPCS (39), un circuito de interrupción (40), un amplificador (41), un segundo circuito BPCS (42), y un generador de señal de reloj

(43) que genera un segundo reloj. El primer circuito BPCS (39) y el segundo circuito BPCS (42) puede ser de cualquier tipo de los circuitos BPCS (5, 8, 11, 19, 24 y 26). Al primer circuito BPCS (39) dos extremos de una señal análoga diferencial son aplicados a sus dos entradas respectivamente, y un primer reloj es aplicado a su entrada de reloj. Las muestras de señal con una primera frecuencia de muestreo son producidas del primer circuito BPCS (39) y alimentadas al circuito de interrupción (40). Las muestras son interrumpidas simétricamente en tiempo, controladas por el segundo reloj. Del circuito de interrupción (40), la señal interrumpida con una nueva frecuencia portadora igual a la frecuencia de interrupción es alimentada al amplificador (41), y las señales diferenciales amplificadas son alimentadas a dos entradas del segundo circuito BPCS (42) respectivamente. Controlado por el segundo reloj, el segundo circuito BPCS (42) produce la salida de muestra final con una segunda frecuencia de muestra. El circuito BPCS (38) de dos pasos da flexibilidad en el intercambio de rendimiento. Los circuitos BPCS en más pasos pueden ser construidos con base en el circuito BPCS 38 de dos pasos.

La FIGURA 16 muestra la arquitectura de un radio receptor de muestreo de sección preamplificadora (44) que comprende un filtro pasabajos (45) con $f_{\text{pass}} < 2f_c$, un amplificador de bajo ruido (LNA) (46) (*low noise amplifier*) diferencial de salida, dos circuitos 47A y 47B, un desfasador de 90° (48) y un oscilador local (49). La señal de radio de la antena es aplicada a la entrada del filtro pasabajos (45). Los componentes de frecuencia por encima de $2f_c$ se atenúan. La salida del filtro pasabajos (45) es alimentada al LNA (46) para producir salidas diferenciales con una amplitud suficientemente grande. Las salidas diferenciales son alimentadas a las entradas de los circuitos BPCS (47A y 47B) simultáneamente. Al mismo tiempo, la señal de reloj -I producida por el oscilador local (49) es alimentada al circuito BPCS (47A) mientras que la señal de reloj -Q reproducida por el desfasador de 90° (48) de la señal de reloj -I es alimentada al circuito BPCS (47B). Los circuitos BPCS (47A y 47B) producen muestras -I y muestras -Q, respectivamente. Las salidas de muestra pueden ser convertidas a datos digitales inmediatamente o tratadas posteriormente. Los circuitos 47A y 47B pueden ser cualquiera de los circuitos BPCS 5, 8, 11, 19, 24 y 26. Los integradores en estos circuitos pueden ser integradores pasivos o integradores activos. La arquitectura del radio receptor (44) tiene funciones de filtrado, mezclado y muestreo simultáneamente en la sección de entrada, lo que relaja las demandas de funcionamiento en conversión A/D, evita filtros análogos y utiliza bastante la

capacidad del DSP. En principio, cualquier ancho de banda angosto, es decir cualquier valor Q alto, es posible. La frecuencia central de la función de filtrado puede ser programada fácilmente. Sin duda es una arquitectura superior de radio receptor con un amplio alcance de aplicación.

Los capacitores de muestreo utilizados en los circuitos CS y BPCS son mucho más grandes que los que se utilizan en un circuito muestreador de tensión, dando como resultado ruido bajo y carga baja y paso del reloj.

El circuito BPCS es simultáneamente un filtro, un mezclador y un muestreador, capaz de trabajar a radio frecuencias. La frecuencia central, el ancho de banda y la selectividad adyacente pueden ser establecidos por la frecuencia de reloj, el número n y la forma de la señal W&S, particularmente útiles para radio receptor de muestreo de sección de entrada y sistema en chip.

Debe entenderse que aunque en la descripción se establecen varias características y propiedades de la presente invención, junto con detalles de la función de la invención, el contexto revelado es solo para fines ilustrativos y que se podrán hacer cambios dentro del alcance de la invención definida por las siguientes reivindicaciones.

REIVINDICACIONES:

1. Un circuito de muestreo de carga (CS) (1) caracterizado por un generador de señal de control (4) para controlar una señal de entrada análoga al circuito de muestreo de carga (1) para ser integrado por un integrador (3) durante una fase de muestreo, que responde a una señal de muestreo del generador de señal de control (4), en donde la corriente de la señal de entrada análoga es integrada a una carga integrada para producir una tensión proporcional o muestra de corriente en una salida de señal al final de la fase de muestreo.

2. Un circuito de muestreo de carga (CS) (1) según la reivindicación 1, caracterizado por un conmutador de muestreo que tiene una entrada de señal para señales de entrada análoga, una salida de señal conectada a una entrada de señal de dicho integrador (3), y una entrada de control conectada a una salida de señal de muestreo de dicho generador de señal de control (4) para controlar que el conmutador esté activado únicamente cuando dicha señal de muestreo del generador (4) se encuentre en una fase de muestreo.

3. Un circuito de muestreo de carga (CS) (1) según la reivindicación 1 ó 2, caracterizado en que el generador de señal de control (4) es adaptado para controlar el integrador (3) para retener la muestra hasta que una señal de reposición del generador (4) sea aplicada a una entrada de control del integrador (3).

4. Un circuito de muestreo de carga (CS) (1) según cualquiera de las reivindicaciones 1 a 3, caracterizado en que:

si dicha fase de muestreo es del tiempo t_1 al tiempo t_2 , dicha muestra representa el valor instantáneo de dicha señal análoga en el tiempo $t_s = (t_1 + t_2)/2$ y se diferencia de dicho valor instantáneo con un coeficiente compuesto de una parte constante y una parte que depende de la frecuencia $(\sin(2\pi f_i \Delta t))/2\pi f_i \Delta t$, donde f_i es la frecuencia del componente i -ésimo de dicha señal análoga y $\Delta t = (t_2 - t_1)/2$, es decir la mitad del ancho de dicha fase de muestreo.

5. Un circuito diferencial de muestreo de carga (CS), caracterizado por un primero y un segundo circuitos CS según cualquiera de las reivindicaciones 1 a 4, en donde todos los generadores de señal de control de dichos circuitos CS son reemplazados por un generador de señal de control (4) común, la entrada de señal de dicho primer circuito CS es una primera entrada análoga de dicho circuito CS

25 

diferencial, la entrada de señal de dicho segundo circuito CS es una segunda entrada de dicho circuito CS diferencial para una señal análoga diferencial, la salida de señal de dicho primer circuito CS y la salida de señal de dicho segundo circuito CS son la primera salida de señal y la segunda salida de señal de dicho circuito CS diferencial.

6. Un circuito diferencial de muestreo de carga (CS) según la reivindicación 5, caracterizado en que el integrador (3) de dicho primer circuito CS y el integrador (3) de dicho segundo circuito CS forma un solo integrador diferencial con dos entradas para integrar la corriente diferencial de dicha señal análoga y produce muestras diferenciales en dicha primera salida de señal y en dicha segunda salida de señal.

7. Un circuito de muestreo de carga pasabanda (BPCS) (5), caracterizado por un generador de señal de control (7) para controlar un primero y un segundo extremo de una señal análoga diferencial que vaya a ser ponderada por un elemento de ponderación y muestreo (W&S) (*weighting and sampling*) (6) durante una fase W&S que responde a una señal W&S de dicho generador de señal de control (7), en donde la corriente de dicha señal análoga atraviesa dicho elemento W&S (6) únicamente cuando dicha señal W&S se encuentra en una fase W&S, y dicho generador de señal de control (7) es adaptado para controlar la señal de salida de dicho elemento W&S (6) para ser integrado por un integrador (3) durante dicha fase W&S, en donde la corriente de la señal de salida de dicho elemento W&S (6) es integrada a una carga integrada para producir una tensión proporcional o muestra de corriente en una salida de señal al final de dicha fase W&S.

8. Un circuito de muestra de carga pasabanda (BPCS) (5) según la reivindicación 7, caracterizado por un primer conmutador (2A) que tiene una entrada de señal para recibir un primer extremo de dicha señal análoga diferencial, una salida de señal conectada a una entrada de señal de dicho elemento (W&S) (6) de ponderación y muestreo y una entrada de control conectada a una salida de reloj de dicho generador de señal de control (7) para controlar el conmutador (2A) para que solo se active cuando se reciba una señal de reloj; un segundo conmutador (2B) que tiene una entrada de señal para recibir un segundo extremo de dicha señal análoga diferencial, una salida conectada a dicha entrada de señal de dicho elemento (W&S) (6) de ponderación y muestreo, y una entrada de control conectada a una salida del reloj inverso de dicho generador de señal de control (7)

20/25
76

para controlar el conmutador (2B) para que solo se active cuando se reciba una señal de reloj; dicho elemento (W&S) (7) tiene una entrada de control conectada a una salida de señal W&S de dicho generador de señal de control, en donde la corriente de dicha señal análoga pasa por dicho elemento W&S (6) solo cuando dicha señal W&S se encuentra en una fase W&S que contiene n ciclos de dichos relojes, y la corriente de dicha señal análoga es controlada por dicha señal W&S en funciones constantes, lineales, Gauss u otras funciones de ponderación, y un integrador con una entrada de señal conectada a la salida de dicho elemento W&S (6), una entrada de control conectada a una salida de señal de reposición de dicho generador de señal de control (7).

9. Un circuito de muestreo de carga pasabanda (BPCS) (5) según la reivindicación 7 u 8, caracterizado en que el generador de señal de control (7) es adaptado para controlar el integrador para que retenga la muestra hasta cuando comience la fase de reposición de dicha señal de reposición.

10. Un circuito de muestreo de carga pasabanda (BPCS) (5) según cualquiera de las reivindicaciones 7 a 9, caracterizado en que dichas muestras representan el contenido de la banda base de dicha señal análoga, y la frecuencia de salida es $f_{out} = |f_n - (2p-1)f_c|$ para $2(p-1)f_c \leq f_n \leq pf_c$, donde f_n es uno de los componentes de frecuencia de dicha señal análoga, f_c es la frecuencia de dicho reloj, y p es un entero de ≥ 1 , respectivamente, y la fase de dicha frecuencia de salida depende de la fase de dicho f_n y la fase de dicho f_c y p=1 define el principal rango de respuesta de frecuencia, y la misma forma de respuesta de frecuencia es repetida para p>1, pero las amplitudes son reducidas, y para un p determinado, se obtiene la misma frecuencia de salida para frecuencias $f_{n1} (<(2p-1)f_c)$ y $f_{n2} (>(2p-1)f_c)$ cuando $(2p-1)f_c - f_{n1} = f_{n2} - (2p-1)f_c$, pero con diferentes fases, y el ancho de banda y la forma de dicha respuesta de frecuencia dependen de dicho n (entre más grande sea n, más angosto será el ancho de banda) y dicha función de ponderación (constante, lineal, Gauss u otra), y dicho circuito BPCS es simultáneamente un filtro, un mezclador y un muestreador.

11. Un circuito de muestreo de carga pasabanda (BPCS) diferencial (8), caracterizado por un primero y un segundo circuitos BPCS según cualquiera de las reivindicaciones 7 a 10, en donde todos los generadores de señal de control de dichos circuitos BPCS son reemplazados por un generador común de señal de control (7); la primera entrada de señal y la segunda entrada de señal de dicho primer circuito BPCS son conectadas a la segunda entrada y a la primera entrada

27/10/18
27

de dicho primer circuito BPCS, respectivamente, y la primera entrada de señal, la segunda entrada de señal, la salida de señal de dicho primer circuito BPCS y la salida de señal de dicho segundo circuito BPCS son la primera entrada de señal, la segunda entrada de señal, la primera salida de señal y la segunda salida de señal de dicho circuito de muestreo de carga pasabanda (BPCS) diferencial.

12. Un circuito de muestreo de carga pasabanda (BPCS) diferencial (8) según la reivindicación 11, caracterizado en que los integradores (3 A, 3B) en dicho primer circuito BPCS y dicho segundo circuito BPCS son fusionados en un único integrador diferencial (10) que integra la corriente diferencial de dicha señal analógica y produce muestras diferenciales en dicha primera salida de señal y dicha segunda salida de señal de dicho circuito BPCS diferencial.

13. Un circuito CS paralelo, que comprende un número de circuitos CS según cualquiera de las reivindicaciones anteriores 1 a 4, caracterizado en que todas las primeras entradas de señal son conectadas como una primera entrada de señal analógica de dicho circuito CS paralelo; todos los generadores de señal de control de dichos circuitos CS son reemplazados por un generador común de señal de control, un multiplexor que tiene dichas entradas de señal de números conectadas a las salidas de señal de dichos circuitos CS respectivamente, entradas de control conectadas a salidas de señal multiplexoras de dicho generador común de señal de control, y una salida de señal para multiplexar las salidas de dichos circuitos CS a la salida de dicho circuito CS paralelo cuando las salidas de dichos circuitos CS se encuentran en fases de retención, en donde dicho circuito CS paralelo aumenta la frecuencia de muestreo y acorta el intervalo de tiempo entre dos puntos de muestreo sucesivos, y el circuito CS paralelo es de versión asimétrica.

14. Un circuito CS paralelo que comprende un número de circuitos CS diferenciales según la reivindicación 5 ó 6, caracterizado en que todas las primeras entradas son conectadas entre sí como la primera entrada de señal de dicho circuito CS paralelo para recibir un primer extremo de una señal analógica diferencial; todas las segundas entradas son conectadas juntas como la segunda entrada de señal de dicho circuito CS paralelo para recibir un segundo extremo de dicha señal analógica diferencial, y todos los generadores de señal de control de dichos circuitos CS son reemplazados por un generador común de señal de control; un multiplexor que tiene dicho número de pares de entrada de señal conectados a los pares de salida de señal de dichos circuitos CS respectivamente,

entradas de control conectadas a salidas de señal multiplexoras de dicho generador común de señal de control, y un par de salida de señal para multiplexar los pares de salida de dichos circuitos CS al par de salida de dicho circuito CS paralelo cuando los pares de salida de dichos circuitos CS se encuentran en fases de retención, en donde dicho circuito CS paralelo aumenta la frecuencia de muestreo y acorta el intervalo de tiempo entre dos puntos de muestreo sucesivos, y el circuito CS paralelo es diferencial.

15. Un circuito CS paralelo según la reivindicación 13 o 14, **caracterizado** en que dicho generador de señal de control tiene una entrada de reloj, dicho número de salidas de señal de muestreo, dicho número de salidas de señal de reposición y dicho número de salidas de señal multiplexoras son para generar dicho número de señales de muestreo en las salidas de señal de muestreo conectadas a las entradas de control de los conmutadores de dichos circuitos CS respectivamente, y para generar dicho número de señales de reposición en dichas salidas de señal de reposición conectadas a las entradas de control de los integradores de los circuitos CS respectivamente, y dicho número de señales multiplexoras son generadas en las salidas de señal multiplexora, y dichas señales de reposición, dichas señales de muestreo y dichas señales multiplexoras son intercaladas en tiempo de manera uniforme.

16. Un circuito BPCS paralelo (11) que comprende un número de circuitos BPCS según las reivindicaciones 7 a 10, **caracterizado** en que todas las primeras entradas de señal son conectadas juntas como la primera entrada de señal de dicho circuito BPCS paralelo para recibir un primer extremo de una señal análoga diferencial; todas las segundas entradas de señal son conectadas juntas como la segunda entrada de señal de dicho circuito BPCS paralelo para recibir un segundo extremo de una señal análoga diferencial, y todos los primeros conmutadores son separados o fusionados, y todos los segundos conmutadores son separados o fusionados, y todos los generadores de señal de control en dichos circuitos BPCS son reemplazados por un generador común de señal de control (13), y un multiplexor (11) que tiene dicho número de entradas de señal conectadas a las salidas de señal de dichos circuitos BPCS, entradas de control conectadas a salidas de señal multiplexora de dicho generador común de señal de control, y una salida de señal para multiplexar las salidas de dichos circuitos BPCS a la salida de señal cuando las salidas de señal de dichos circuitos BPCS se encuentran en fases de retención, en donde la salida de señal es la salida de señal de dicho circuito BPCS paralelo, y dicho circuito BPCS paralelo aumenta la frecuencia de

28
79

muestreo y acorta el intervalo de tiempo entre dos puntos de muestreo sucesivos, y el circuito BPCS paralelo es asimétrico.

17. Un circuito BPCS paralelo (11) que comprende un número de circuitos BPCS según la reivindicación 11 ó 12, caracterizado en que todas las primeras entradas de señal son conectadas juntas como la primera entrada de señal de dicho circuito BPCS paralelo para recibir un primer extremo de una señal análoga diferencial, todas las segundas entradas de señal son conectadas juntas como la segunda entrada de señal de dicho circuito BPCS paralelo para recibir un segundo extremo de una señal análoga diferencial; todos los primeros conmutadores en dichos primeros circuitos BPCS son separados o fusionados, todos los segundos conmutadores en dichos primeros circuitos BPCS son separados o fusionados, todos los primeros conmutadores en dichos segundos circuitos BPCS son separados o fusionados, todos los segundos conmutadores en dichos segundos circuitos BPCS son separados o fusionados, todos los generadores de señal de control de dichos circuitos BPCS son reemplazados por un generador común de señal de control, y un multiplexor con dicho número de pares de entrada de señal conectados a los pares de salida de señal de dichos circuitos BPCS, entradas de control conectadas a salidas de señal multiplexora de dicho generador común de señal de control, y un par de salida para multiplexar los pares de salida de dichos circuitos BPCS al par de salida de señal cuando los pares de salida de señal de dichos circuitos BPCS se encuentran en fases de retención, en donde el par de salida de señal es el par de salida de señal de dicho circuito BPCS paralelo, y dicho circuito BPCS paralelo aumenta la frecuencia de muestreo y acorta el intervalo de tiempo entre dos puntos de muestreo sucesivos, en donde el circuito BPCS paralelo es diferencial.

18. Un circuito BPCS paralelo que comprende un número de circuitos BPCS según la reivindicación 16 o 17, caracterizado por un generador de señal de control con una entrada de reloj, una salida de reloj, una salida de reloj inverso, dicho número de salidas de señal W&S, dicho número de salidas de señal de reposición y dicho número de salidas de señal multiplexora, en donde la entrada de reloj es la entrada de reloj de dicho circuito BPCS paralelo para uso en la generación de una señal de reloj en la salida de reloj de dicho generador común de control de señal conectado a las entradas de control de todos los primeros conmutadores de dichos circuitos BPCS, y un reloj inverso en la salida de reloj inverso conectado a las entradas de control de todos los segundos conmutadores de dichos circuitos BPCS; dicho número de salidas de señal W&S son conectadas

15/29/80

a las entradas de control de todos los elementos W&S (9A-9X) de dichos circuitos BPCS; dichas salidas de señal de reposición son conectadas a las entradas de control de todos los integradores (10A-10X) de dichos circuitos BPCS, y dicho número de señales multiplexoras, señales de reposición, señales de muestreo y señales de multiplexión son intercaladas en tiempo de manera uniforme.

19. Un circuito CS según cualquiera de las reivindicaciones 1 a 4 o 13, caracterizado por un circuito análogo de compensación de frecuencia que tiene una entrada de señal para recibir una señal análoga, y una salida de señal, con una respuesta de frecuencia proporcional a $(2\pi f_1 \Delta t) / (\sin(2\pi f_1 \Delta t))$, en donde la salida de señal es conectada a la entrada de señal de dicho CS.

20. Un circuito CS según cualquiera de las reivindicaciones 5, 6 o 14, caracterizado por un circuito análogo de compensación de frecuencia que tiene un par de entrada de señal para recibir una señal análoga, y un par de salida de señal con una respuesta de frecuencia proporcional a $(2\pi f_1 \Delta t) / (\sin(2\pi f_1 \Delta t))$, en donde el par de salida de señal es conectado a la primera entrada de señal y a la segunda entrada de señal de dicho circuito CS.

21. Un circuito CS según cualquiera de las reivindicaciones 1, 4 o 13, caracterizado por un circuito digital de compensación de frecuencia con una respuesta de frecuencia proporcional a $(2\pi f_1 \Delta t) / (\sin(2\pi f_1 \Delta t))$, conectado luego de que un convertidor A/D convierte la salida de señal de dicho circuito CS en una señal digital.

22. Un circuito CS según cualquiera de las reivindicaciones 5-6 o 14, caracterizado por un circuito digital de compensación de frecuencia proporcional a $(2\pi f_1 \Delta t) / (\sin(2\pi f_1 \Delta t))$, conectado luego de que un convertidor A/D convierte el par de salida de señal de dichos circuitos CS en una señal digital.

23. Un circuito BPCS de dos pasos que comprende un primero y un segundo circuito BPCS (39, 42) según cualquiera de las reivindicaciones anteriores 6 a 12 o 16 a 18, caracterizado por:

Una primera entrada de señal y una segunda entrada de señal para recibir un primero y un segundo extremo de una señal análoga diferencial respectivamente, en dicho primer circuito BPCS (39) para producir muestras de señales en la salida de señal o par de salida de dicho primer circuito BPCS con una primera frecuencia de muestra;

12/31

un circuito interruptor (40) para interrumpir la señal del primer circuito BPCS (39) simétricamente en tiempo en su salida de señal o par de salida con la frecuencia de una señal de reloj igual a dicha primera frecuencia de muestra,

un amplificador de salida diferencial (41) para amplificar diferencialmente la señal del circuito interruptor en su par de salida de señal; y

la primera entrada de señal y la segunda entrada de señal son conectadas al par de salida de señal de dicho amplificador (41) para producir muestras de señal en la salida de señal o par de salida con una segunda frecuencia de muestra.

24. Un circuito BPCS de dos pasos según la reivindicación 23, caracterizado por un generador de señal de reloj (43) que tiene una entrada de reloj para recibir una primera señal de reloj utilizada por dicho primer circuito BPCS (39) y para generar una segunda señal de reloj alimentada simultáneamente a una entrada de reloj de dicho circuito interruptor y a una entrada de reloj de dicho segundo circuito BPCS.

25. Arreglos de bloques de construcción en cualquier tipo de dichos circuitos BPCS según las reivindicaciones 1 a 24, caracterizados por:

un arreglo n-MOS de dicho conmutador, que comprende: un transistor n-MOS con el drenador con la entrada de señal, con la puerta como la entrada de control y con la fuente como la salida de señal; y

un arreglo CMOS de dicho conmutador, que comprende: un transistor n-MOS y un transistor p-MOS con sus drenadores conectados entre sí como la entrada de señal, con sus fuentes conectadas entre sí como la salida de señal, y con la puerta de dicho transistor n-MOS como la entrada de control; un inversor con la entrada conectada a la puerta de dicho transistor n-MOS y con la salida conectada a la puerta de dicho transistor p-MOS;

un arreglo de dicho elemento W&S que comprende: un transistor n-MOS con el drenador como la entrada de señal, con la puerta como la entrada de control, y con la fuente como la salida de señal;

un arreglo pasivo de dicho integrador, que comprende: un capacitor con el primer extremo como la entrada de señal, y con el segundo extremo a tierra; un resistor opcional insertado entre cada entrada de señal y el primer extremo de dicho capacitor cuando sea necesario; un transistor n-MOS con el drenador y la

18
17/32

fuentes conectados al primer extremo y al segundo extremo de dicho capacitor, respectivamente, y con la puerta como la entrada de control;

un arreglo pasivo de dicho integrador diferencial que comprende: un primer arreglo pasivo de dicho integrador con la entrada de señal y la salida de señal como la primera entrada de señal y la primera salida de señal de dicho integrador, respectivamente; y un segundo arreglo pasivo de dicho integrador con la entrada de señal y la salida de señal como la segunda entrada de señal y la segunda salida de señal de dicho integrador diferencial, respectivamente;

un arreglo activo de dicho integrador, que comprende: un amplificador diferencial de entrada y salida única con la entrada positiva a tierra, la entrada negativa como la entrada de señal de dicho integrador, y con la salida como la salida de señal de dicho integrador; un capacitor con el primer extremo conectado a la entrada negativa de dicho amplificador de entrada y salida única diferencial; un inversor con la entrada como la entrada de control de dicho integrador; un primer arreglo n-MOS o arreglo CMOS de dicho conmutador con la entrada de señal conectada a la entrada negativa de dicho amplificador de entrada y salida única diferencial, con la entrada de control conectada a la entrada de control de dicho integrador, y con la salida de señal conectada a la salida de dicho amplificador de entrada y salida única diferencial; un segundo arreglo n-MOS o arreglo CMOS de dicho conmutador con la entrada de señal conectada al segundo extremo de dicho capacitor, con la entrada de control conectada a la entrada de control de dicho integrador, y con la salida de señal conectada a tierra; un tercer arreglo n-MOS o arreglo CMOS de dicho conmutador con la entrada de señal conectada al segundo extremo de dicho capacitor, con la entrada de control conectada a la salida de dicho inversor y con la salida de señal conectada a la salida de dicho amplificador de entrada y salida única diferencial; y un resistor opcional insertado entre la entrada de señal de dicho integrador con la entrada negativa de dicho amplificador de entrada y salida única diferencial, cuando sea necesario;

un arreglo activo de dicho integrador diferencial, que comprende: un amplificador de entrada y salida única diferencial con la entrada negativa, la entrada positiva, la salida positiva y la salida negativa como la primera entrada de señal, la segunda entrada de señal, la primera salida de señal y la segunda salida de señal de dicho integrador diferencial; un primer capacitor con el primer extremo conectado a la entrada negativa de dicho amplificador de entrada y salida única

22
A3

diferencial; un segundo capacitor con el primer extremo conectado a la entrada positiva de dicho amplificador de entrada y salida única diferencial; un inversor con la entrada como la entrada de control de dicho integrador diferencial; un primer arreglo n-MOS o arreglo CMOS de dicho conmutador con la entrada de señal conectada a la entrada negativa de dicho amplificador de entrada y salida única diferencial, con la entrada de control conectada a la entrada de control de dicho integrador diferencial y con la salida de señal conectada a la salida positiva de dicho amplificador de entrada y salida única diferencial; un segundo arreglo n-MOS o arreglo CMOS de dicho conmutador con la entrada de señal conectada al segundo extremo de dicho primer capacitor, con la entrada de control conectada a la entrada de control de dicho integrador diferencial y con la salida de señal conectada a tierra; un tercer arreglo n-MOS o arreglo CMOS de dicho conmutador con la entrada de señal conectada al segundo extremo de dicho primer capacitor, con la entrada de control conectada a la salida de dicho inversor y con la salida de señal conectada a la salida positiva de dicho amplificador de entrada y salida única diferencial; un cuarto arreglo n-MOS o arreglo CMOS de dicho conmutador con la entrada de señal conectada a la entrada positiva de dicho amplificador de entrada y salida única diferencial, con la entrada de control conectada a la entrada de control de dicho integrador diferencial y con la salida de señal conectada a la salida negativa de dicho amplificador de entrada y salida única diferencial; un quinto arreglo n-MOS o arreglo CMOS de dicho conmutador con la entrada de señal conectada al segundo extremo de dicho segundo capacitor, con la entrada de control conectada a la entrada de control de dicho integrador diferencial y con la salida de señal conectada a tierra; un sexto arreglo n-MOS o arreglo CMOS de dicho conmutador con la entrada de señal conectada al segundo extremo de dicho segundo capacitor, con la entrada de control conectada a la salida de dicho inversor y con la salida de señal conectada a la salida negativa de dicho amplificador diferencial de entrada y salida única; un primer resistor opcional insertado entre la primera entrada de señal de dicho integrador diferencial y la entrada negativa de dicho amplificador diferencial de entrada y salida única cuando sea necesario; y un segundo resistor opcional insertado entre la segunda entrada de señal de dicho integrador diferencial y la entrada positiva de dicho amplificador diferencial de entrada y salida única.

26. Un aparato radio receptor de muestreo de sección de entrada que comprende un primero y un segundo circuito BPCS según las reivindicaciones 7 a 12, 16 a 18, 23, 24, caracterizado por que comprende:

10/33
84

un filtro pasabajos (45) con un ancho de banda hasta dos veces la frecuencia de reloj, para recibir y filtrar una señal de radio;

un amplificador de ruido bajo (46) para producir una señal de radio amplificada diferencialmente de la señal filtrada;

un oscilador local (49) para producir una señal de reloj -I en su salida de señal;

un desfasador $\pi/2$ (48) con una entrada de señal conectada al oscilador local (49) para producir una señal de reloj -Q en su salida de señal con la misma amplitud y desfase $\pi/2$ con respecto a dicha señal de reloj -I;

dos extremos del par de salida de señal de dicho amplificador de ruido bajo (46) son conectados respectivamente al primer circuito BPCS (47A) y al segundo circuito BPCS (47B) respectivamente; dicha salida de señal de reloj -I es conectada a la entrada de reloj de dicho primer circuito BPCS (47A), y dicha salida de señal de reloj -Q es conectada a la entrada de reloj de dicho segundo circuito BPCS (47B), para producir muestras -I- de banda de base de dicha señal de radio en la salida de señal o par de salida de dicho segundo circuito BPCS (47B).

27. Un aparato radio receptor de muestreo de sección de entrada según la reivindicación 26, caracterizado en que:

dicho oscilador local (49), dicho desfasador (48) y los generadores de reloj de dichos primero y segundo circuitos BPCS (47A, 47B) son combinados para producir señales de reloj -I- y señales de reloj -Q- diferenciales de manera más eficiente precisa;

dicha muestra -I- de banda de base y muestras -Q- son convertidas bien sea por dos convertidores separados análogo a digital o por un convertidor único análogo a digital con multiplexión a señales digitales;

dichas señales digitales son procesadas por una unidad procesadora de señal digital (DSP); y

dicho aparato radio receptor de muestreo de sección de entrada es un aparato radio receptor superior que tiene una parte análoga simplificada en gran parte, y en donde la capacidad de DSP es altamente utilizada.

28. Un método de muestreo de carga, caracterizado por los siguientes pasos:

1084
85

integrar una señal de entrada análoga durante una fase de muestreo, en donde la corriente de la señal de entrada análoga es integrada a una carga integrada, y

producir una muestra de tensión o corriente proporcional de dicha carga integrada al final de dicha fase de muestreo.

29. Un método según la reivindicación 28, caracterizado en que, si dicha fase de muestreo es del tiempo t_1 al tiempo t_2 , dicha muestra representa el valor instantáneo de dicha señal análoga en el tiempo $t_s = (t_1 + t_2)/2$ y se difiere de dicho valor instantáneo con un coeficiente compuesto por una parte constante y una parte dependiente de frecuencia $(\sin(\pi f_i \Delta t))/(2\pi f_i \Delta t)$, donde f_i es la frecuencia del componente i -ésimo de dicha señal análoga y $\Delta t = (t_2 - t_1)/2$, es decir, la mitad del ancho de dicha fase de muestreo.

30. Un método según la reivindicación 28 o 29, caracterizado en que dicha señal de entrada análoga es una señal análoga diferencial, y dicha muestra de tensión o corriente proporcional de dicha carga integrada es una señal diferencial.

31. Un método de muestreo de carga, caracterizado por los pasos de: ponderar un primero y un segundo extremo de una señal análoga diferencial durante una fase W/S, integrar la señal ponderada durante dicha fase W&S, en donde la corriente de la señal ponderada es integrada a una carga integrada; y

producir una muestra de tensión o corriente proporcional al final de dicha fase W&S.

86



RESUMEN

Un circuito (CS) de muestreo de carga (1) que comprende un generador de señal de control (4) para controlar una señal de entrada análoga al circuito de muestreo de carga (1) para ser integrada por un integrador (3) durante una fase de muestreo como respuesta a una señal de muestreo del generador de señal de control (4), en donde la corriente de la señal de entrada análoga es integrada a una carga integrada para producir una muestra de tensión o corriente proporcional en una salida de señal al final de la fase de muestreo.

375/100
A/100

FIG. 1A

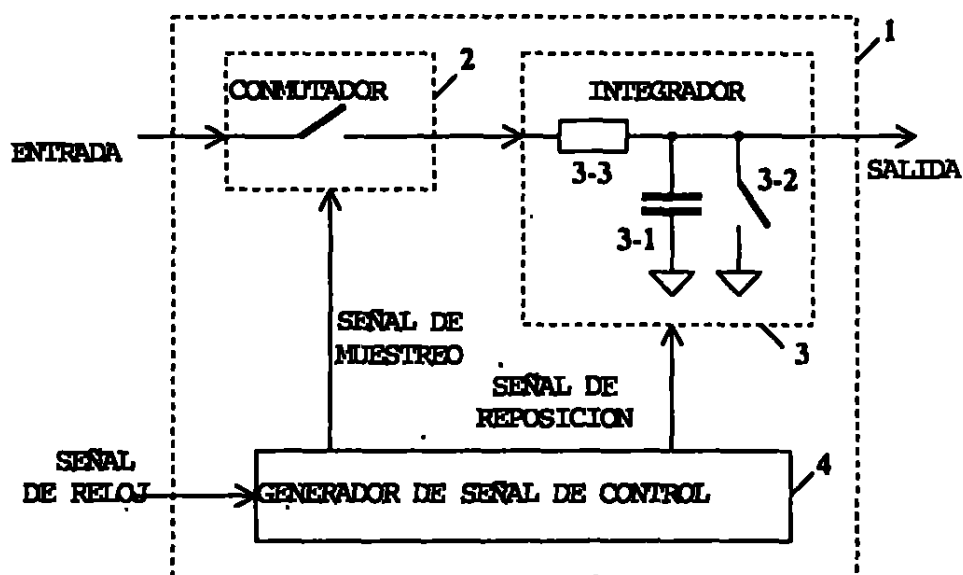


FIG. 1B

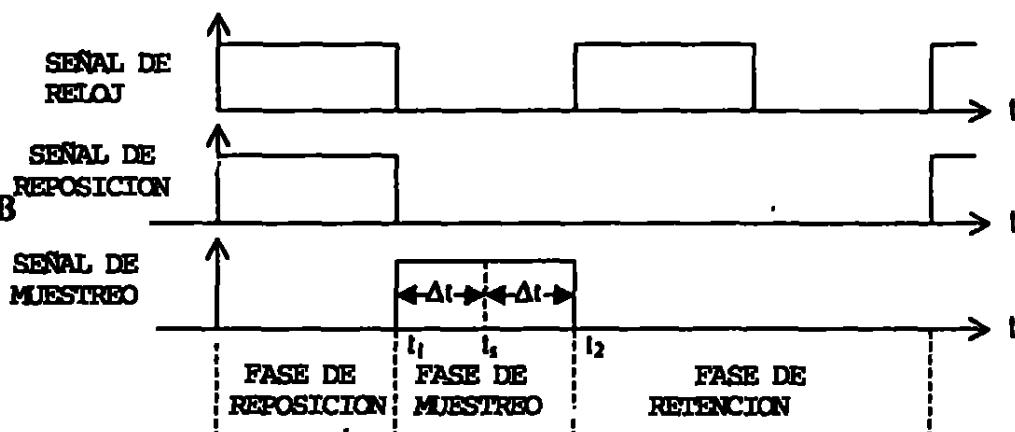
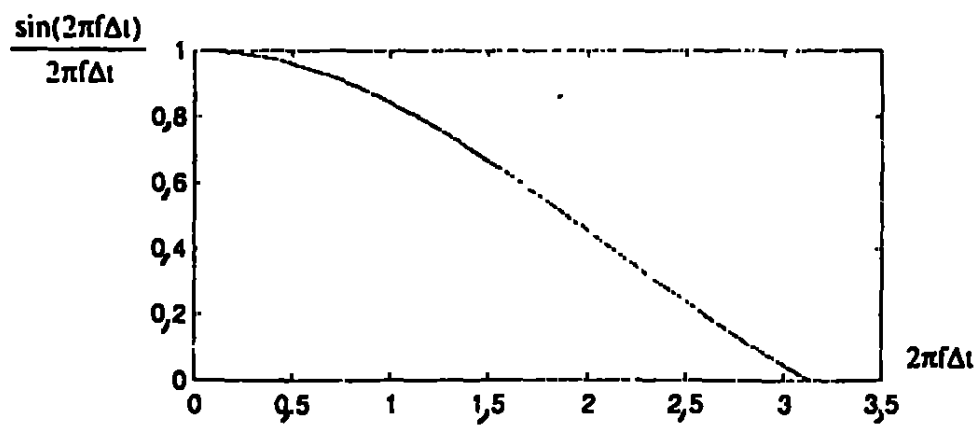


FIG. 1C



38
MBA

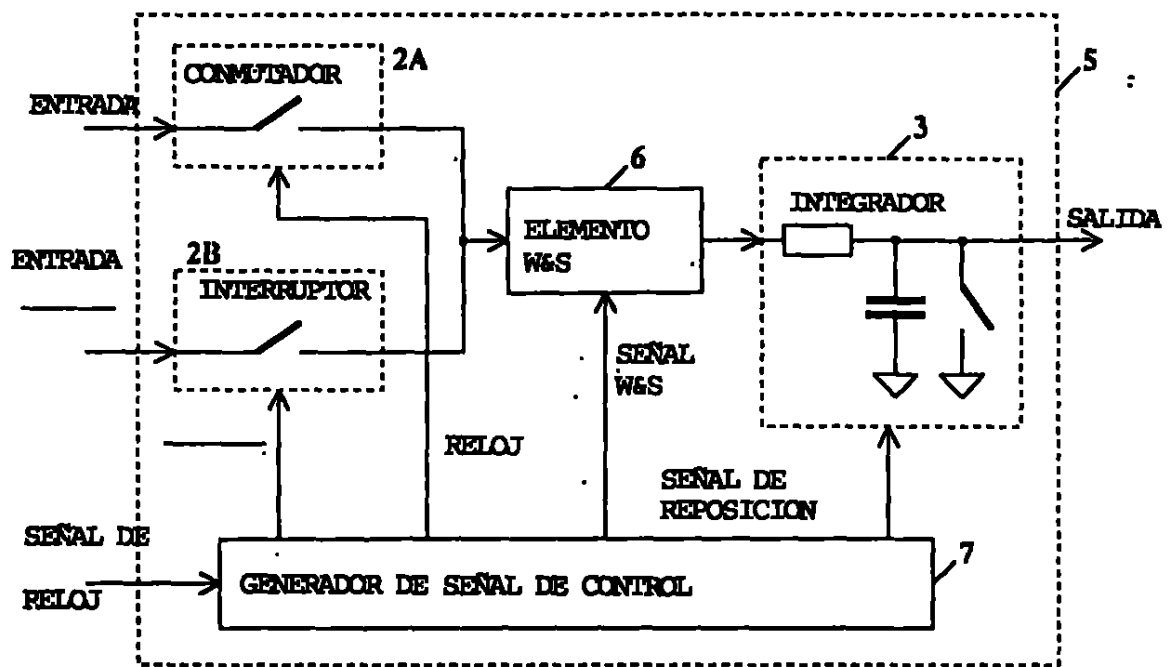


FIG. 2A

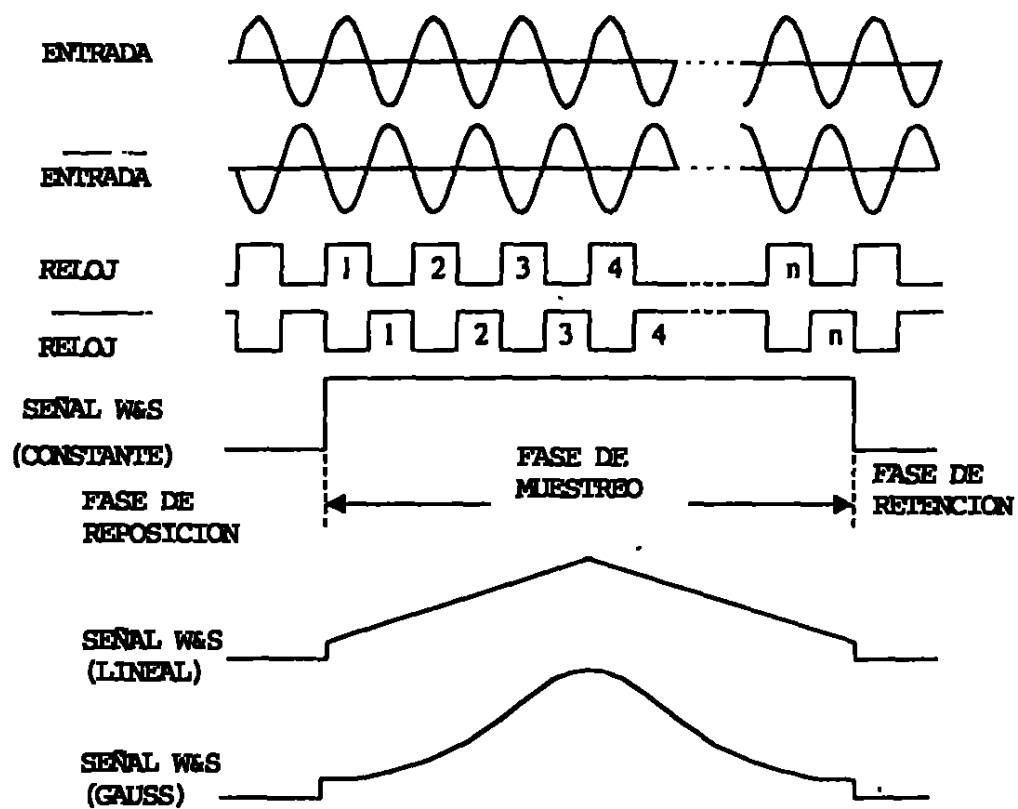


FIG. 2B

89

3/16

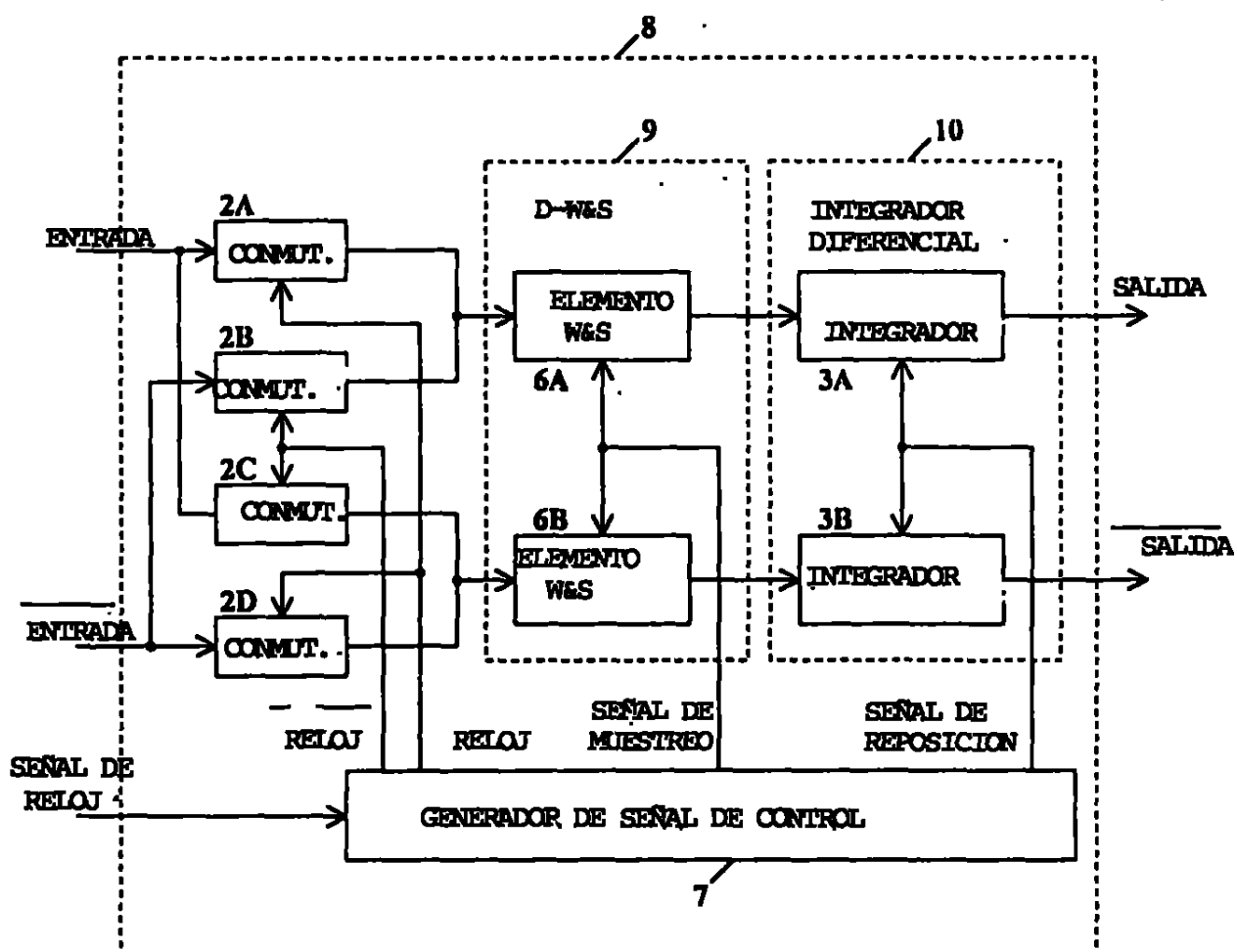


FIG. 3

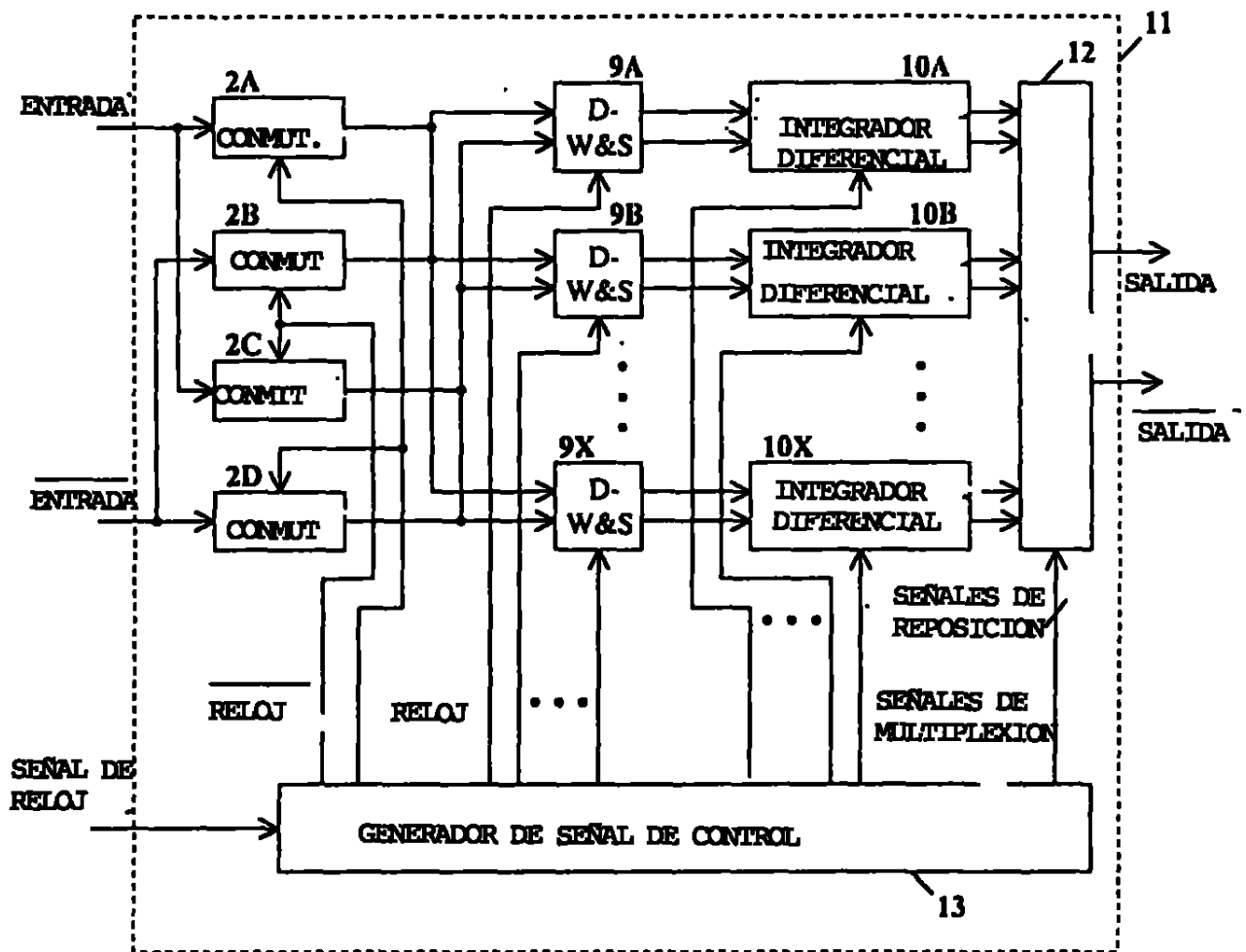


FIG. 4

91 ~~Alfaro~~

5/16

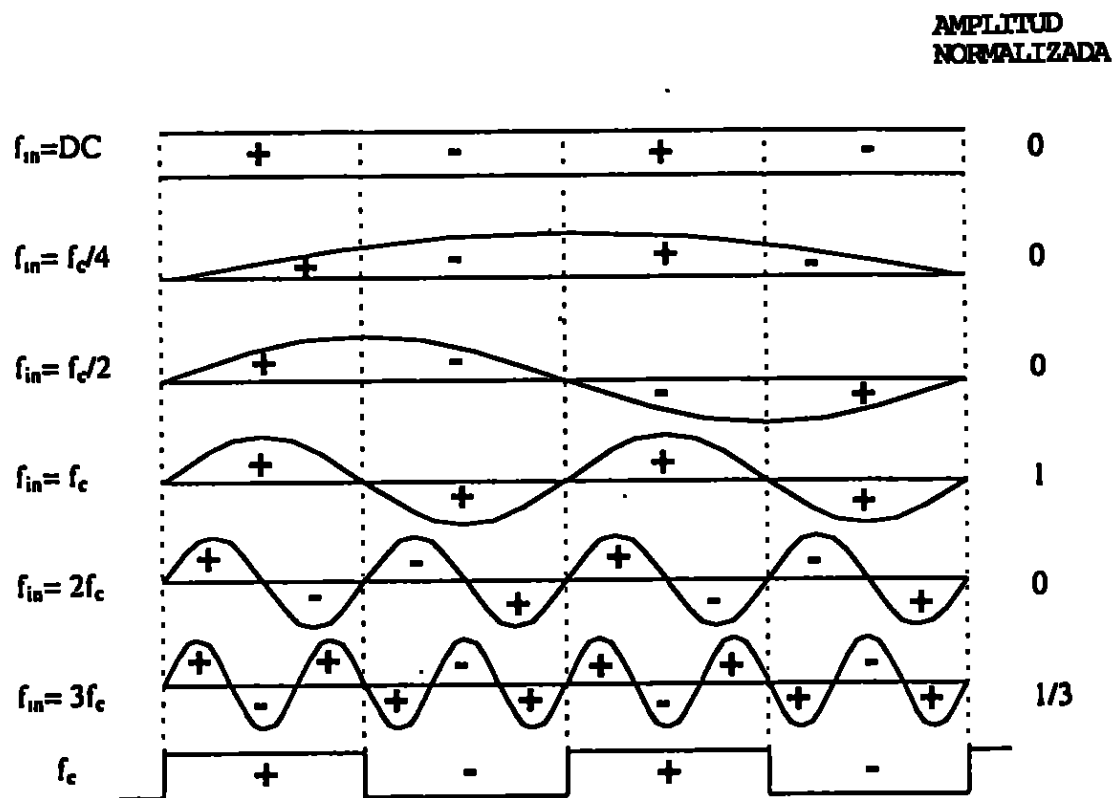
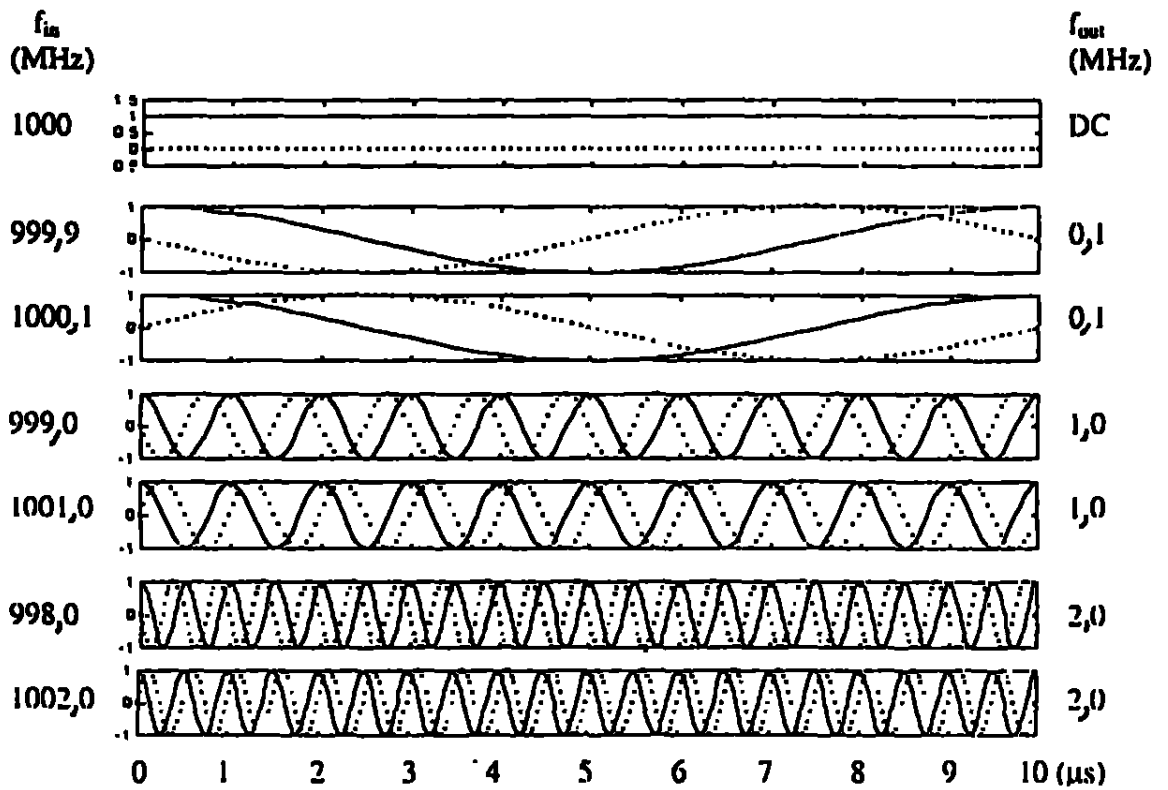
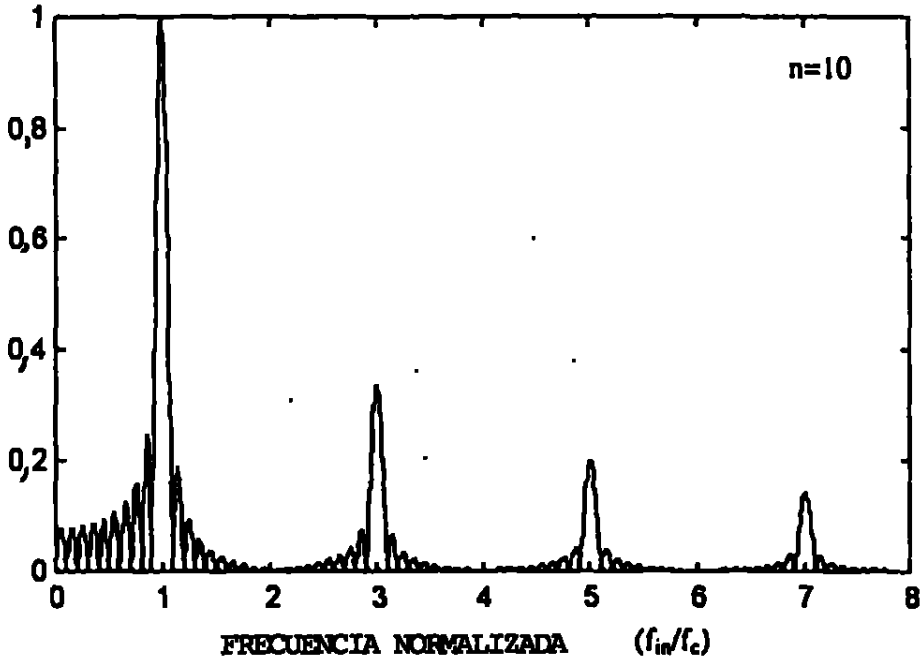


FIG. 5

92 ~~19~~

AMPLITUD
NORMALIZADA

FIG. 6A



Nota: 1. $f_c=1000$ MHz.
2. I en línea gruesa y Q en línea punteada

FIG. 6B

7/16

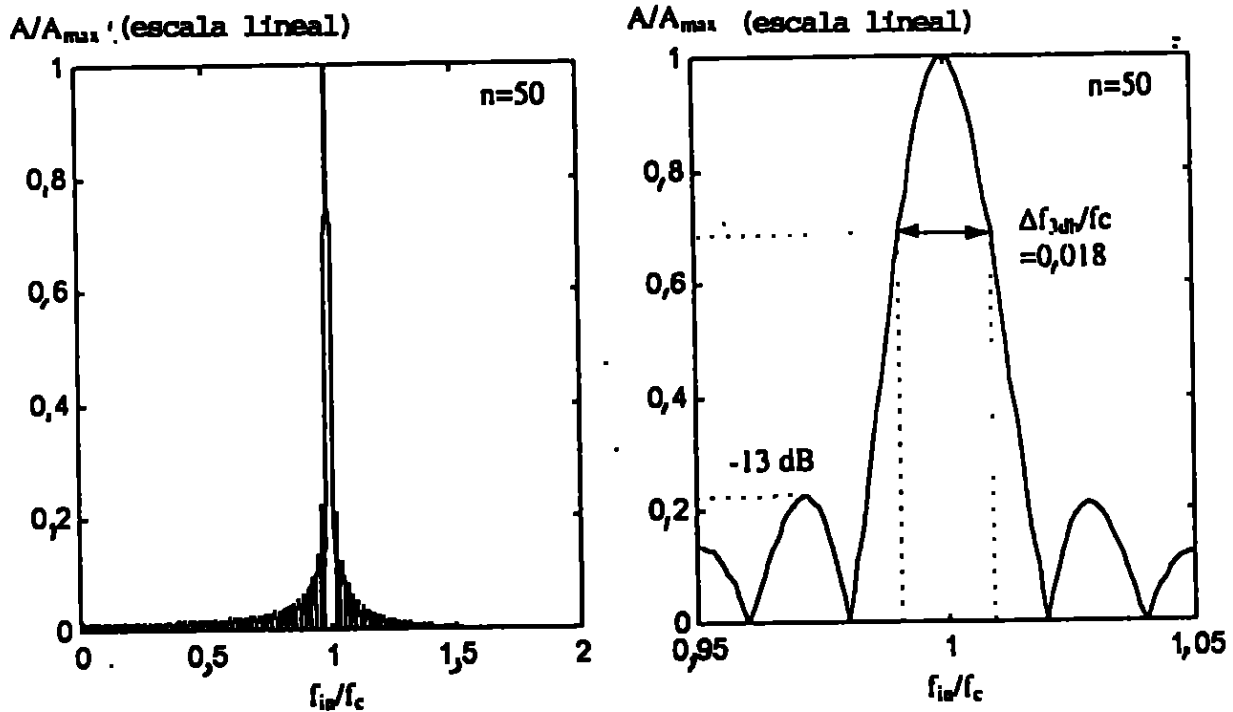


FIG. 7A

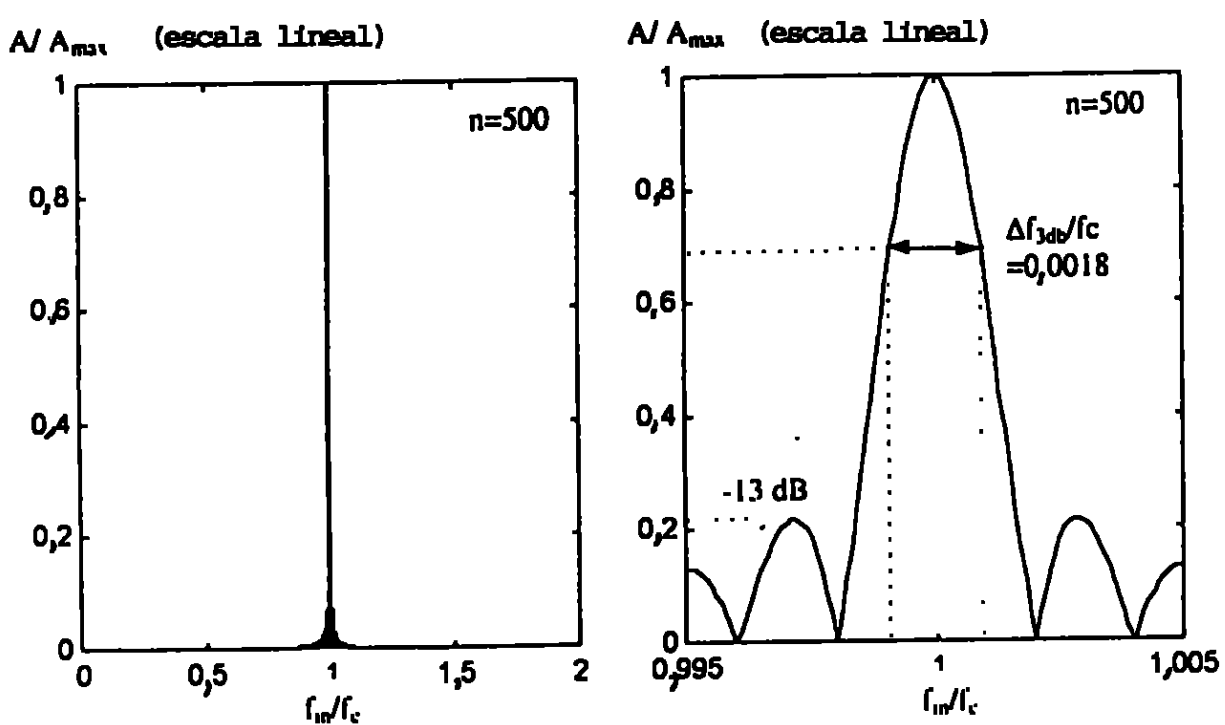


FIG. 7B

8/16

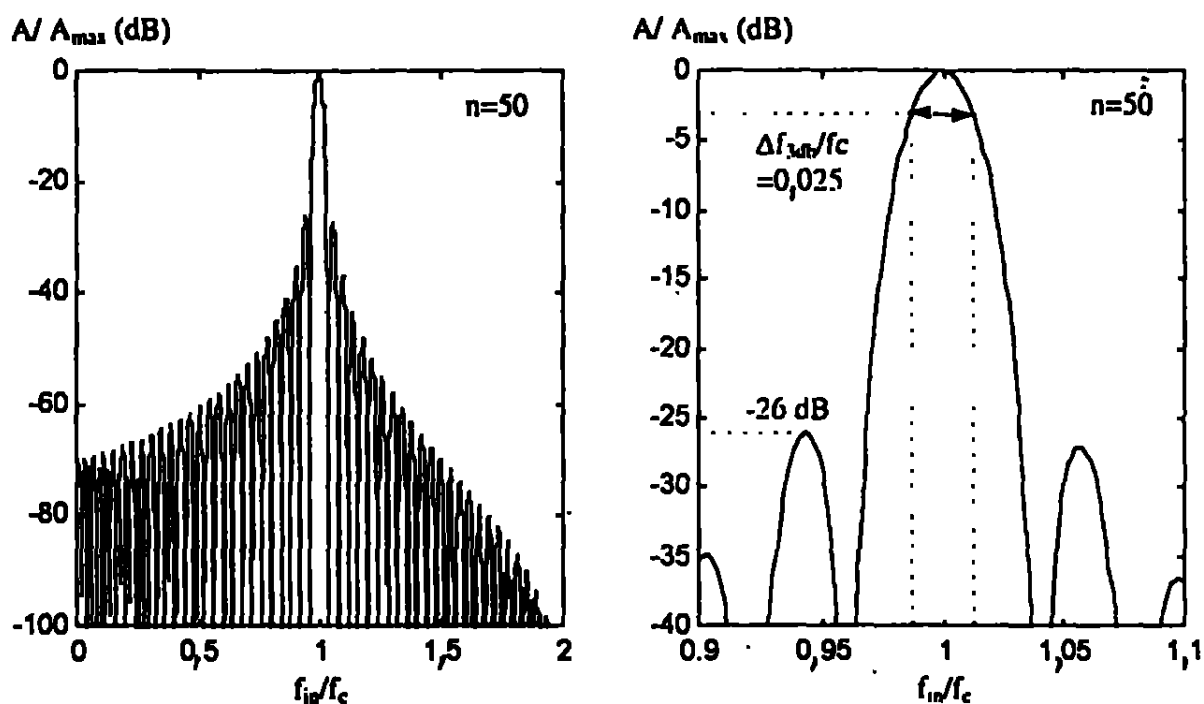


FIG. 8A

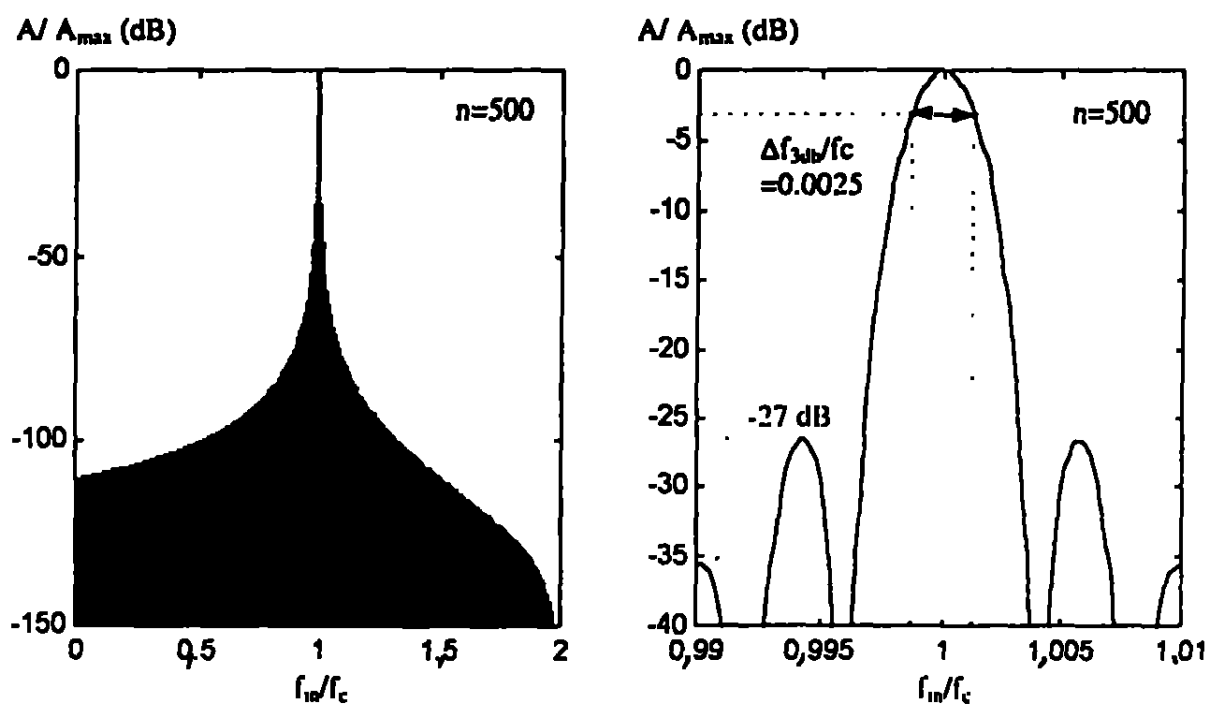


FIG. 8B

95 ~~95~~

9/16

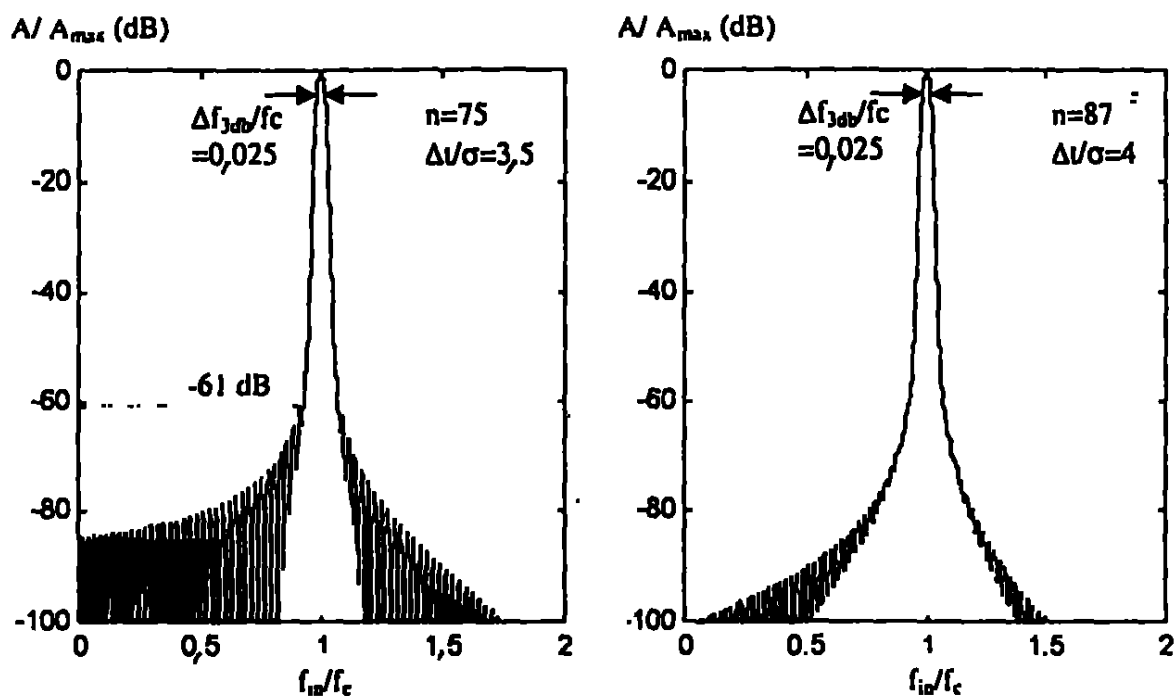


FIG. 9A

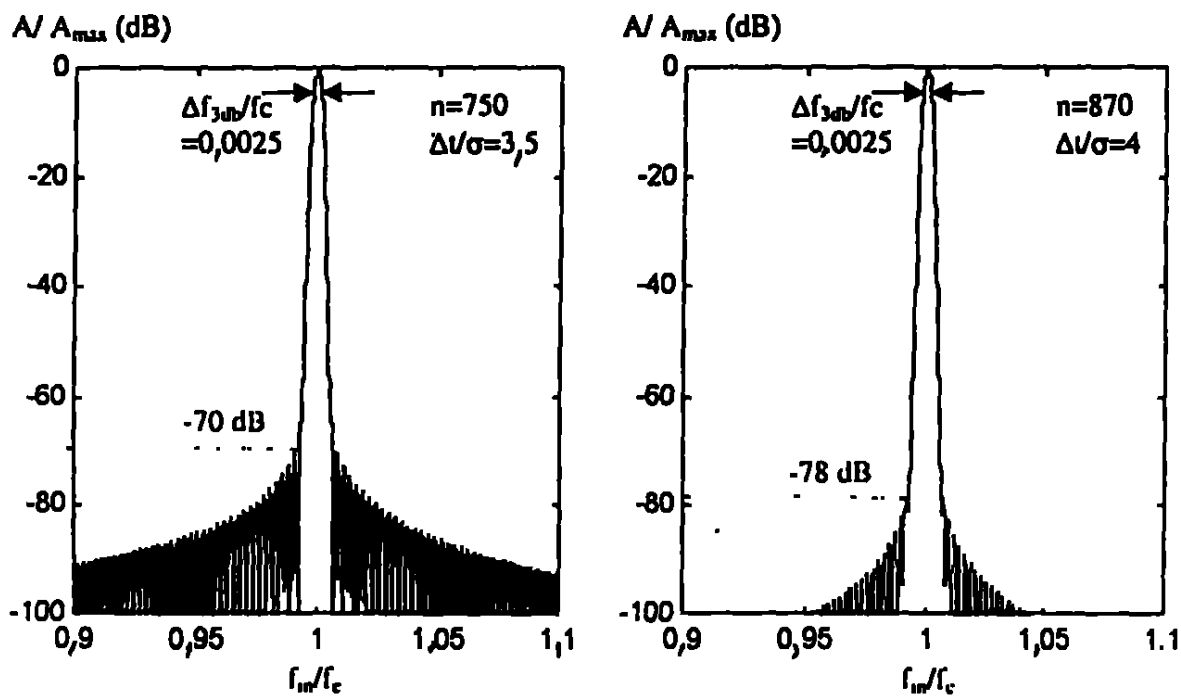


FIG. 9B

10/16

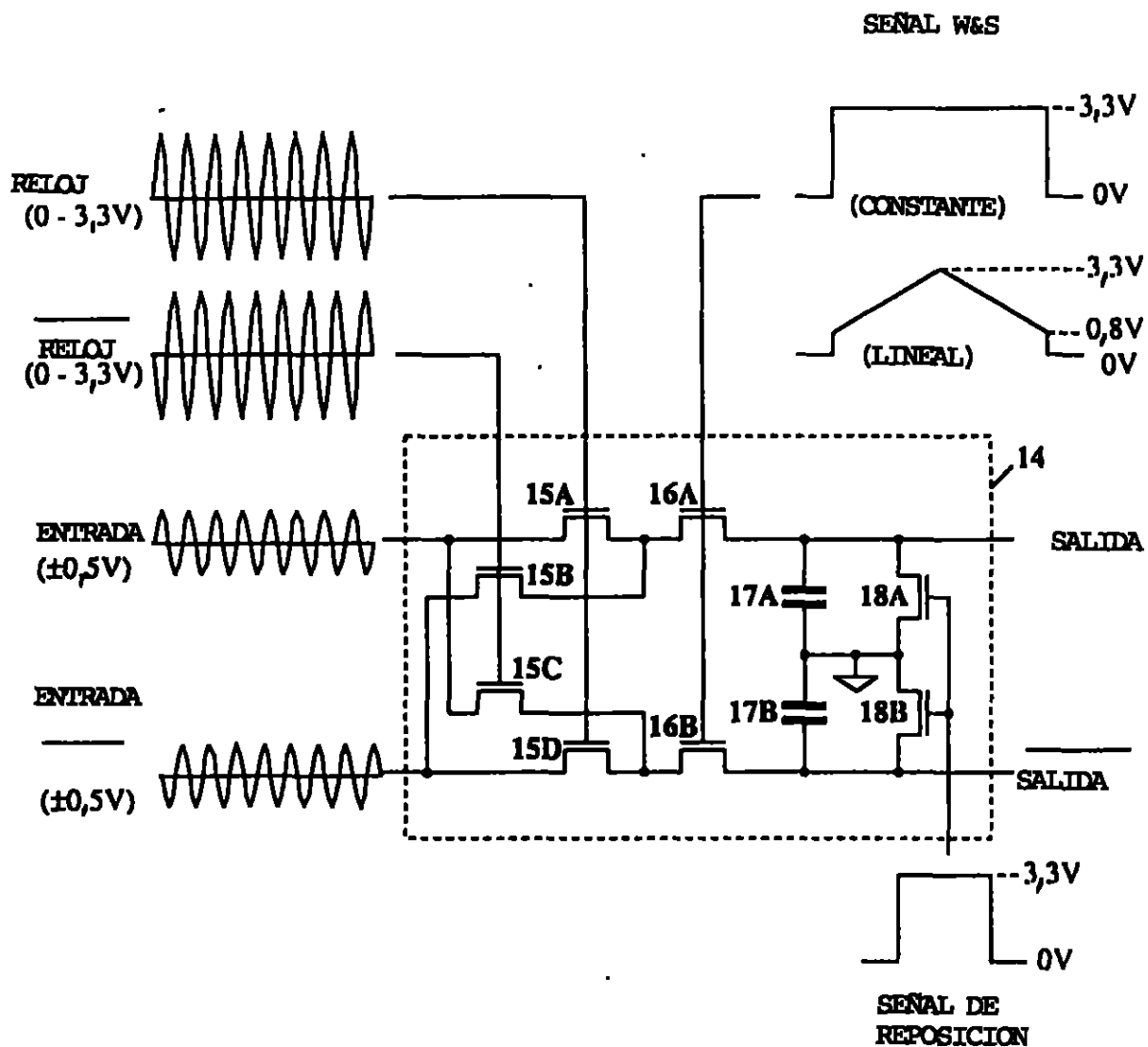


FIG. 10

92/16

11/16

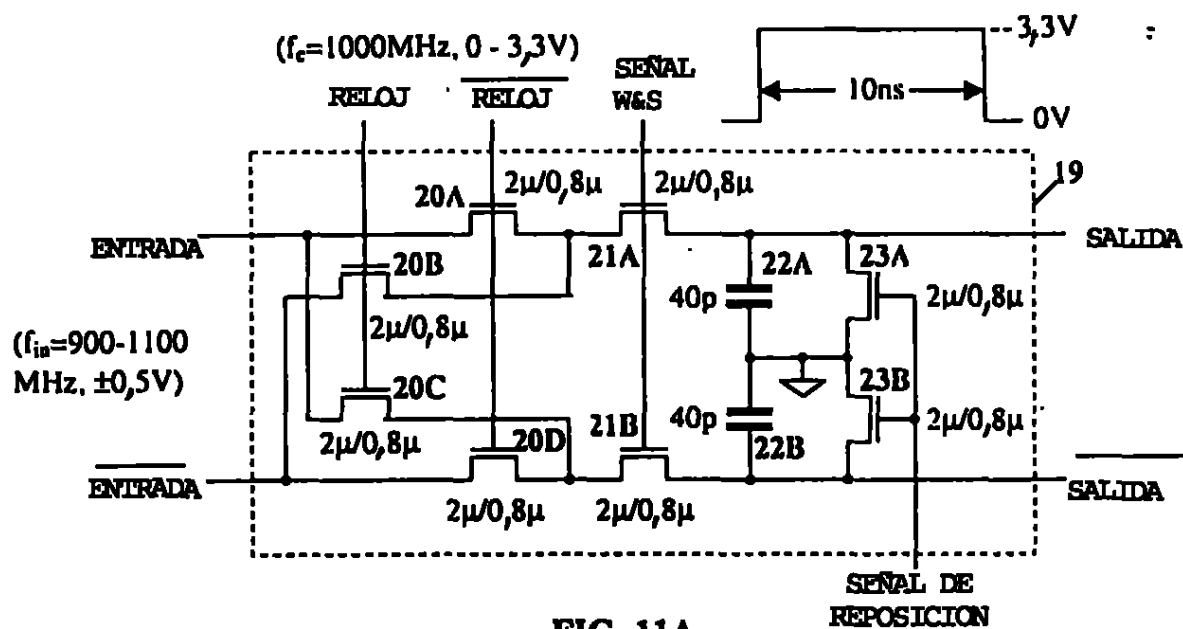
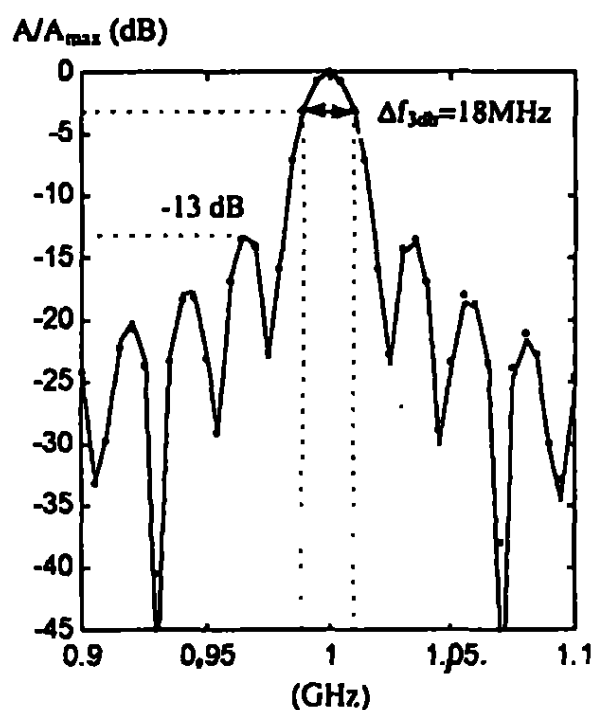


FIG. 11A



- Nota. 1. Curva ideal en línea gruesa
2. HSPICE simulación en línea punteada

FIG. 11B

98 296

12/16

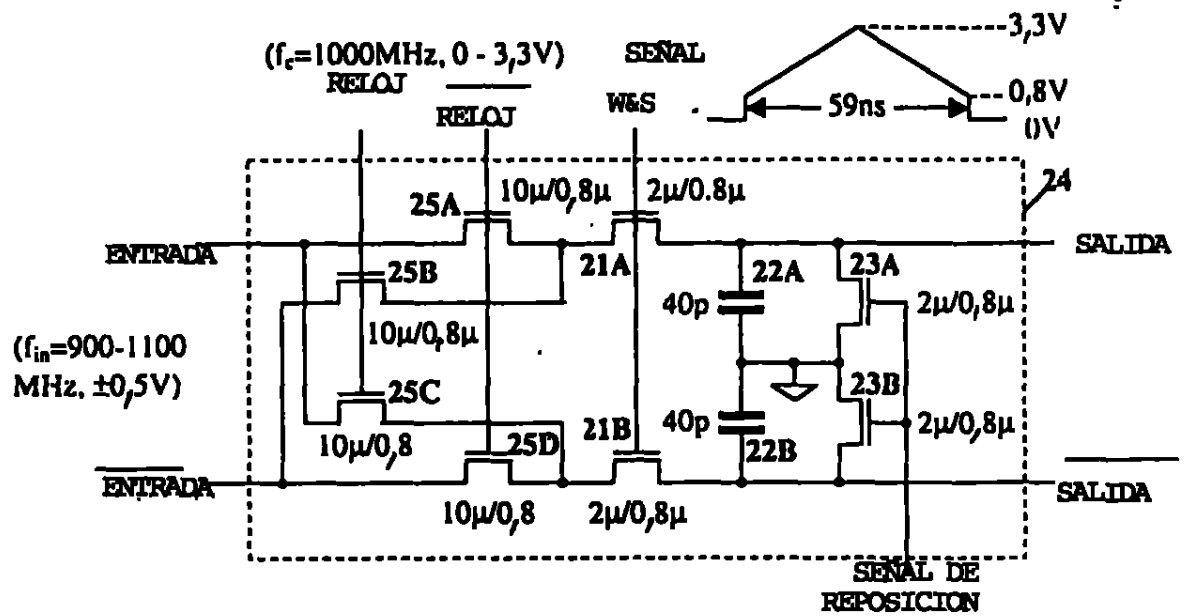
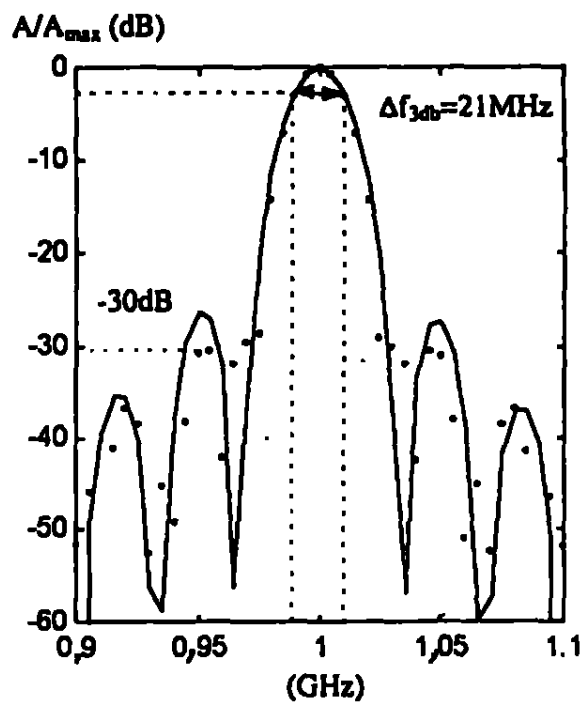


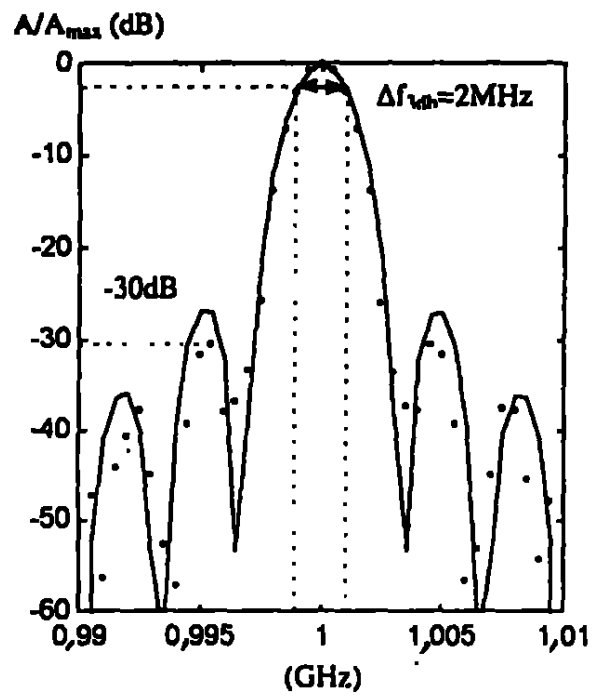
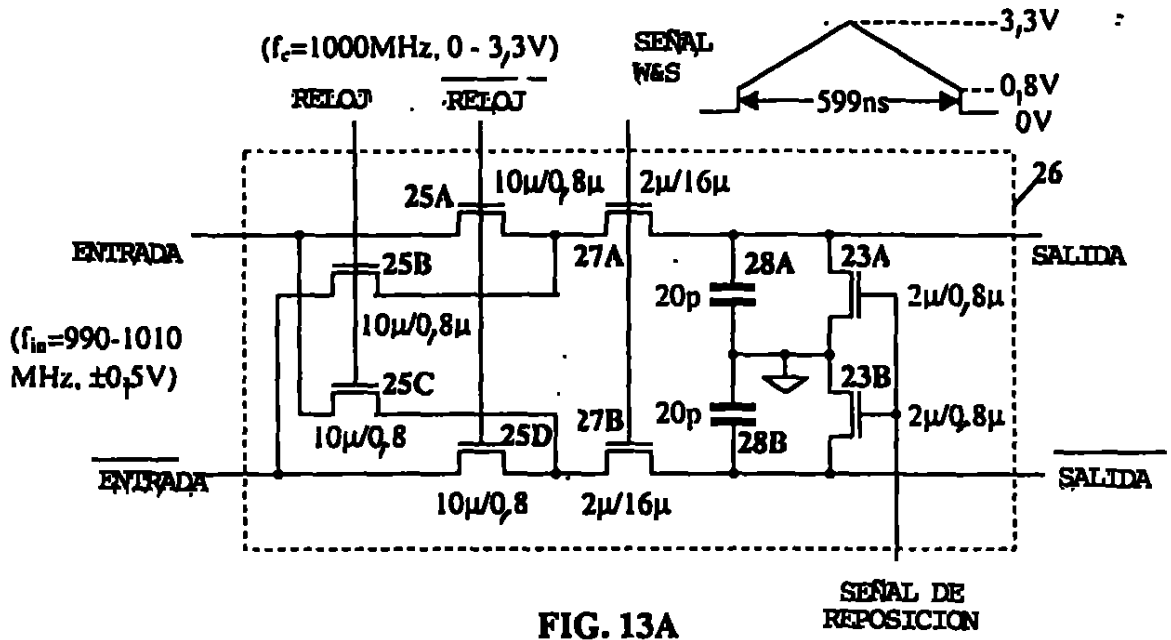
FIG. 12A



Nota : 1. Curva ideal en línea gruesa
 2. simulación HSPICE en línea punteada

FIG. 12B

99 ~~99~~



- Nota.
1. Curva ideal en línea sólida
 2. Simulación HSPICE en línea punteada

FIG. 13B

109
~~108~~

14/16

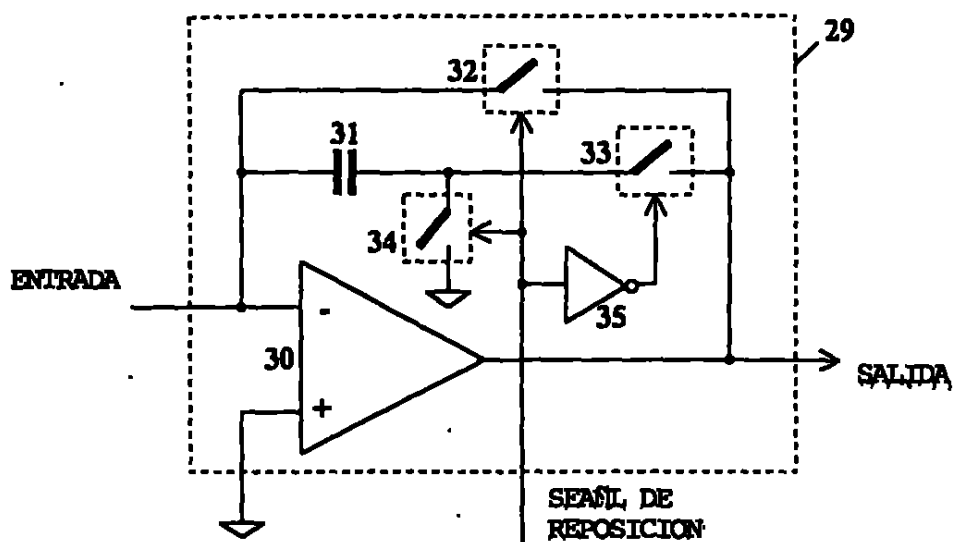


FIG. 14A

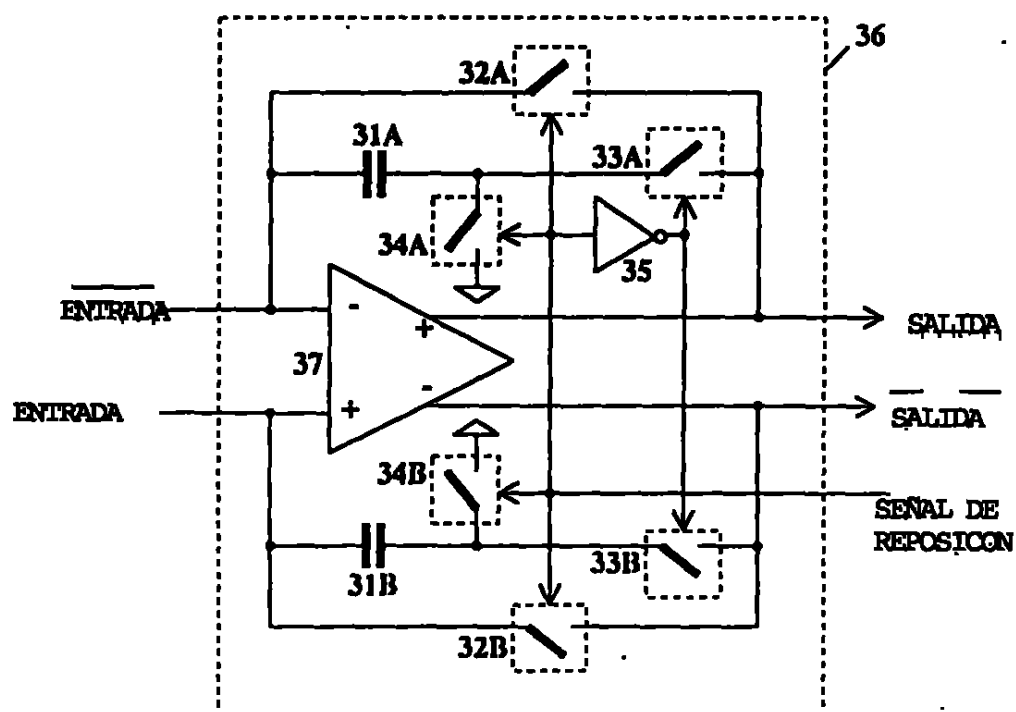


FIG. 14B

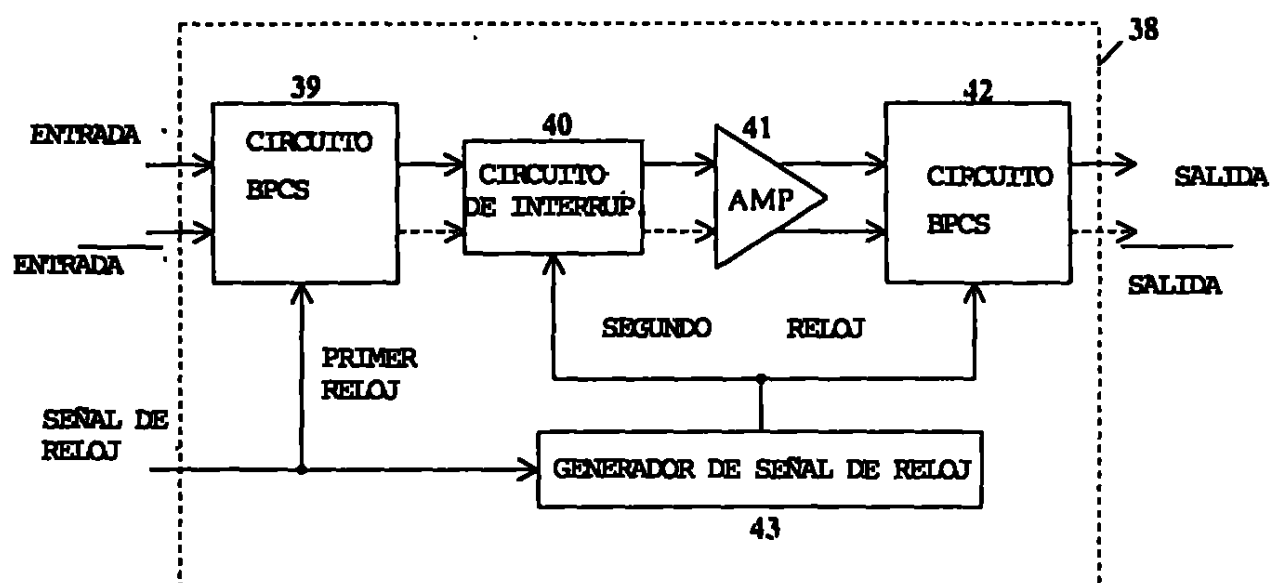
101
~~15/16~~

FIG. 15

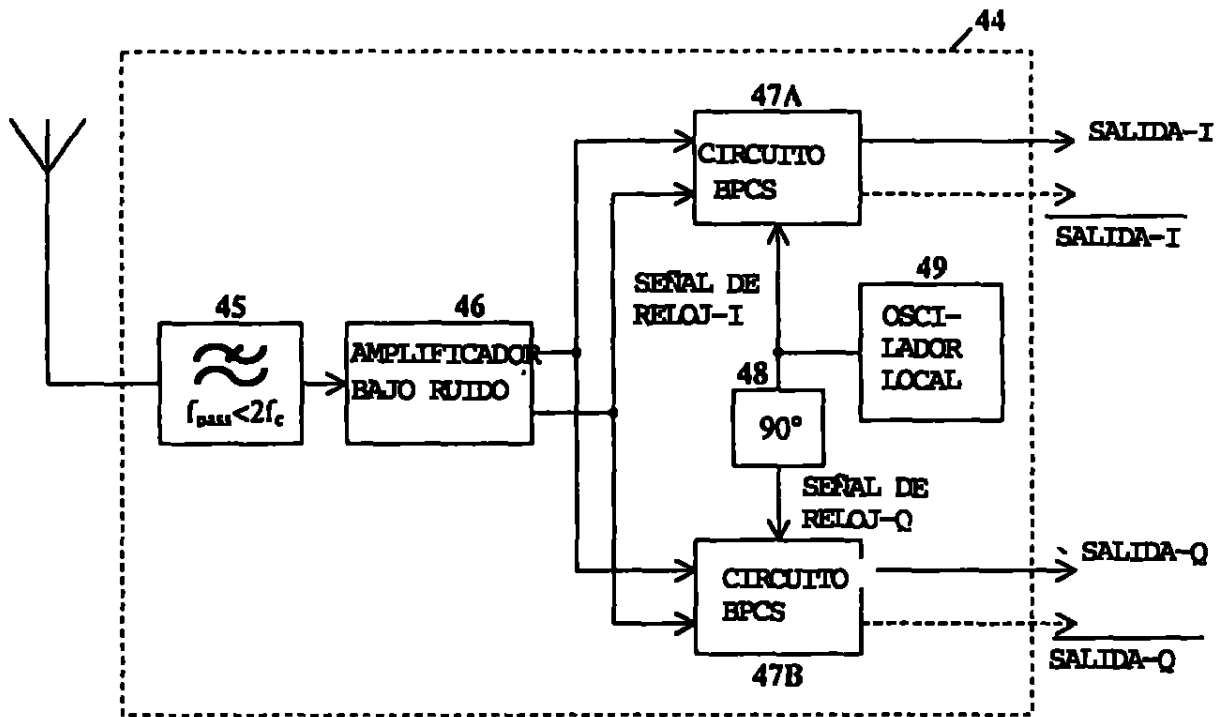


FIG. 16

folio 101 B y 102 A se retiran
traje y de archivo temático
Extrato para publicación
2020 feb-10-2009

FORMATO DE DIGITALIZACION
RELACION DE ANEXOS



Royal
Technologies S.A.
Sede y Oficinas de Representación en Chile

Expediente No		00-73.259	No de Follo
Item		No de unidades	
1	CD		✓
2	DVD		
3	REVISTA		
4	LIBRO		
5	PERIODICO		
6	DISQUETES		
7	SOBRE DE MANILA		
8	SOBRE BLANCO TAMAÑO CARTA		
9	SOBRE BLANCO TAMAÑO OFICIO X		
10	OTROS:		

Observaciones: Ante final

103

Castillo Grau & Asociados

**ABOGADOS
APARTADO AEREO 251473
BOGOTA, COLOMBIA**

*Se retro for pet
12x124 6x6
202030
Feb 10 2003*

Expediente No. 00 - 73.259

Solicitud de Patente

Contiene arte final por triplicado

PRV

**PATENT OCH-REGISTRERINGSVERKET
(OFICINA DE REGISTROS Y PATENTES)**

CERTIFICADO

Por el presente certifico que la que se anexa es copia fiel del documento originalmente presentado ante la Oficina de Registros y Patentes en conexión con la siguiente solicitud de patente.

(71) Solicitantes Jiren Yuan, Lund SE

(21) Número de solicitud de patente 9903532-1

(36) Fecha de presentación 1999-09-28

Estocolmo, 2000-11-10

Por la Oficina de Registros y Patentes

(Hay una firma)

Asa Dahlberg

Pago 170:-

REIVINDICACIONES

1. Un circuito de muestreo de carga (MC) y dos de sus diferentes versiones y un circuito de MC que comprende:

un interruptor con una entrada de señal, una salida de señal y una entrada de control, al cual se le aplica una señal análoga a la entrada de control y en la cual la entrada de señal está conectada con la salida de señal sólo cuando la mencionada señal de muestreo está en la fase de muestreo, y la entrada de señal es la entrada de señal del mencionado circuito de MC; y

un integrador con una entrada de señal, una salida de señal y una entrada de control, al cual la salida de señal del mencionado interruptor se aplica a la entrada de señal y una señal de reposición se aplica a la entrada de control, y en el cual la corriente de la mencionada señal análoga se integra durante la mencionada fase de muestreo, y la carga integrada produce un voltaje proporcional o una muestra de corriente en la salida de señal al final de la mencionada fase de muestreo, y la mencionada muestra se mantiene hasta que comienza la fase de restitución de la mencionada señal de restitución, y el intervalo de tiempo en el medio es la fase de espera, y una serie de las mencionadas muestras se produce cuando las mencionadas fases se repiten, y la salida de señal es la salida de señal del mencionado circuito de MC; y

un generador de señal de control con una entrada de reloj, una salida de señal de muestreo y una salida de señal de restitución, al cual

generador se le aplica una señal de reloj a la entrada de rel j, y del cual la mencionada señal de restitución es generada en la salida de señal de restitución, y la mencionada señal de muestreo se genera en la salida de señal de muestreo, y la mencionada fase de restitución va seguida de la mencionada fase de muestreo y a continuación va seguida de la mencionada fase de espera, y las mencionadas fases se repiten, y en el cual la entrada del reloj es la entrada del reloj del mencionado circuito de MC; y

si la mencionada fase de muestreo va del tiempo t_1 al tiempo t_2 , la mencionada muestra representa el valor del instante de la mencionada señal análoga en el tiempo $t_3 = (t_1 + t_2)/2$ y difiere del mencionado valor instante con un coeficiente que consta de una parte constante y de una parte dependiente de la frecuencia $(\sin(2\pi f_1 \Delta t))/(2\pi f_1 \Delta t)$, donde f_1 es la frecuencia del componente i th de la mencionada señal análoga y $\Delta t = (t_2 - t_1)/2$, la mitad del ancho de la mencionada fase de muestreo; y

una primera versión diferencial del mencionado circuito de MC que comprende:

un primer circuito de MC y un segundo circuito de MC, a los cuales se les aplican dos extremos de una señal análoga diferencial a la entrada de señal del mencionado primer circuito y a la entrada de señal del mencionado segundo circuito, respectivamente, y se le aplica una señal de reloj a la entrada de reloj del mencionado primer circuito de

1405
101

MC, y en la cual el generador de señal de control del mencionado primer circuito de MC es compartida por el mencionado segundo circuito de MC, y el generador de control de señal del mencionado segundo circuito de MC se omite, y la entrada de señal del mencionado primer circuito de MC, la entrada de señal del mencionado segundo circuito de MC, la entrada de reloj del mencionado primer circuito de MC, la señal de salida del mencionado primer circuito de MC y la señal de salida del mencionado segundo circuito de MC se convierte en la primera entrada de señal, la segunda entrada de señal, la entrada de reloj, la primera salida de señal y la segunda salida de señal de la primera versión diferencial del circuito de MC; y

una segunda versión diferencial del mencionado circuito de MC que comprende:

una primera versión diferencial del circuito de MC en la cual las entradas y salidas conservan los mismos nombres de las entrada y salidas de la mencionada segunda versión diferencial del circuito de MC, respectivamente, en la cual los integradores del primer circuito de MC y el segundo circuito de MC de la mencionada primera versión diferencial de MC están fusionados en un solo integrador diferencial que integra la corriente diferencial de la mencionada señal analógica y produce muestras diferenciales en la primera salida de señal y en la segunda salida de señal de la mencionada segunda versión diferencial del circuito de MC.

2. Un circuito de muestreo de carga de pasabanda (MCPB) y dos de sus versiones diferenciales; y un circuito de MCPB que comprende:

un primer interruptor con una entrada de señal, una salida de señal y una entrada de control, al cual se le aplica el primer extremo de una señal análoga diferencial a la entrada de señal, y un reloj se aplica a la entrada de control, y en el cual la entrada de señal está conectada con la salida de señal sólo cuando el mencionado reloj está en situación de encendido, y la entrada de señal es la primera entrada de señal del mencionado circuito de MCPB; y

un segundo interruptor con una entrada de señal, una salida de señal y una entrada de control, al cual se le aplica el segundo extremo de la mencionada señal análoga diferencial a la entrada de señal, y un reloj inverso, la inversión del mencionado reloj al mencionado primer interruptor, se aplica a la entrada de control, y en el cual la entrada de señal está conectada con la salida de señal sólo cuando el mencionado segundo reloj está en situación de encendido y la entrada de señal es la segunda entrada de señal del mencionado circuito de MCPB; y

un elemento de ponderación y muestreo (P&M) con una entrada de señal, una salida de señal y una entrada de control, al cual se le aplican tanto la salida de señal del primer interruptor como la salida de señal del mencionado segundo interruptor a la mencionada entrada de

señal y una señal de P&M se le aplica a la entrada de control, y en el cual la corriente de la mencionada señal análoga pasa a través del mencionado elemento de P&M sólo cuando la mencionada señal de P&M está en la fase de P&M que contiene n ciclos de los mencionados relojes, y la corriente de la mencionada señal análoga está controlada por la mencionada señal de P&M en funciones constante, lineal, gaussiana u otras funciones de ponderación; y

un integrador con una entrada de señal, una salida de señal y una entrada de control, al cual la salida del mencionado elemento de P&M se le aplica a la entrada de señal, y una señal de restitución se le aplica a la entrada de control, y en el cual la corriente de la mencionada señal análoga se integra durante la mencionada fase de P&M, y la carga integrada produce un voltaje proporcional o muestra de corriente en la salida de señal al final de la mencionada fase de P&M, y la mencionada muestra se mantiene hasta que comienza la fase de restitución de la mencionada señal de restitución, y el intervalo de tiempo en el medio es la fase de espera, y se produce una serie de muestras cuando las mencionadas fases se repiten, y la salida de señal es la salida de señal del mencionado circuito de MCPB; y

un generador de señal de control con una entrada de reloj, una salida de reloj, una salida de reloj inverso, una salida de señal de P&M, y una salida de señal de restitución, al cual se le aplica una señal de reloj a la entrada de reloj, y del cual mencionado reloj y mencionado

rel j inverso se generan en la salida de rel j y la salida de rel j inverso, respectivamente, y la mencionada señal de restitución se genera en la salida de señal de restitución, y la mencionada señal de P&M es generada en la salida de señal de P&M, y la mencionada fase de restitución va seguida de la mencionada fase de P&M y a continuación va seguida de la mencionada fase de espera, y las mencionadas fases se repiten, y la entrada de reloj es la entrada de reloj del mencionado circuito de MCPB; y

las mencionadas muestras representan el contenido de pasabanda de la mencionada señal análoga, y la frecuencia de salida es $f_{out} = [f_{in} - (2p-1)f_c]$ para $2(p-1)f_c \leq f_{in} \leq 2pf_c$, donde f_{in} es uno de los componentes de frecuencia de la mencionada señal análoga, f_c es la frecuencia del mencionado reloj y p un número entero ≥ 1 , respectivamente, y la fase de la mencionada frecuencia de salida depende de la fase de la mencionada f_{in} y la fase de la mencionada f_c , y $p = 1$ define el mayor rango de respuesta de frecuencia, y la misma forma de la respuesta de frecuencia se repite para $p > 1$ pero las amplitudes se reducen, y para una p dada, se obtiene la misma frecuencia de salida para las frecuencias $f_{in1}(<(2p-1)f_c)$ y $f_{in2}(>(2p-1)f_c)$ cuando $(2p-1)f_c - f_{in1} = f_{in2} - (2p-1)f_c$ pero con diferentes fases, y el ancho de banda de la forma de la mencionada respuesta de frecuencia depende de la mencionada n (cuanto más grande n , más angosto el ancho de banda) y la mencionada función de ponderación (constante, lineal, gaussiana u otras), y el

111
[Handwritten signature]

mencionado circuito MCPB es simultáneamente un filtro, un mezclador y un muestreador; y

una primera versión diferencial del mencionado circuito de MCPB que comprende:

un primer circuito de MCPB y un segundo circuito de MCPB, a los cuales se les aplican dos extremos de una señal analoga diferencial a la primera entrada de señal y a la segunda entrada de señal del mencionado primer circuito de MCPB respectivamente, y en el cual la primera entrada de señal y la segunda entrada de señal del mencionado segundo circuito de MCPB están conectadas con la segunda entrada y a la primera entrada del mencionado primer circuito de MCPB respectivamente, y el generador de señal de control del mencionado primer circuito de MCPB es compartida por el mencionado segundo circuito de MCPB, y el generador de señal de control del mencionado segundo circuito de MCPB se omite, y la primera entrada de señal, la segunda entrada de señal, la entrada del reloj, y la salida de señal del mencionado primer circuito de MCPB y la salida de señal del mencionado segundo circuito de MCPB se convierten en la primera entrada de señal, la segunda entrada de señal, la entrada de reloj, la primera salida de señal y la segunda salida de señal de la mencionada primera versión diferencial del circuito de MCPB; y

una segunda versión diferencial del mencionado circuito de MCPB que comprende:

una mencionada primera versión diferencial del circuito de MCPB en la cual las entradas y salidas conservan los mismos nombres de las entradas y salidas de la mencionada segunda versión diferencial del circuito MCPB, en el cual los integradores del mencionado primer circuito de MCPB y el mencionado segundo circuito MCPB están fusionados en un solo integrador diferencial que integra la corriente diferencial de la mencionada señal análoga y produce muestras diferenciales en la primera salida de señal y en la segunda salida de señal de la mencionada segunda versión diferencial del circuito MCPB.

3. Un circuito de MC paralelo que comprende:

un número de circuitos de MC conforme a la reivindicación 1, en el cual todas las primeras entradas de señal están conectadas juntas como primera entrada de señal del mencionado circuito paralelo de MC, y todos los generadores de señal de control en los mencionados circuitos de MC se omiten, y al cual se le aplica una señal análoga a la primera entrada de señal del mencionado circuito paralelo de MC, y con la cual el circuito paralelo de MC se encuentra en una sola versión terminada; o

un número de la primera o segunda versión diferencial de los circuitos de MC conforme a la reivindicación 1, en la cual todas las primeras entradas están conectadas juntas como primera entrada de señal del mencionado circuito paralelo de MC, y todas las segundas

entradas están conectadas juntas como la segunda entrada de señal del mencionado circuito paralelo de MC, y todos los generadores de señal de control de dichos circuitos MC se omiten y al cual están aplicados dos extremos a la primera entrada de señal y la segunda entrada de señal del mencionado circuito paralelo de MC, respectivamente, y con la cual el circuito paralelo de MC se encuentra en una versión diferencial; y

un generador de señal de control con una entrada de reloj, el mencionado número de salidas de señal de muestreo, el mencionado número de salidas de señal de restitución y el mencionado número de salidas de señal múltiplex, al cual se le aplica una señal de reloj a la entrada de reloj y la entrada de reloj es la entrada de reloj del mencionado circuito paralelo de MC, y del cual mencionado número de señales de muestreo se generan en las salidas de señal de muestreo y con ellas se alimentan las entradas de control de los interruptores de los mencionados circuitos de MC, respectivamente, y el número mencionado de señales de restitución se generan en las mencionadas salidas de señal de restitución y con ellas se alimentan las entradas de control de los integradores de los circuitos de MC, respectivamente, y el mencionado número de señales múltiplex se generan en las salidas de señales múltiplex, y las mencionadas señales de restitución, las mencionadas señales de muestreo y las mencionadas señales de múltiplex se interpolan sincrónicamente en el tiempo; y

un multiplexor con el mencionado número de entradas de señal o pares de entrada (en el caso diferencial, igual que más abajo), el número mencionado de entradas de control, y una salida de señal o par de salida, al cual se le aplican las salidas de señal o los pares de señal de los mencionados circuitos de MC a las entradas de señal o los pares de señal respectivamente, y las mencionadas señales de multiplexión se le aplican a las entradas de control, respectivamente, y a través de la cual las salidas o los pares de salida de los mencionados circuitos de MC son multiplexados a la salida o al par de salida del mencionado circuito paralelo de MC cuando las salidas o los pares de salida de los mencionados circuitos de MC se encuentran en las fases de espera; y

el mencionado circuito paralelo de MC incrementa la velocidad de muestreo y hace que el intervalo de tiempo entre dos puntos sucesivos de muestreo sea posiblemente menor que la ventana de muestreo conforme a la reivindicación 1.

4. Un circuito MCPB paralelo conforme a la reivindicación 2, que comprende:

un número de circuitos de MCPB conforme a la reivindicación 2, en los cuales todas las primeras entradas de señal están conectadas juntas como la primera entrada de señal del mencionado circuito paralelo de MCPB, todas las segundas entradas de señal están conectadas juntas como la segunda entrada de señal del mencionado circuito paralelo de MCPB, y todos los primeros interruptores pueden

ser fusionados, y todos los segundos interruptores pueden ser fusionados, y todos los generadores de señal de control en los mencionados circuitos de MCPB se omiten, y a los cuales dos extremos de una señal análoga diferencial se le aplican a la primera entrada de señal y a la segunda entrada de señal del mencionado circuito paralelo de MCPB, y con los cuales el circuito paralelo de MCPB se encuentra en una sola versión terminada; o

un número de la primera o segunda versión diferencial de los circuitos de MCPB conforme a la reivindicación 2, en la cual todas las primeras entradas de señal están conectadas juntas como primera entrada de señal del mencionado circuito paralelo de MCPB, y todas las segundas entradas de señal están conectadas juntas como la segunda entrada de señal del mencionado circuito paralelo de MCPB, y todos los primeros interruptores de los mencionados primeros circuitos de MCPB pueden ser fusionados, y todos los segundos interruptores de los mencionados primeros circuitos de MCPB pueden ser fusionados, y todos los primeros interruptores de los mencionados segundos circuitos de MCPB pueden ser fusionados, y todos los segundos interruptores de los mencionados segundos circuitos de MCPB pueden ser fusionados, y todos los generadores de señal de control de los mencionados circuitos de MCPB se omiten, y a los cuales dos extremos de una señal análoga diferencial se le aplican a la primera entrada de señal y a la segunda entrada de señal del mencionado circuito paralelo de MCPB, y con los cuales el circuito paralelo de MCPB se encuentra en una sola versión diferencial, y

un generador de señal de control con una entrada de reloj, una salida de reloj, una salida de reloj inverso, el mencionado número de salidas de señal de P&M, el mencionado número de salidas de señal de restitución y dicho número de salidas de señales de multiplexión, al cual se le aplica una señal de reloj a la entrada de reloj, y la entrada de reloj es la entrada de reloj del mencionado circuito paralelo de MCPB, y del cual se genera una señal de reloj en la salida de reloj, con la cual se alimentan las entradas de control de todos los primeros interruptores de los mencionados circuitos de MCPB, y un reloj inverso se genera en la salida del reloj inverso y con ella se alimentan las entradas de todos los segundos interruptores de los mencionados circuitos de MCPB, y el mencionado número de señales de P&M se generan en las salidas de señal de P&M y con ellas se alimentan las entradas de control de todos los elementos de P&M de los mencionados circuitos de MCPB, y el número mencionado de señales de restitución se generan en las salidas de señal de restitución y con ellas se alimentan las entradas de control de todos los integradores de los mencionados circuitos de MCPB, y el número mencionado de señales de multiplexión se genera en las salidas de señal de multiplexión, y las mencionadas señales de restitución, las mencionadas señales de muestreo y las mencionadas señales de multiplexión son interpoladas sincrónicamente; y

un multiplexor con el mencionado número de entradas de señal o pares de entrada, el número mencionado de entradas de control, y una salida de señal o par de salida, al cual se le aplican las salidas de señal o

117 ~~117~~

los pares de señal de los mencionados circuitos de MCPB a las entradas de señal o los pares de señal respectivamente, y las mencionadas señales de multiplexión se le aplican a las entradas de control, respectivamente, y a través de la cual las salidas o los pares de salida de los mencionados circuitos de MCPB son multiplexados a la salida de señal o al par de salida cuando las salidas de señal o los pares de salida de los mencionados circuitos de MCPB se encuentran en las fases de espera, y la salida de señal o el par de salida es la salida de señal o el par de salida del mencionado circuito paralelo de MCPB; y

el mencionado circuito paralelo de MCPB incrementa la velocidad de muestreo y hace que el intervalo de tiempo entre dos puntos sucesivos de muestreo sea posiblemente menor que el ancho de la mencionada señal de P&M conforme a la reivindicación 2.

5. Un circuito de MC de frecuencia compensada conforme a las reivindicaciones 1 y 3 que comprende:

un circuito de MC, o una primera versión diferencial del circuito de MC, o una segunda versión diferencial del circuito de MC, conforme a la reivindicación 1; o

una versión terminada de señal de una versión diferencial del circuito paralelo de MC conforme a la reivindicación 3; y un circuito análogo de compensación de frecuencia con una entrada de señal o par

de señal, y una salida de señal par de salida, con una frecuencia de respuesta proporcional a $(2\pi f_1 \Delta t) / (\sin(2\pi f_1 \Delta t))$ conforme a la reivindicación 1, al cual se le aplica una señal análoga a la entrada de señal o par de entrada, y del cual la salida de señal se aplica a la entrada de señal del mencionado circuito de MC o la versión de extremo sencillo del mencionado circuito paralelo de MC, o el par de salida de señal se aplica a la primera entrada de señal y a la segunda entrada de señal de las mencionadas primera o segunda versiones diferenciales del circuito de MC o la versión diferencial del mencionado circuito paralelo de MC; o

un circuito digital de compensación de frecuencia con una respuesta de frecuencia proporcional a $(2\pi f_1 \Delta t) / (\sin(2\pi f_1 \Delta t))$ conforme a la reivindicación 1 se conecta después de un convertidor A/D que convierte la salida de señal o el par de salida de los mencionados circuitos de MC o circuitos paralelos de MC en una señal digital.

6. Un circuito de MPCB de dos pasos conforme a las reivindicaciones 2 y 4 que comprende:

un primer circuito de MCPB en cualquiera de los tipos conforme a las reivindicaciones 2 y 4, al cual se le aplican dos extremos de una señal análoga diferencial a la primera entrada de señal y a la segunda entrada de señal, respectivamente, y una señal de reloj se le aplica a la entrada de reloj como el primer reloj, y las mencionadas primera entrada de señal,

segunda entrada de señal y entrada de reloj son la primera entrada de señal, la segunda entrada de señal y la entrada de reloj del mencionado circuito de MCPB de dos pasos, y de la cual se producen muestras de señal en la salida de señal o par de salida con una primera velocidad de muestra; y

un circuito de interrupción periódica con una entrada de señal o par de entrada, una salida de señal o par de salida, y una entrada de reloj, al cual se le aplican la salida de señal o el par de salida del primer circuito de MCPB a la entrada de señal o par de entrada, y un segundo reloj con una frecuencia igual a la mencionada primera velocidad de muestreo se aplica a la entrada de reloj, y en el cual la señal se interrumpe periódicamente de forma simétrica en el tiempo en la salida de señal o par de salida con la frecuencia del segundo reloj; y

un amplificador de salida diferencial con una entrada de señal o par de entrada y un par de salida de señal, al cual se le aplica la salida de señal o el par de salida del mencionado circuito de interrupción periódica a la entrada de señal o par de entrada, y en el cual la señal se amplifica de forma diferencial en el par de salida de señal; y

un segundo circuito de MCPB de cualquiera de los tipos conforme a las reivindicaciones 2 y 4, al cual el par de salida de señal del mencionado amplificador se le aplica a la primera entrada de señal y a la segunda entrada de señal, respectivamente, y el mencionado segundo reloj se

aplica a la entrada de reloj, y del cual las muestras de señal se producen en la salida de señal o par de salida con una segunda velocidad de muestreo; y

un generador de señal de reloj con una entrada de reloj y una salida de reloj, a la cual mencionada primera señal de reloj se aplica a la mencionada entrada de reloj, y del cual un segundo es generado en la salida de reloj y simultáneamente se alimenta la entrada de reloj del mencionado circuito de interrupción periódica y la entrada de reloj del mencionado segundo circuito de MCPB; y

pueden construirse configuraciones con más pasos con base en el mencionado circuito de MCPB de dos pasos.

7. Configuraciones de bloques de construcción en cualquier tipo de los mencionados circuitos de MC y MCPB conforme a las reivindicaciones 1, 2, 3, 4, 5, y 6; y

una configuración n-MOS del mencionado interruptor que comprende:

un transistor n-MOS con el dren como entrada de señal, con la compuerta como entrada de control y con la fuente como salida de señal; y

una configuración CMOS del mencionado interruptor que comprende:

un transistor n-MOS y un transistor p-MOS con sus drenes conectados uno al otro como entrada de señal, con sus fuentes conectadas una a otra como salida de señal y con la compuerta del mencionado transistor n-MOS como entrada de control; y

un inversor con la entrada conectada a la compuerta del mencionado transistor n-MOS y con la salida conectada a la compuerta del mencionado transistor p-MOS; y

una configuración del mencionado elemento de P&M que comprende:

un transistor n-MOS con el dren como entrada de señal, con la compuerta como entrada de control y con la fuente como salida de señal; y

una configuración pasiva del mencionado integrador que comprende:

un condensador con el primer extremo como entrada de señal, y con el segundo extremo a tierra; y

un reóstato opcional insertado entre la mencionada entrada de señal y el primer extremo del mencionado condensador cuando sea necesario; y

un transistor n-MOS con el dren y la fuente conectados al primer extremo y al segundo extremo del mencionado condensador, respectivamente, y con la compuerta como entrada de control; y

124/30

una configuración pasiva del mencionad integrador diferencial que comprende:

una primera configuración pasiva del mencionado integrador con la entrada de señal y la salida de señal como primera entrada de señal y primera salida de señal del mencionado integrador, respectivamente; y

una segunda configuración pasiva del mencionado integrador con la entrada de señal y la salida de señal como segunda entrada de señal y segunda salida de señal del mencionado integrador, respectivamente; y

una configuración activa del mencionado integrador que comprende:

un amplificador de salida diferencial en sencillo con la entrada positiva a tierra, con la entrada negativa como entrada de señal del mencionado integrador y con la salida como salida de señal del mencionad integrador; y

un condensador con el primer extremo conectado a la entrada negativa del mencionado amplificador de salida diferencial en sencillo; y

un inversor con la entrada como entrada de control del mencionado integrador; y

una primera configuración n-MOS o configuración CMOS del mencionado interruptor con la entrada de señal conectada a la entrada negativa del mencionado amplificador de salida diferencial en sencillo, con la entrada de control conectada a la entrada de control del mencionado integrador, y con la salida de señal conectada a la salida del mencionado amplificador de salida diferencial en sencillo; y

una segunda configuración n-MOS o configuración CMOS del mencionado interruptor con la entrada de señal conectada al segundo extremo del mencionado condensador, con la entrada de control conectada a la entrada de control del mencionado integrador, y con la salida de señal a tierra; y

una tercera configuración n-MOS o configuración CMOS del mencionado interruptor con la entrada de señal conectada al segundo extremo del mencionado condensador, con la entrada de control conectada a la salida del mencionado inversor y con la salida de señal conectada a la salida del mencionado amplificador de salida diferencial en sencillo; y

un reóstato opcional insertado entre la entrada de señal del mencionado integrador y la entrada negativa del mencionado amplificador de salida diferencial en sencillo cuando sea necesario; y

una configuración activa del mencionado integrador diferencial que comprende:

un amplificador de salida diferencial en diferencial con la entrada negativa, la entrada positiva, la salida positiva y la salida negativa como primera entrada de señal, la segunda entrada de señal, la primera salida de señal y la segunda salida de señal del mencionado integrador diferencial; y

un primer condensador con el primer extremo conectado a la entrada negativa del mencionado amplificador de salida diferencial en diferencial; y

un segundo condensador con el primer extremo conectado a la entrada positiva del mencionado amplificador de salida diferencial en diferencial; y

un inversor con la entrada como entrada de control del mencionado integrador diferencial; y

una primera configuración n-MOS o configuración CMOS del mencionado interruptor con la entrada de señal conectada a la entrada negativa del mencionado amplificador de salida diferencial en diferencial, con la entrada de control conectada a la entrada de control del mencionado integrador diferencial, y con la salida de señal conectada a la salida positiva del mencionado amplificador de salida diferencial en diferencial; y

125/53
20

una segunda configuración n-MOS o configuración CMOS del mencionado interruptor con la entrada de señal conectada al segundo extremo del mencionado primer condensador, con la entrada de control conectada a la entrada de control del mencionado integrador diferencial, y con la salida de señal a tierra; y

una tercera configuración n-MOS o configuración CMOS del mencionado interruptor con la entrada de señal conectada al segundo extremo del mencionado primer condensador, con la entrada de control conectada a la salida del mencionado inversor y con la salida de señal conectada a la salida positiva del mencionado amplificador de salida diferencial en diferencial; y

una cuarta configuración n-MOS o configuración CMOS del mencionado interruptor con la entrada de señal conectada a la entrada positiva del mencionado amplificador de salida diferencial en diferencial, con la entrada de control conectada a la entrada de control del mencionado integrador diferencial y con la salida de señal conectada a la salida negativa del mencionado amplificador de salida diferencial en diferencial; y

una quinta configuración n-MOS o configuración CMOS del mencionado interruptor con la entrada de señal conectada al segundo extremo del mencionado segundo condensador, con la entrada de control

conectada a la entrada de control del mencionado integrador diferencial y con la señal de salida a tierra; y

una sexta configuración n-MOS o configuración CMOS del mencionado interruptor con la entrada de señal conectada al segundo extremo del mencionado segundo condensador, con la entrada de control conectada a la salida del mencionado inversor y con la salida de señal conectada a la salida negativa del mencionado amplificador de salida diferencial en diferencial; y

un primer reóstato opcional insertado entre la primera entrada de señal del mencionado integrador diferencial y la entrada negativa del mencionado amplificador de salida diferencial en diferencial; y

un segundo reóstato opcional insertado entre la segunda entrada de señal del mencionado integrador diferencial y la entrada positiva del mencionado amplificador de salida diferencial en diferencial cuando sea necesario.

8. Una arquitectura de radio receptor de muestreo de sección de entrada que utiliza los mencionados circuitos de MCPB conforme a las reivindicaciones 2, 4, 6, y 7, que comprende:

un filtro de paso bajo con una entrada de señal o par de señal y con una salida de señal y par de señal, un ancho de banda de hasta dos veces la

127 ~~128~~

frecuencia del reloj, al cual la señal de radio se aplica a la entrada de señal o par de entrada; y

un amplificador de ruido bajo con una entrada de señal o par de entrada y un par de salida de señal al cual la salida o par de salida del mencionado filtro de paso bajo se aplica a la entrada de señal o par de entrada, y del cual se produce una señal de radio amplificada diferencialmente en el par de salida de señal; y

un oscilador local con una salida de señal, del cual se produce una señal de reloj I en la salida de señal; y

un cambiador de fase $\pi/2$ con una entrada de señal y una salida de señal, al cual se le aplica la mencionada señal del reloj I a la entrada de señal, y del cual se produce una señal de reloj Q en la salida de señal con la misma amplitud del cambio de fase $\pi/2$ con respecto a la señal de reloj I; y

un primer circuito de MCPB y un segundo circuito de MCPB en cualquier tipo conforme a las reivindicaciones 2, 4, 6 y 7, al cual se le aplican respectivamente dos extremos del par de salida de señal del mencionado amplificador de bajo ruido a las primeras salidas de señal y a las segundas salidas de señal tanto del mencionado primer circuito de MCPB como del mencionado segundo circuito de MCPB, respectivamente, y la mencionada señal de reloj I se aplica a la salida de

reloj del mencionado primer circuito de MCPB, y la mencionada señal de reloj Q se aplica a la salida de reloj del mencionado segundo circuito de MCPB, y del cual se producen las muestras I de banda de base de la mencionada señal de radio en la salida de señal o par de salida de mencionado primer circuito de MCPB y las muestras Q de banda de base de la mencionada señal de radio se producen en la salida de señal o par de salida del mencionado segundo circuito de MCPB; y

el mencionado oscilador local, el mencionado cambiador de fase y los generadores de reloj de los mencionados primero y segundo circuitos de MCPB pueden ser combinados para producir señales diferenciales de reloj I y de reloj Q de manera más eficiente y exacta; y

las mencionada muestras I de banda de base y muestras Q de banda de base pueden ser convertidas después ya sea mediante dos convertidores análogo a digital o por un solo convertidor análogo a digital con multiplexión a señales digitales; y

las mencionadas señales digitales pueden ser procesadas ulteriormente mediante una unidad de procesamiento de señal digital (PSD); y

la mencionada arquitectura de radio receptor de muestreo de sección de entrada es una arquitectura superior de radio receptor, en la cual la parte análoga está grandemente simplificada y la capacidad de la PSD está altamente aprovechada.