PCT

Industria y Comercio
SUPERINTENDENCIA PROPIEDAD INDUSTRIAL
República de Colombia
Ministerio de Comercio, Industria y Turismo

CSA125490

Delegatura de Propiedad Industrial
División de Nuevas Creaciones

SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO
INVENTARIO

Organizacion y
Digitalizacion CSA Ltda

SOLICITUD DE

PATENTE DE INVENCION
PCT ENTRADA EN FASE NACIONAL

21. EXPEDIENTE No. 10-76875

54. TITULO: **APARATO PARA PROCESAMIENTO DE DATOS Y METODO PARA PROCESAMIENTO DE DATOS**

52. CLASIFICACION INTERNACIONAL: **H03M 13/19**

71. SOLICITANTE: **SONY CORPORATION**

DOMICILIO: **1-7-1 Konan, Minato-ku, Tokyo 108-0075 - JAPON**

74. APODERADO: **Dra. MARGARITA CASTELLANOS A.**

22. BOGOTA, D.C., 25 JUN. 2010

00 001

Industria y Comercio
SUPERINTENDENCIA

PETITORIO

SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO

No. 10-076875- -00000-0000

Fecha: 2010-06-25 13:43:55 Dep: 2020 DIR.NUEVASCR
Tra: 11 PATENTEIYII Eve: 378 FASENACIONALI
Act: 411 PRESENTACION Folios: 422

FORMULARIO UNICO DE SOLICITUD DE PATENTES PCT ENTRADA EN FASE NACIONAL

SOLICITUD DE:

①

[X] Patente de Invención. [ ] Patente de Modelo de Utilidad.

[X] Capítulo I [ ] Capítulo II

② SOLICITANTE (71)	Nombre: **SONY CORPORATION** Dirección: **1-7-1 Konan, Minato-ku** **Tokyo 108-0075** **JAPON** Nacionalidad o Domicilio: **Tokyo, JAPON** Lugar de Constitución: **JAPON** Teléfono: Fax: E-mail:	IDENTIFICACIÓN C.C. [ ] NIT [ ] C.E. [ ] Otro [ ] Cual Número
③ REPRESENTANTE O APODERADO	Nombre: **MARGARITA CASTELLANOS A.** Dirección: **CALLE 94A No. 7A-09** Teléfono: **756 07 70** Fax: **755 01 58** E-mail: info@castellanosyco.com	IDENTIFICACIÓN C.C. [X] NIT [ ] C.E. [ ] Otro [ ] Cual Número **39779.654** TPA **70.819**

④ INVENTOR (ES) (72)

TAKASHI YOKOKAWA
c/o SONY CORPORATION
1-7-1 Konan, Minato-ku
Tokyo
JAPON

MAKIKO YAMAMOTO
c/o SONY CORPORATION
1-7-1 Konan, Minato-ku
Tokyo
JAPON

⑤ **PCT (86)**

Solicitud Internacional No. **PCT/JP2008/071384** Fecha **26/11/2008**

Publicación Internacional No. **WO 2009/069617 A1** Fecha **04/06/2009**

⑥ **Título (54)** **APARATO PARA PROCESAMIENTO DE DATOS Y METODO PARA PROCESAMIENTO DE DATOS**

⑦ **Clasificación Internacional (51)** **H03M 13/19**

⑧ **Prioridad**

SI [X] NO [ ]

(33) País de Origen	(32) Fecha	(31) Número de Solicitud
JP	26/11/2007	2007-304689
JP	18/03/2008	2008-070467

⑨ **Comprobante de pago No.** **10-48,118** **Fecha** **Junio 15 de 2010**

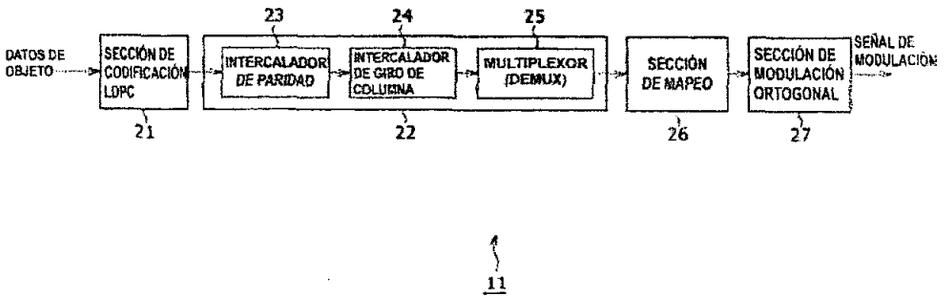
Instrucciones para el diligenciamiento del presente formulario, ver reverso de esta página.

(10) Anexos

- [X] Comprobante de pago de la tasa de presentación de la solicitud.
- [ ] Documento que acredita la existencia y representación legal cuando el solicitante sea persona jurídica.
- [ ] Poderes, si fuere el caso, junto con la sustitución del mismo a mi favor
- [ ] Documento de cesión del inventor al solicitante o a su causante.
- [ ] Declaraciones.
- [X] Copia de la solicitud internacional (Resumen, descripción, reivindicaciones, dibujos).
- [X] Traducción de la solicitud internacional al castellano (Resumen, descripción, reivindicaciones, dibujos).
- [ ] Copia del examen preliminar internacional efectuado por la Autoridad Internacional de Examen Preliminar (IPEA).
- [ ] Traducción del examen preliminar internacional efectuado por la IPEA.
- [ ] De ser el caso, copia del contrato de acceso.
- [ ] De ser el caso, documento que acredite la licencia o autorización de uso de conocimientos tradicionales de las comunidades indígenas.
- [ ] De ser el caso, certificado de depósito del material biológico.
- [X] Arte final 12x12
- [ ] De ser el caso, información sobre otras solicitudes de patente o títulos obtenidos en el extranjero por el mismo titular o su causante, relacionadas parcial o totalmente con la invención de esta solicitud.
- [ ] De ser el caso, modificaciones efectuadas a la solicitud internacional.
- [X] Otros: **Tarjeta Propietario, Extracto para la publicación**

(11) FIGURA CARACTERISTICA:

FIG. 8



(12) Solicito la concesión de la patente,

NOMBRE: **MARGARITA CASTELLANOS ABONDANO**

FIRMA:

C.C. No. 39.779.654 Usaquén - TPA 70.819 C.S.J.

25 JUN. 2010

Instrucciones para el diligenciamiento del presente formulario, ver reverso de esta página. *- MCA/gcb - P1965*

00 003

SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO

NIT : 800176089-2

RECIBO OFICIAL DE CAJA : 10 - 48,118
FECHA : JUNIO 15 DE 2010

SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO
No. 10-076875- -00000-0000
Fecha: 2010-06-25 13:43:55 Dep: 2020 DIR.NUEVASCR
Tra: 11 PATENTEIYII Eve: 378 FASENACIONALI
Act: 411 PRESENTACION Folios: 422

***** C O N S I G N A C I O N *****

DEPOSITANTE	TIPO PAGO	BANCO	CUENTA	No. PAGO	FECHA PGO	Vr. PAGO
ALVARO CASTELLANOS	CONSIGNACION	BANCO DE BOGOTA	062754387	4780930	15/06/2010	11,946,000.00

***** C O N C E P T O *****

CANT.	RENTISTICO	CONCEPTO	TOTAL CONCEPTO
1	50005-01-01 SOLICITUDES	1 TRAMITES DE SOL. DE PATENTE DE IN	554,000.00
		TOTAL : $	554,000.00

SON: QUINIENTOS CINCUENTA Y CUATRO MIL PESOS

RESPONSABLE : _____

RECIBO DE CAJA APLICADO AL EXPEDIENTE Nº. _____

(12) 特許協力条約に基づいて公開された国際出願

00 004

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2009 年6 月4 日 (04.06.2009)

PCT

(10) 国際公開番号
WO 2009/069617 A1

(51) 国際特許分類:
H03M 13/19 (2006.01)

(21) 国際出願番号: PCT/JP2008/071384

(22) 国際出願日: 2008 年11 月26 日 (26.11.2008)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2007-304689
2007 年11 月26 日 (26.11.2007) JP
特願2008-070467 2008 年3 月18 日 (18.03.2008) JP

(71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒1080075 東京都港区港南１丁目７番１号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 横川 峰志 (YOKOKAWA, Takashi) [JP/JP]; 〒1080075 東京都港区港南１丁目７番１号 ソニー株式会社内 Tokyo (JP). 山本 真紀子 (YAMAMOTO, Makiko) [JP/JP]; 〒1080075 東京都港区港南１丁目７番１号 ソニー株式会社内 Tokyo (JP).

(74) 代理人: 稲本 義雄 (INAMOTO, Yoshio); 〒1600023 東京都新宿区西新宿７丁目１１番１８号 ７１１ビルディング４階 Tokyo (JP).

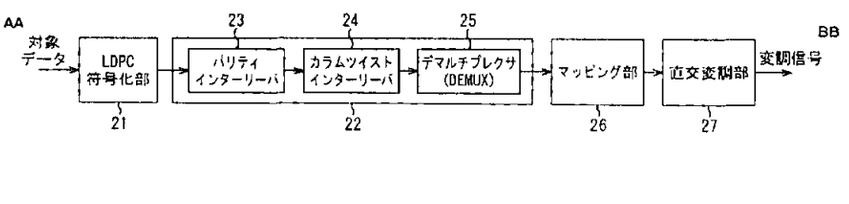
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE,

/続葉有/

(54) Title: DATA PROCESS DEVICE AND DATA PROCESS METHOD

(54) 発明の名称: データ処理装置、及びデータ処理方法

[図8]
図8



11

AA TARGET DATA
21 LDPC CODING UNIT
23 PARITY INTERLEAVER
24 COLUMN TWIST INTERLEAVER
25 DE-MULTIPLEXER (DEMUX)
26 MAPPING UNIT
27 QUADRATURE MODULATION UNIT
BB MODULATED SIGNAL

(57) Abstract: The present invention relates to a data process device whose resistance against an error such as a burst error or an erasure error of a code bit of an LDPC code can be improved, and a data process method. An LDPC coding unit (21) performs LDPC coding according to a check matrix that is a parity matrix of a step constitution that is a part corresponding to a parity bit of the LDPC (Low Density Parity Check) code and outputs the LDPC code. A parity interleaver (23) performs a parity interleave in which the parity bit of the LDPC code outputted by the LDPC coding unit (21) is interleaved to a position of another parity bit. The present invention can be applied to for example, a transmission device for transmitting the LDPC code.

(57) 要約: 本発明は、バースト誤りや、イレージャ等の、LDPC符号の符号ビットのエラーに対する耐性を向上させることができるデータ処理装置、及びデータ処理方法に関する。LDPC符号化部２１は、LDPC(Low Density Parity Check)符号のパリ

/続葉有/

WO 2009/069617 A1

WO 2009/069617 A1

SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

ティビットに対応する部分であるパリティ行列が階段構造になっている検査行列に従ったLDPC符号化を行うことにより、LDPC符号を出力する。パリティインターリーバ２３は、LDPC符号化部２１が出力するLDPC符号のパリティビットを、他のパリティビットの位置にインターリーブするパリティインターリーブを行う。本発明は、例えば、LDPC符号を送信する送信装置に適用できる。

明 細 書

データ処理装置、及びデータ処理方法

技術分野

[0001] 本発明は、データ処理装置、及びデータ処理方法に関し、特に、例えば、LDPC(Low Density Parity Check)符号の、バースト(burst)誤りや、イレージャ(erasure)に対する耐性を向上させることができるようにするデータ処理装置、及びデータ処理方法に関する。

背景技術

[0002] LDPC符号は、高い誤り訂正能力を有し、近年では、例えば、欧州で行われているDVB-S.2等の衛星ディジタル放送を含む伝送方式に広く採用され始めている(例えば、非特許文献1を参照)。また、LDPC符号は、次世代の地上ディジタル放送にも採用が検討されている。

[0003] LDPC符号は、近年の研究により、ターボ符号等と同様に、符号長を長くしていくにしたがって、シャノン限界に近い性能が得られることがわかりつつある。また、LDPC符号は、最小距離が符号長に比例するという性質があることから、その特徴として、ブロック誤り確率特性がよく、さらに、ターボ符号等の復号特性において観測される、いわゆるエラーフロア現象が殆ど生じないことも利点として挙げられる。

[0004] 以下、このようなLDPC符号について具体的に説明する。なお、LDPC符号は、線形符号であり、必ずしも2元である必要はないが、ここでは、2元であるものとして説明する。

[0005] LDPC符号は、そのLDPC符号を定義する検査行列(parity check matrix)が疎なものであることを最大の特徴とする。ここで、疎な行列とは、行列の要素の"1"の個数が非常に少ない行列(ほとんどの要素が0の行列)である。

[0006] 図1は、LDPC符号の検査行列Hの例を示している。

[0007] 図1の検査行列Hでは、各列の重み(列重み)("1"の数)(weight)が"3"であり、且つ、各行の重み(行重み)が"6"になっている。

[0008] LDPC符号による符号化(LDPC符号化)では、例えば、検査行列Hに基づいて生成

行列Gを生成し、この生成行列Gを2元の情報ビットに対して乗算することで、符号語（LDPC符号）が生成される。

[0009] 具体的には、LDPC符号化を行う符号化装置は、まず、検査行列Hの転置行列H^Tとの間に、式$GH^T=0$が成立する生成行列Gを算出する。ここで、生成行列Gが、K×N行列である場合には、符号化装置は、生成行列Gに対してKビットからなる情報ビットのビット列（ベクトルu）を乗算し、Nビットからなる符号語c(=uG)を生成する。この符号化装置によって生成された符号語（LDPC符号）は、所定の通信路を介して受信側において受信される。

[0010] LDPC符号の復号は、Gallagerが確率復号(Probabilistic Decoding)と称して提案したアルゴリズムであって、バリアブルノード（variable node（メッセージノード(message node)とも呼ばれる））と、チェックノード(check node)とからなる、いわゆるタナーグラフ(Tanner graph)上での確率伝播(belief propagation)によるメッセージ・パッシング・アルゴリズムによって行うことが可能である。ここで、以下、適宜、バリアブルノードとチェックノードを、単に、ノードともいう。

[0011] 図2は、LDPC符号の復号の手順を示している。

[0012] なお、以下、適宜、受信側で受信したLDPC符号（1符号語）のi番目の符号ビットの、値の"0"らしさを対数尤度比(log likelihood ratio)で表現した実数値を、受信値u_{0i}という。また、チェックノードから出力されるメッセージをu_jとし、バリアブルノードから出力されるメッセージをv_iとする。

[0013] まず、LDPC符号の復号においては、図2に示すように、ステップS11において、LDPC符号が受信され、メッセージ（チェックノードメッセージ）u_jが"0"に初期化されるとともに、繰り返し処理のカウンタとしての整数をとる変数kが"0"に初期化され、ステップS12に進む。ステップS12において、LDPC符号を受信して得られる受信値u_{0i}に基づいて、式(1)に示す演算（バリアブルノード演算）を行うことによってメッセージ（バリアブルノードメッセージ）v_iが求められ、さらに、このメッセージv_iに基づいて、式(2)に示す演算（チェックノード演算）を行うことによってメッセージu_jが求められる。

[0014] [数1]

$$v_i = u_{0i} + \sum_{j=1}^{d_v - 1} u_j$$

・・・(1)

[0015] [数2]

$$\tanh\left(\frac{u_j}{2}\right) = \prod_{i=1}^{d_c - 1} \tanh\left(\frac{v_i}{2}\right)$$

・・・(2)

[0016] ここで、式(1)と式(2)におけるd_vとd_cは、それぞれ、検査行列Hの縦方向(列)と横方向(行)の"1"の個数を示す任意に選択可能とされるパラメータであり、例えば、(3,6)符号の場合には、$d_v=3$, $d_c=6$となる。

[0017] なお、式(1)のバリアブルノード演算、及び(2)のチェックノード演算においては、それぞれ、メッセージを出力しようとする枝(edge)(バリアブルノードとチェックノードとを結ぶ線)から入力されたメッセージを、演算の対象としないことから、演算の範囲が、1ないしd_v-1又は1ないしd_c-1となっている。また、式(2)のチェックノード演算は、実際には、2入力v_1, v_2に対する1出力で定義される式(3)に示す関数$R(v_1,v_2)$のテーブルを予め作成しておき、これを式(4)に示すように連続的(再帰的)に用いることによって行われる。

[0018] [数3]

$$x = 2\tanh^{-1}\{\tanh(v_1/2)\tanh(v_2/2)\} = R(v_1, v_2)$$

・・・(3)

[0019] [数4]

$$u_j = R(v_1, R(v_2, R(v_3, \cdots R(v_{d_c-2}, v_{d_c-1}))))$$

・・・(4)

[0020] ステップS12では、さらに、変数kが"1"だけインクリメントされ、ステップS13に進む。ステップS13では、変数kが所定の繰り返し復号回数Cよりも大きいか否かが判定される。ステップS13において、変数kがCよりも大きくないと判定された場合、ステップS12に戻り、以下、同様の処理が繰り返される。

[0021] また、ステップS13において、変数kがCよりも大きいと判定された場合、ステップS14に進み、式(5)に示す演算を行うことによって最終的に出力する復号結果としてのメッセージv_iが求められて出力され、LDPC符号の復号処理が終了する。

[0022] [数5]

$$v_i = u_{0i} + \sum_{j=1}^{d_v} u_j \quad \cdots (5)$$

[0023] ここで、式(5)の演算は、式(1)のバリアブルノード演算とは異なり、バリアブルノードに接続している全ての枝からのメッセージu_jを用いて行われる。

[0024] 図3は、(3,6)LDPC符号(符号化率1/2、符号長12)の検査行列Hの例を示している。

[0025] 図3の検査行列Hでは、図1と同様に、列の重みが3に、行の重みが6に、それぞれなっている。

[0026] 図4は、図3の検査行列Hのタナーグラフを示している。

[0027] ここで、図4において、"+"で表わされるのが、チェックノードであり、"="で表わされるのが、バリアブルノードである。チェックノードとバリアブルノードは、それぞれ、検査行列Hの行と列に対応する。チェックノードとバリアブルノードとの間の結線は、枝(edge)であり、検査行列の要素の"1"に相当する。

[0028] すなわち、検査行列の第j行第i列の要素が1である場合には、図4において、上からi番目のバリアブルノード("="のノード)と、上からj番目のチェックノード("+"のノード)とが、枝により接続される。枝は、バリアブルノードに対応する符号ビットが、チェックノードに対応する拘束条件を持つことを表す。

[0029] LDPC符号の復号方法であるサムプロダクトアルゴリズム(Sum Product Algorithm)では、バリアブルノード演算とチェックノード演算とが繰り返し行われる。

[0030] 図5は、バリアブルノードで行われるバリアブルノード演算を示している。

[0031] バリアブルノードでは、計算しようとしている枝に対応するメッセージv_iは、バリアブルノードに繋がっている残りの枝からのメッセージu_1およびu_2と、受信値u_{0i}を用いた式(1)のバリアブルノード演算により求められる。他の枝に対応するメッセージも同様に

求められる。

[0032] 図6は、チェックノードで行われるチェックノード演算を示している。

[0033] ここで、式(2)のチェックノード演算は、式a×b=exp{ln(|a|)+ln(|b|)}×sign(a)×sign(b)の関係を用いて、式(6)に書き直すことができる。但し、sign(x)は、x≧0のとき1であり、x<0のとき-1である。

[0034] [数6]

$$u_j = 2\tanh^{-1}\left(\prod_{i=1}^{d_c-1}\tanh\left(\frac{v_i}{2}\right)\right)$$

$$= 2\tanh^{-1}\left[\exp\left\{\sum_{i=1}^{d_c-1}\ln\left(\left|\tanh\left(\frac{v_i}{2}\right)\right|\right)\right\}\times\prod_{i=1}^{d_c-1}\mathrm{sign}\left(\tanh\left(\frac{v_i}{2}\right)\right)\right]$$

$$= 2\tanh^{-1}\left[\exp\left\{-\left(\sum_{i=1}^{d_c-1}-\ln\left(\tanh\left(\frac{|v_i|}{2}\right)\right)\right)\right\}\right]\times\prod_{i=1}^{d_c-1}\mathrm{sign}(v_i)$$

・・・(6)

[0035] さらに、x≧0において、関数φ(x)を、式φ(x)=ln(tanh(x/2))と定義すると、式$\phi^{-1}(x)=2\tanh^{-1}(e^{-x})$が成り立つから、式(6)は、式(7)に変形することができる。

[0036] [数7]

$$u_j = \phi^{-1}\left(\sum_{i=1}^{d_c-1}\phi(|v_i|)\right)\times\prod_{i=1}^{d_c-1}\mathrm{sign}(v_i)$$

・・・(7)

[0037] チェックノードでは、式(2)のチェックノード演算が、式(7)に従って行われる。

[0038] すなわち、チェックノードでは、図6のように、計算しようとしている枝に対応するメッセージu_jは、チェックノードに繋がっている残りの枝からのメッセージv_1, v_2, v_3, v_4, v_5を用いた式(7)のチェックノード演算によって求められる。他の枝に対応するメッセージも同様に求められる。

[0039] なお、式(7)の関数φ(x)は、φ(x)=ln((e^x+1)/(e^x-1))とも表すことができ、x>0において、φ(x)=$\phi^{-1}(x)$である。関数φ(x)および$\phi^{-1}(x)$をハードウェアに実装する際には、L

UT(Look Up Table)を用いて実装される場合があるが、両者共に同一のLUTとなる。

[0040] 非特許文献1:DVB-S.2 : ETSI EN 302 307 V1.1.2 (2006-06)

発明の開示

発明が解決しようとする課題

[0041] LDPC符号は、AWGN(Additive White Gaussian Noise)通信路で極めて高い能力を発揮することが知られていたが、近年、その他の通信路の条件でも、従来の畳み込み符号や、畳み込み符号とRS(リードソロモン)符号の連接符号と比べると、誤り訂正能力が高いことが分かって来ている。

[0042] つまり、AWGN通信路で良い性能を持つ符号を選べば、その符号は、他の通信路でも、他の符号よりは性能が良いことが多い。

[0043] ところで、例えば、LDPC符号を地上ディジタル放送に適用するにあたり、DVB-S.2の規格に規定されているLDPC符号と、DVB-Tの規格に規定されている変調方式とを組合せ、LDPC符号化と、変調との間に、LDPC符号の符号ビットをインターリーブするインターリーバ(bitinterleaver)を設けることで、LDPC符号の、AWGN通信路での性能を向上させることが提案されている。

[0044] しかしながら、地上波で想定される通信路では、バースト(burst)誤りやイレージャ(erasure)を発生することがある。例えば、OFDM(Orthogonal Frequency Division Multiplexing)システムでは、D/U(Desired to Undesired Ratio)が0dB(Undesired=echoのパワーがDesired=メインパスのパワーと等しい)のマルチパス環境において、エコー(echo)(メインパス以外のパス)の遅延(delay)に応じて、特定のシンボルのパワーが0になってしまう(erasure)場合がある。

[0045] また、フラッタ(flutter)(遅延が0でドップラ(dopper)周波数の掛かったechoが加算される通信路)でも、D/Uが0dBである場合には、ドップラ周波数によって、特定の時刻のOFDMのシンボル全体のパワーが0になる(erasure)場合が生じる。

[0046] さらに、アンテナから受信装置までの配線の状況や、電源の不安定性により、バースト誤りが発生することもある。

[0047] 従来においては、上述のようなバースト誤りやイレージャのある通信路においても、AWGN通信路で性能の良い誤り訂正符号を用いることが多い。

[0048] 一方、LDPC符号の復号においては、検査行列Hの列、ひいては、LDPC符号の符号ビットに対応するバリアブルノードにおいて、図5に示したように、LDPC符号の符号ビット(の受信値u_{0i})の加算を伴う式(1)のバリアブルノード演算が行われるため、そのバリアブルノード演算に用いられる符号ビットにエラーが生じると、求められるメッセージの精度が低下する。

[0049] そして、LDPC符号の復号では、チェックノードにおいて、そのチェックノードに繋がっているバリアブルノードで求められるメッセージを用いて、式(7)のチェックノード演算が行われるため、繋がっている複数のバリアブルノード(に対応するLDPC符号の符号ビット)が同時にエラー(イレージャを含む)となるチェックノードの数が多くなると、復号の性能が劣化する。

[0050] すなわち、例えば、チェックノードは、そのチェックノードに繋がっているバリアブルノードの2個以上が同時にイレージャになると、全バリアブルノードに、値が0である確率と1である確率とが等確率のメッセージを戻す。この場合、等確率のメッセージを戻すチェックノードは、1回の復号処理(1セットのバリアブルノード演算及びチェックノード演算)に寄与しないこととなり、その結果、復号処理の繰り返し回数を多く必要とすることになって、復号の性能が劣化し、さらに、LDPC符号の復号を行う受信装置の消費電力が増大する。

[0051] したがって、現在、AWGN通信路での性能を維持しつつ、バースト誤りやイレージャへの耐性を向上させる手法が要請されている。

[0052] ここで、上述したように、LDPC符号化と、変調との間に、LDPC符号の符号ビットをインターリーブするインターリーバを設けることで、LDPC符号の、AWGN通信路での性能を向上させることが提案されており、そのインターリーバにおいて、チェックノードに繋がっているバリアブルノード(に対応するLDPC符号の符号ビット)の複数が同時にエラーになる確率を下げるインターリーブを行うことができれば、復号の性能を改善することができる。

[0053] 本発明は、このような状況に鑑みてなされたものであり、バースト誤りや、イレージャ等の、LDPC符号の符号ビットのエラーに対する耐性を向上させることができるようにするものである。

課題を解決するための手段

[0054] 本発明の一側面のデータ処理装置は、データをインターリーブするデータ処理装置であり、LDPC(Low Density Parity Check)符号のパリティビットに対応する部分であるパリティ行列が階段構造になっている検査行列に従ったLDPC符号化を行うことにより得られるLDPC符号のパリティビットを、他のパリティビットの位置にインターリーブするパリティインターリーブを行うパリティインターリーブ手段を備えるデータ処理装置、又は、データ処理装置である。

[0055] 本発明の一側面のデータ処理方法は、データをインターリーブするデータ処理装置のデータ処理方法であり、前記データ処理装置が、LDPC(Low Density Parity Check)符号のパリティビットに対応する部分であるパリティ行列が階段構造になっている検査行列に従ったLDPC符号化を行うことにより得られるLDPC符号のパリティビットを、他のパリティビットの位置にインターリーブするパリティインターリーブを行うステップを含むデータ処理方法である。

[0056] 以上のような本発明の一側面においては、LDPC符号のパリティビットに対応する部分であるパリティ行列が階段構造になっている検査行列に従ったLDPC符号化を行うことにより得られるLDPC符号のパリティビットを、他のパリティビットの位置にインターリーブするパリティインターリーブが行われる。

[0057] なお、データ処理装置は、独立した装置であっても良いし、1個の装置を構成している内部ブロックであっても良い。

発明の効果

[0058] 本発明の一側面によれば、LDPC符号の符号ビットのエラーに対する耐性を向上させることができる。

図面の簡単な説明

[0059] [図1]LDPC符号の検査行列Hを説明する図である。

[図2]LDPC符号の復号手順を説明するフローチャートである。

[図3]LDPC符号の検査行列の例を示す図である。

[図4]検査行列のタナーグラフを示す図である。

[図5]バリアブルノードを示す図である。

[図6]チェックノードを示す図である。

[図7]本発明を適用した伝送システムの一実施の形態の構成例を示す図である。

[図8]送信装置11の構成例を示すブロック図である。

[図9]検査行列を示す図である。

[図10]パリティ行列を示す図である。

[図11]DVB-S.2の規格に規定されているLDPC符号の検査行列と列重みとを示す図である。

[図12]16QAMの信号点配置を示す図である。

[図13]64QAMの信号点配置を示す図である。

[図14]64QAMの信号点配置を示す図である。

[図15]64QAMの信号点配置を示す図である。

[図16]デマルチプレクサ25の処理を説明する図である。

[図17]デマルチプレクサ25の処理を説明する図である。

[図18]LDPC符号の復号についてのタナーグラフを示す図である。

[図19]階段構造になっているパリティ行列H_Tと、そのパリティ行列H_Tに対応するタナーグラフを示す図である。

[図20]パリティインターリーブ後のLDPC符号に対応する検査行列Hのパリティ行列H_Tを示す図である。

[図21]変換検査行列を示す図である。

[図22]カラムツイストインターリーバ24の処理を説明する図である。

[図23]カラムツイストインターリーブに必要なメモリ31のカラム数と、書き始めの位置のアドレスを示す図である。

[図24]カラムツイストインターリーブに必要なメモリ31のカラム数と、書き始めの位置のアドレスを示す図である。

[図25]送信処理を説明するフローチャートである。

[図26]シミュレーションで採用した通信路のモデルを示す図である。

[図27]シミュレーションで得られたエラーレートと、フラッタのドップラ周波数f_dとの関係を示す図である。

[図28]シミュレーションで得られたエラーレートと、フラッタのドップラ周波数f_dとの関係を示す図である。

[図29]受信装置12の構成例を示すブロック図である。

[図30]受信処理を説明するフローチャートである。

[図31]LDPC符号の検査行列の例を示す図である。

[図32]検査行列に行置換と列置換を施した行列(変換検査行列)を示す図である。

[図33]5×5単位に分割した変換検査行列を示す図である。

[図34]ノード演算をP個まとめて行う復号装置の構成例を示すブロック図である。

[図35]LDPC復号部56の構成例を示すブロック図である。

[図36]本発明を適用したコンピュータの一実施の形態の構成例を示すブロック図である。

[図37]符号化率2/3、符号長16200の検査行列初期値テーブルの例を示す図である。

[図38]符号化率2/3、符号長64800の検査行列初期値テーブルの例を示す図である。

[図39]符号化率2/3、符号長64800の検査行列初期値テーブルの例を示す図である。

[図40]符号化率2/3、符号長64800の検査行列初期値テーブルの例を示す図である。

[図41]符号化率3/4、符号長16200の検査行列初期値テーブルの例を示す図である。

[図42]符号化率3/4、符号長64800の検査行列初期値テーブルの例を示す図である。

[図43]符号化率3/4、符号長64800の検査行列初期値テーブルの例を示す図である。

[図44]符号化率3/4、符号長64800の検査行列初期値テーブルの例を示す図である。

[図45]符号化率3/4、符号長64800の検査行列初期値テーブルの例を示す図である

。

[図46]符号化率4/5、符号長16200の検査行列初期値テーブルの例を示す図である

。

[図47]符号化率4/5、符号長64800の検査行列初期値テーブルの例を示す図である

。

[図48]符号化率4/5、符号長64800の検査行列初期値テーブルの例を示す図である

。

[図49]符号化率4/5、符号長64800の検査行列初期値テーブルの例を示す図である

。

[図50]符号化率4/5、符号長64800の検査行列初期値テーブルの例を示す図である

。

[図51]符号化率5/6、符号長16200の検査行列初期値テーブルの例を示す図である

。

[図52]符号化率5/6、符号長64800の検査行列初期値テーブルの例を示す図である

。

[図53]符号化率5/6、符号長64800の検査行列初期値テーブルの例を示す図である

。

[図54]符号化率5/6、符号長64800の検査行列初期値テーブルの例を示す図である

。

[図55]符号化率5/6、符号長64800の検査行列初期値テーブルの例を示す図である

。

[図56]符号化率8/9、符号長16200の検査行列初期値テーブルの例を示す図である

。

[図57]符号化率8/9、符号長64800の検査行列初期値テーブルの例を示す図である

。

[図58]符号化率8/9、符号長64800の検査行列初期値テーブルの例を示す図である

。

[図59]符号化率8/9、符号長64800の検査行列初期値テーブルの例を示す図である

。

[図60]符号化率8/9、符号長64800の検査行列初期値テーブルの例を示す図である。

[図61]符号化率9/10、符号長64800の検査行列初期値テーブルの例を示す図である。

[図62]符号化率9/10、符号長64800の検査行列初期値テーブルの例を示す図である。

[図63]符号化率9/10、符号長64800の検査行列初期値テーブルの例を示す図である。

[図64]符号化率9/10、符号長64800の検査行列初期値テーブルの例を示す図である。

[図65]符号化率1/4、符号長64800の検査行列初期値テーブルの例を示す図である。

[図66]符号化率1/4、符号長64800の検査行列初期値テーブルの例を示す図である。

[図67]符号化率1/3、符号長64800の検査行列初期値テーブルの例を示す図である。

[図68]符号化率1/3、符号長64800の検査行列初期値テーブルの例を示す図である。

[図69]符号化率2/5、符号長64800の検査行列初期値テーブルの例を示す図である。

[図70]符号化率2/5、符号長64800の検査行列初期値テーブルの例を示す図である。

[図71]符号化率1/2、符号長64800の検査行列初期値テーブルの例を示す図である。

[図72]符号化率1/2、符号長64800の検査行列初期値テーブルの例を示す図である。

[図73]符号化率1/2、符号長64800の検査行列初期値テーブルの例を示す図である

。

[図74]符号化率3/5、符号長64800の検査行列初期値テーブルの例を示す図である

。

[図75]符号化率3/5、符号長64800の検査行列初期値テーブルの例を示す図である

。

[図76]符号化率3/5、符号長64800の検査行列初期値テーブルの例を示す図である

。

[図77]符号化率1/4、符号長16200の検査行列初期値テーブルの例を示す図である

。

[図78]符号化率1/3、符号長16200の検査行列初期値テーブルの例を示す図である

。

[図79]符号化率2/5、符号長16200の検査行列初期値テーブルの例を示す図である

。

[図80]符号化率1/2、符号長16200の検査行列初期値テーブルの例を示す図である

。

[図81]符号化率3/5、符号長16200の検査行列初期値テーブルの例を示す図である

。

[図82]符号化率3/5、符号長16200の検査行列初期値テーブルの他の例を示す図である。

[図83]検査行列初期値テーブルから検査行列Hを求める方法を説明する図である。

[図84]符号ビットの入れ替えの例を示す図である。

[図85]符号ビットの入れ替えの例を示す図である。

[図86]符号ビットの入れ替えの例を示す図である。

[図87]符号ビットの入れ替えの例を示す図である。

[図88]BERのシミュレーション結果を示す図である。

[図89]BERのシミュレーション結果を示す図である。

[図90]BERのシミュレーション結果を示す図である。

[図91]BERのシミュレーション結果を示す図である。

[図92]符号ビットの入れ替えの例を示す図である。

[図93]符号ビットの入れ替えの例を示す図である。

[図94]符号ビットの入れ替えの例を示す図である。

[図95]符号ビットの入れ替えの例を示す図である。

[図96]符号ビットの入れ替えの例を示す図である。

[図97]符号ビットの入れ替えの例を示す図である。

[図98]符号ビットの入れ替えの例を示す図である。

[図99]符号ビットの入れ替えの例を示す図である。

[図100]符号ビットの入れ替えの例を示す図である。

[図101]符号ビットの入れ替えの例を示す図である。

[図102]符号ビットの入れ替えの例を示す図である。

[図103]符号ビットの入れ替えの例を示す図である。

[図104]デインターリーバ53を構成するマルチプレクサ54の処理を説明する図である。

[図105]カラムツイストデインターリーバ55の処理を説明する図である。

[図106]受信装置12の他の構成例を示すブロック図である。

[図107]受信装置12に適用可能な受信システムの第1の構成例を示すブロック図である。

[図108]受信装置12に適用可能な受信システムの第2の構成例を示すブロック図である。

[図109]受信装置12に適用可能な受信システムの第3の構成例を示すブロック図である。

符号の説明

[0060] 11 送信装置, 12 受信装置, 21 LDPC符号化部, 22 ビットインターリーバ, 23 パリティインターリーバ, 24 カラムツイストインターリーバ, 25 デマルチプレクサ, 26 マッピング部, 27 直交変調部, 31 メモリ, 32 入れ替え部, 51 直交復調部, 52 デマッピング部, 53 デインターリーバ, 54 マルチプレクサ, 55 カラムツイストインターリーバ, 56 LDPC復号部, 300 枝データ

00 020

格納用メモリ，301 セレクタ，302 チェックノード計算部，303 サイクリックシフト回路，304 枝データ格納用メモリ，305 セレクタ，306 受信データ用メモリ，307 バリアブルノード計算部，308 サイクリックシフト回路，309 復号語計算部，310 受信データ並べ替え部，311 復号データ並べ替え部，401 バス，402 CPU，403 ROM，404 RAM，405 ハードディスク，406 出力部，407 入力部，408 通信部，409 ドライブ，410 入出力インタフェース，411 リムーバブル記録媒体，1001 逆入れ替え部，1002 メモリ，1011 パリティデインターリーバ，1021 LDPC復号部，1101 取得部，1101 伝送路復号処理部，1103 情報源復号処理部，1111 出力部，1121 記録部

発明を実施するための最良の形態

[0061] 図7は、本発明を適用した伝送システム(システムとは、複数の装置が論理的に集合した物をいい、各構成の装置が同一筐体中にあるか否かは、問わない)の一実施の形態の構成例を示している。

[0062] 図7において、伝送システムは、送信装置11と受信装置12とから構成される。

[0063] 送信装置11は、例えば、テレビジョン放送番組の送信を行う装置であり、テレビジョン放送番組としての画像データや音声データ等の、送信の対象である対象データを、例えば、衛星回線や地上波を介して送信する。

[0064] 受信装置12は、例えば、テレビジョン放送番組を受信するチューナやテレビジョン受像機であり、送信装置11から送信されてくる対象データを受信する。

[0065] 図8は、図7の送信装置11の構成例を示している。

[0066] 図8において、送信装置11は、LDPC符号化部21、ビットインターリーバ22、マッピング部26、及び直交変調部27から構成される。

[0067] LDPC符号化部21には、対象データが供給される。

[0068] LDPC符号化部21は、そこに供給される対象データについて、LDPC符号のパリティビットに対応する部分であるパリティ行列が階段構造になっている検査行列に従ったLDPC符号化を行い、対象データを情報ビットとするLDPC符号を出力する。

[0069] すなわち、LDPC符号化部21は、対象データを、例えば、DVB-S.2の規格に規定されているLDPC符号に符号化するLDPC符号化を行い、その結果得られるLDPC符号

を出力する。

[0070] ここで、DVB-S.2の規格に規定されているLDPC符号は、IRA(Irregular Repeat Accumulate)符号であり、そのLDPC符号の検査行列におけるパリティ行列は、階段構造になっている。パリティ行列、及び、階段構造については、後述する。また、IRA符号については、例えば、"Irregular Repeat-Accumulate Codes," H. Jin, A. Khandekar, and R. J. McEliece, in Proceedings of 2nd International Symposium on Turbo codes and Related Topics, pp. 1-8, Sept. 2000に記載されている。

[0071] LDPC符号化部21が出力するLDPC符号は、ビットインターリーバ22に供給される。

[0072] ビットインターリーバ22は、データをインターリーブするデータ処理装置であり、パリティインターリーバ(parity interleaver)23、カラムツイストインターリーバ(column twist interleaver)24、及びデマルチプレクサ(DEMUX)25から構成される。

[0073] パリティインターリーバ23は、LDPC符号化部21からのLDPC符号のパリティビットを、他のパリティビットの位置にインターリーブするパリティインターリーブを行い、そのパリティインターリーブ後のLDPC符号を、カラムツイストインターリーバ24に供給する。

[0074] カラムツイストインターリーバ24は、パリティインターリーバ23からのLDPC符号について、カラムツイストインターリーブを行い、そのカラムツイストインターリーブ後のLDPC符号を、デマルチプレクサ25に供給する。

[0075] すなわち、LDPC符号は、後述するマッピング部26において、そのLDPC符号の2ビット以上の符号ビットを、直交変調の1つのシンボルにマッピングして送信される。

[0076] カラムツイストインターリーバ24では、LDPC符号化部21で用いられる検査行列の任意の1行にある1に対応するLDPC符号の複数の符号ビットが、1つのシンボルにマッピングされないように、パリティインターリーバ23からのLDPC符号の符号ビットを並び替える並び替え処理として、例えば、後述するようなカラムツイストインターリーブが行われる。

[0077] デマルチプレクサ25は、カラムツイストインターリーバ24からのLDPC符号について、シンボルにマッピングされるLDPC符号の2以上の符号ビットの位置を入れ替える入れ替え処理を行うことで、AWGNに対する耐性を強化したLDPC符号を得て、マッピン

00 022

グ部26に供給する。

[0078] マッピング部26は、デマルチプレクサ25からのLDPC符号の2ビット以上の符号ビットを、直交変調部27で行われる直交変調(多値変調)の変調方式で定める各信号点にマッピングする。

[0079] すなわち、マッピング部26は、デマルチプレクサ25からのLDPC符号を、搬送波と同相のI成分を表すI軸と、搬送波と直交するQ成分を表すQ軸とで規定されるIQ平面(IQコンスタレーション)上の、変調方式で定める信号点が表すシンボル(シンボル値)にシンボル化する。

[0080] ここで、直交変調部27で行われる直交変調の変調方式としては、例えば、DVB-Tの規格に規定されている変調方式を含む変調方式、すなわち、例えば、QPSK(Quadrature Phase Shift Keying)や、16QAM(Quadrature Amplitude Modulation), 64QAM, 256QAM, 1024QAM, 4096QAM等がある。直交変調部27において、いずれの変調方式による直交変調が行われるかは、例えば、送信装置11のオペレータの操作に従って、あらかじめ設定される。なお、直交変調部27では、その他、例えば、4PAM(Pulse Amplitude Modulation)その他の直交変調を行うことが可能である。

[0081] マッピング部26で得られたシンボルは、直交変調部27に供給される。

[0082] 直交変調部27は、マッピング部26からのシンボルに従い、搬送波の直交変調を行い、その結果得られる変調信号を送信する。

[0083] 次に、図9は、図8のLDPC符号化部21でLDPC符号化に用いられる検査行列Hを示している。

[0084] 検査行列Hは、LDGM(Low-Density Generation Matrix)構造になっており、LDPC符号の符号ビットのうちの、情報ビットに対応する部分の情報行列H_Aと、パリティビットに対応するパリティ行列H_Tとによって、式$H=[H_A \mid H_T]$(情報行列H_Aの要素を左側の要素とし、パリティ行列H_Tの要素を右側の要素とする行列)で表すことができる。

[0085] ここで、1個のLDPC符号(1符号語)の符号ビットのうちの情報ビットのビット数と、パリティビットのビット数を、それぞれ、情報長Kと、パリティ長Mというとともに、1個のLDPC符号の符号ビットのビット数を、符号長N(=K+M)という。

[0086] ある符号長NのLDPC符号についての情報長Kとパリティ長Mは、符号化率によって

決まる。また、検査行列Hは、行×列がM×Nの行列となる。そして、情報行列H_Aは、M×Kの行列となり、パリティ行列H_Tは、M×Mの行列となる。

[0087] 図10は、DVB-S.2の規格に規定されているLDPC符号の検査行列Hのパリティ行列H_Tを示している。

[0088] DVB-S.2の規格に規定されているLDPC符号の検査行列Hのパリティ行列H_Tは、図10に示すように、1の要素が、いわば階段状に並ぶ階段構造になっている。パリティ行列H_Tの行重みは、1行目については1で、残りの全ての行については2になっている。また、列重みは、最後の1列については1で、残りの全ての列で2になっている。

[0089] 以上のように、パリティ行列H_Tが階段構造になっている検査行列HのLDPC符号は、その検査行列Hを用いて、容易に生成することができる。

[0090] すなわち、LDPC符号(1符号語)を、行ベクトルcで表すとともに、その行ベクトルを転置して得られる列ベクトルを、C^Tと表す。また、LDPC符号である行ベクトルcのうちの、情報ビットの部分を、行ベクトルAで表すとともに、パリティビットの部分を、行ベクトルTで表すこととする。

[0091] ここで、この場合、行ベクトルcは、情報ビットとしての行ベクトルAと、パリティビットとしての行ベクトルTとによって、式c =[A|T](行ベクトルAの要素を左側の要素とし、行ベクトルTの要素を右側の要素とする行ベクトル)で表すことができる。

[0092] 検査行列Hと、LDPC符号としての行ベクトルc=[A|T]とは、式$Hc^T=0$を満たす必要があり、かかる式$Hc^T=0$を満たす行ベクトルc=[A|T]を構成するパリティビットとしての行ベクトルTは、検査行列H=[H_A|H_T]のパリティ行列H_Tが、図10に示した階段構造になっている場合には、式$Hc^T=0$における列ベクトルHc^Tの1行目の要素から順に、各行の要素を0にしていくようにすることで、逐次的に求めることができる。

[0093] 図11は、DVB-S.2の規格に規定されているLDPC符号の検査行列Hと、列重みとを示している。

[0094] すなわち、図11のAは、DVB-S.2の規格に規定されているLDPC符号の検査行列Hを示している。

[0095] 検査行列Hの1列目からのKX列については、列重みがXに、その後のK3列については、列重みが3に、その後のM-1列については、列重みが2に、最後の1列につい

00 024

ては、列重みが1に、それぞれなっている。

[0096] ここで、KX+K3+M-1+1は、符号長Nに等しい。

[0097] DVB-S.2の規格において、列数KX, K3、及びM(パリティ長)、並びに、列重みXは、図11のBに示すように規定されている。

[0098] すなわち、図11のBは、DVB-S.2の規格に規定されているLDPC符号の各符号化率についての、列数KX, K3、及びM、並びに、列重みXを示している。

[0099] DVB-S.2の規格では、64800ビットと16200ビットの符号長NのLDPC符号が規定されている。

[0100] そして、図11のBに示すように、符号長Nが64800ビットのLDPC符号については、11個の符号化率(nominal rate)1/4,1/3,2/5,1/2,3/5,2/3,3/4,4/5,5/6,8/9、及び9/10が規定されており、符号長Nが16200ビットのLDPC符号については、10個の符号化率1/4,1/3,2/5,1/2,3/5,2/3,3/4,4/5,5/6、及び8/9が規定されている。

[0101] LDPC符号については、検査行列Hの列重みが大の列に対応する符号ビットほど、エラーレートが低いことが知られている。

[0102] 図11に示した、DVB-S.2の規格に規定されている検査行列Hでは、先頭側(左側)の列ほど、列重みが大の傾向にあり、したがって、その検査行列Hに対応するLDPC符号については、先頭の符号ビットほど、エラーに強く(エラーに対する耐性があり)、終わりの符号ビットほど、エラーに弱い傾向がある。

[0103] 図12は、図8の直交変調部27で16QAMが行われる場合の、16個のシンボル(に対応する信号点)のIQ平面上の配置を示している。

[0104] すなわち、図12のAは、16QAMのシンボルを示している。

[0105] 16QAMでは、1シンボルは、4ビットを表し、16(=2^4)個のシンボルが存在する。そして、16個のシンボルは、IQ平面の原点を中心として、I方向×Q方向が4×4の正方形状となるように配置されている。

[0106] いま、16QAMの1シンボルが表す4ビットを最上位ビットから順に、y_0, y_1, y_2, y_3と表すこととすると、マッピング部26(図8)では、変調方式が16QAMの場合には、LDPC符号の符号ビットの4ビットは、その4ビットに一致する4ビットy_0ないしy_3のシンボルにマッピングされる。

[0107] 図12のBは、16QAMのシンボルが表す4ビットy_0ないしy_3それぞれについてのビット境界を示している。

[0108] ここで、ビットy_i(図12では、i=0,1,2,3)についてのビット境界とは、そのビットy_iが0になっているシンボルと、1になっているシンボルとの境界を意味する。

[0109] 図12のBに示すように、16QAMのシンボルが表す4ビットy_0ないしy_3のうちの最上位ビットy_0については、IQ平面のQ軸の1箇所だけがビット境界となり、2番目(最上位ビットから2番目)のビットy_1については、IQ平面のI軸の1箇所だけがビット境界となる。

[0110] また、3番目のビットy_2については、4×4個のシンボルのうちの、左から1列目と2列目との間、及び3列目と4列目との間の2箇所が、ビット境界となる。

[0111] さらに、4番目のビットy_3については、4×4個のシンボルのうちの、上から1行目と2行目との間、及び3行目と4行目との間の2箇所が、ビット境界となる。

[0112] シンボルが表すビットy_iは、ビット境界から離れているシンボルが多いほど、誤りにくく、ビット境界に近いシンボルが多いほど、誤りやすい。

[0113] いま、誤りにくい(エラーに強い)ビットを、「強いビット」というとともに、誤りやすい(エラーに弱い)ビットを、「弱いビット」ということとすると、16QAMのシンボルが表す4ビットy_0ないしy_3については、最上位ビットy_0、及び2番目のビットy_1が強いビットになっており、3番目のビットy_2、及び4番目のビットy_3が弱いビットになっている。

[0114] 図13ないし図15は、図8の直交変調部27で64QAMが行われる場合の、64個のシンボル(に対応する信号点)のIQ平面上の配置を示している。

[0115] 64QAMでは、1シンボルは、6ビットを表し、64(=2^6)個のシンボルが存在する。そして、64個のシンボルは、IQ平面の原点を中心として、I方向×Q方向が8×8の正方形状となるように配置されている。

[0116] いま、64QAMの1シンボルが表す6ビットを最上位ビットから順に、$y_0, y_1, y_2, y_3, y_4, y_5$と表すこととすると、マッピング部26(図8)では、変調方式が64QAMの場合には、LDPC符号の符号ビットの6ビットは、その6ビットに一致する6ビットy_0ないしy_5のシンボルにマッピングされる。

[0117] ここで、図13は、64QAMのシンボルが表す6ビットy_0ないしy_5のうちの、最上位ビットy_0と、2番目のビットy_1それぞれについてのビット境界を、図14は、3番目のビットy_2と、

00 026

4番目のビットy_3それぞれについてのビット境界を、図15は、5番目のビットy_4と、6番目のビットy_5それぞれについてのビット境界を、それぞれ示している。

[0118] 図13に示すように、最上位ビットy_0と、2番目のビットy_1それぞれについてのビット境界は、1箇所になっている。また、図14に示すように、3番目のビットy_2と、4番目のビットy_3それぞれについてのビット境界は、2箇所になっており、図15に示すように、5番目のビットy_4と、6番目のビットy_5それぞれについてのビット境界は、4箇所になっている。

[0119] したがって、64QAMのシンボルが表す6ビットy_0ないしy_5については、最上位ビットy_0、及び2番目のビットy_1が、強いビットになっており、3番目のビットy_2、及び4番目のビットy_3が、その次に強いビットになっている。そして、5番目のビットy_4と、6番目のビットy_5は、弱いビットになっている。

[0120] 図12、さらには、図13ないし図15から、直交変調のシンボルのビットについては、上位ビットが強いビットとなり、下位ビットが弱いビットになる傾向があることが分かる。

[0121] ここで、図11で説明したように、LDPC符号化部21(図8)が出力するLDPC符号については、エラーに強い符号ビットと、エラーに弱い符号ビットがある。

[0122] また、図12ないし図15で説明したように、直交変調部27で行われる直交変調のシンボルのビットについては、強いビットと弱いビットがある。

[0123] したがって、LDPC符号の、エラーに弱い符号ビットを、直交変調のシンボルの、弱いビットに割り当てるマッピングが行われると、全体として、エラーに対する耐性が低下する。

[0124] そこで、LDPC符号の、エラーに弱い符号ビットを、直交変調のシンボルの、強いビットに割り当てるマッピングが行われるように、LDPC符号の符号ビットをインターリーブするインターリーバが提案されている。

[0125] 図8のデマルチプレクサ25は、そのインターリーバの処理を行う。

[0126] 図16は、図8のデマルチプレクサ25の処理を説明する図である。

[0127] すなわち、図16のAは、デマルチプレクサ25の機能的な構成例を示している。

[0128] デマルチプレクサ25は、メモリ31及び入れ替え部32から構成される。

[0129] メモリ31には、LDPC符号が供給される。

[0130] メモリ31は、ロウ(row)(横)方向にmbビットを記憶するとともに、カラム(column)(縦)方向にN/(mb)ビットを記憶する記憶容量を有し、そこに供給されるLDPC符号の符号ビットを、カラム方向に書き込み、ロウ方向に読み出して、入れ替え部32に供給する。

[0131] ここで、mは、1シンボルにマッピングされるLDPC符号の符号ビットのビット数を表し、bは所定の正の整数で、mを整数倍するのに用いられる倍数である。また、N(＝情報長K＋パリティ長M)は、上述したように、LDPC符号の符号長を表す。

[0132] 図16のAは、変調方式が64QAMである場合のデマルチプレクサ25の構成例を示しており、したがって、1シンボルにマッピングされるLDPC符号の符号ビットのビット数mは、6ビットである。

[0133] また、図16のAでは、倍数bは1になっており、したがって、メモリ31は、カラム方向×ロウ方向がN/(6×1)×(6×1)ビットの記憶容量を有する。

[0134] ここで、メモリ31の、ロウ方向が1ビットの、カラム方向に延びる記憶領域を、以下、適宜、カラムという。図16のAでは、メモリ31は、6(=6×1)個のカラムから構成される。

[0135] デマルチプレクサ25では、LDPC符号の符号ビットを、メモリ31を構成するカラムの上から下方向(カラム方向)に書き込むことが、左から右方向のカラムに向かって行われる。

[0136] そして、符号ビットの書き込みが、最も右のカラムの一番下まで終了すると、メモリ31を構成するすべてのカラムの1行目から、ロウ方向に、6ビット(mbビット)単位で、符号ビットが読み出され、入れ替え部32に供給される。

[0137] 入れ替え部32は、メモリ31からの6ビットの符号ビットの位置を入れ替える入れ替え処理を行い、その結果得られる6ビットを、64QAMの1シンボルを表す6ビット$y_0, y_1, y_2, y_3, y_4, y_5$として出力する。

[0138] すなわち、メモリ31からロウ方向に読み出された6ビットの符号ビットを、最上位ビットから順に、$b_0, b_1, b_2, b_3, b_4, b_5$と表すこととすると、図11で説明した列重みの関係で、ビットb_0の方向にある符号ビットは、エラーに強い符号ビットになっており、ビットb_5の方向にある符号ビットは、エラーに弱い符号ビットになっている。

[0139] 入れ替え部32では、メモリ31からの6ビットの符号ビットb_0ないしb_5のうちの、エラー

に弱い符号ビットが、64QAMの1シンボルを表す6ビットy_0ないしy_5のうちの、強いビットに割り当てられるように、メモリ31からの6ビットの符号ビットb_0ないしb_5の位置を入れ替える入れ替え処理を行う。

[0140] ここで、メモリ31からの6ビットの符号ビットb_0ないしb_5をどのように入れ替えて、64QAMの1シンボルを表す6ビットy_0ないしy_5のそれぞれに割り当てるかの入れ替え方式としては、各社から、様々な方式が提案されている。

[0141] 図16のBは、第1の入れ替え方式を、図16のCは、第2の入れ替え方式を、図16のDは、第3の入れ替え方式を、それぞれ示している。

[0142] 図16のBないし図16のDにおいて(後述する図17においても同様)、ビットb_iとy_jとを結ぶ線分は、符号ビットb_iを、シンボルのビットy_jに割り当てる(ビットy_jの位置に入れ替える)ことを意味する。

[0143] 図16のBの第1の入れ替え方式としては、3種類のうちのいずれか1つを採用することが提案されており、図16のCの第2の入れ替え方式としては、2種類のうちのいずれか1つを採用することが提案されている。

[0144] 図16のDの第3の入れ替え方式としては、6種類を順番に選択して用いることが提案されている。

[0145] 図17は、変調方式が64QAMであり(したがって、1シンボルにマッピングされるLDPC符号の符号ビットのビット数mは、図16と同様に6ビットである)、かつ、倍数bが2の場合のデマルチプレクサ25の構成例と、第4の入れ替え方式を示している。

[0146] 倍数bが2である場合、メモリ31は、カラム方向×ロウ方向がN/(6×2)×(6×2)ビットの記憶容量を有し、12(=6×2)個のカラムから構成される。

[0147] 図17のAは、メモリ31へのLDPC符号の書き込み順を示している。

[0148] デマルチプレクサ25では、図16で説明したように、LDPC符号の符号ビットを、メモリ31を構成するカラムの上から下方向(カラム方向)に書き込むことが、左から右方向のカラムに向かって行われる。

[0149] そして、符号ビットの書き込みが、最も右のカラムの一番下まで終了すると、メモリ31を構成するすべてのカラムの1行目から、ロウ方向に、12ビット(mbビット)単位で、符号ビットが読み出され、入れ替え部32に供給される。

[0150] 入れ替え部32は、メモリ31からの12ビットの符号ビットの位置を、第4の入れ替え方式で入れ替える入れ替え処理を行い、その結果得られる12ビットを、64QAMの2シンボル(b個のシンボル)を表す12ビット、つまり、64QAMの1シンボルを表す6ビットy_0,y_1,y_2,y_3,y_4,y_5と、次の1シンボルを表す6ビットy_0,y_1,y_2,y_3,y_4,y_5として出力する。

[0151] ここで、図17のBは、図17のAの入れ替え部32による入れ替え処理の第4の入れ替え方式を示している。

[0152] なお、どのような入れ替え方式が最適であるか、つまり、AWGN通信路でのエラーレートを最も良くするかは、LDPC符号の符号化率等によって異なる。

[0153] 次に、図18ないし図20を参照して、図8のパリティインターリーバ23によるパリティインターリーブについて説明する。

[0154] 図18は、LDPC符号の検査行列のタナーグラフ(の一部)を示している。

[0155] チェックノードは、図18に示すように、そのチェックノードに繋がっているバリアブルノード(に対応する符号ビット)の2個等の複数が同時にイレージャ等のエラーになると、そのチェックノードに繋がっている全バリアブルノードに、値が0である確率と1である確率とが等確率のメッセージを戻す。このため、同一のチェックノードに繋がっている複数のバリアブルノードが同時にイレージャ等になると、復号の性能が劣化する。

[0156] ところで、図8のLDPC符号化部21が出力する、DVB-S.2の規格に規定されているLDPC符号は、IRA符号であり、検査行列Hのパリティ行列H_Tは、図10に示したように、階段構造になっている。

[0157] 図19は、階段構造になっているパリティ行列H_Tと、そのパリティ行列H_Tに対応するタナーグラフを示している。

[0158] すなわち、図19のAは、階段構造になっているパリティ行列H_Tを示しており、図19のBは、図19のAのパリティ行列H_Tに対応するタナーグラフを示している。

[0159] パリティ行列H_Tが階段構造になっている場合、そのパリティ行列H_Tのタナーグラフにおいて、LDPC符号の、パリティ行列H_Tの値が1になっている要素の列に対応する、隣接する符号ビット(パリティビット)を用いてメッセージが求められるバリアブルノードは、同一のチェックノードに繋がっている。

[0160] したがって、バースト誤りやイレージャ等によって、上述の隣接するパリティビットが

同時にエラーとなると、そのエラーとなった複数のパリティビットそれぞれに対応する複数のバリアブルノード(パリティビットを用いてメッセージを求めるバリアブルノード)に繋がっているチェックノードは、値が0である確率と1である確率とが等確率のメッセージを、そのチェックノードに繋がっているバリアブルノードに戻すため、復号の性能が劣化する。そして、バースト長(バーストによってエラーとなるビット数)が大である場合には、復号の性能は、さらに劣化する。

[0161] そこで、パリティインターリーバ23(図8)は、上述した復号の性能の劣化を防止するため、LDPC符号化部21からの、LDPC符号のパリティビットを、他のパリティビットの位置にインターリーブするパリティインターリーブを行う。

[0162] 図20は、図8のパリティインターリーバ23が行うパリティインターリーブ後のLDPC符号に対応する検査行列Hのパリティ行列H_Tを示している。

[0163] ここで、LDPC符号化部21が出力する、DVB-S.2の規格に規定されているLDPC符号に対応する検査行列Hの情報行列H_Aは、巡回構造になっている。

[0164] 巡回構造とは、ある列が、他の列をサイクリックしたものと一致している構造をいい、例えば、P列ごとに、そのP列の各行の1の位置が、そのP列の最初の列を、パリティ長Mを除算して得られる値qに比例する値だけ、列方向にサイクリックシフトした位置になっている構造も含まれる。以下、適宜、巡回構造におけるP列を、巡回構造の単位の列数という。

[0165] LDPC符号化部21が出力する、DVB-S.2の規格に規定されているLDPC符号としては、図11で説明したように、符号長Nが64800ビットと16200ビットとの、2種類のLDPC符号がある。

[0166] いま、符号長Nが64800ビットと16200ビットの2種類のLDPC符号のうちの、符号長Nが64800ビットのLDPC符号に注目すると、その符号長Nが64800ビットのLDPC符号の符号化率は、図11で説明したように、11個ある。

[0167] この11個の符号化率それぞれの、符号長Nが64800ビットのLDPC符号については、いずれについても、DVB-S.2の規格では、巡回構造の単位の列数Pが、パリティ長Mの約数のうちの、1とMを除く約数の1つである360に規定されている。

[0168] また、11個の符号化率それぞれの、符号長Nが64800ビットのLDPC符号について

は、パリティ長Mは、符号化率によって異なる値qを用いて、式M=q×P=q×360で表される素数以外の値になっている。したがって、値qも、巡回構造の単位の列数Pと同様に、パリティ長Mの約数のうちの、1とMを除く約数の他の1つであり、パリティ長Mを、巡回構造の単位の列数Pで除算することにより得られる(パリティ長Mの約数であるP及びqの積は、パリティ長Mとなる)。

[0169] パリティインターリーバ23は、上述したように、情報長をKとし、また、0以上P未満の整数をxとするとともに、0以上q未満の整数をyとすると、パリティインターリーブとして、LDPC符号化部21からのLDPC符号のK+1ないしK+M(=N)番目の符号ビットであるパリティビットのうちの、K+qx+y+1番目の符号ビットを、K+Py+x+1番目の符号ビットの位置にインターリーブする。

[0170] このようなパリティインターリーブによれば、同一のチェックノードに繋がれるバリアブルノード(に対応するパリティビット)が、巡回構造の単位の列数P、すなわち、ここでは、360ビットだけ離れるので、バースト長が360ビット未満である場合には、同一のチェックノードに繋がっているバリアブルノードの複数が同時にエラーになる事態を避けることができ、その結果、バースト誤りに対する耐性を改善することができる。

[0171] なお、K+qx+y+1番目の符号ビットを、K+Py+x+1番目の符号ビットの位置にインターリーブするパリティインターリーブ後のLDPC符号は、元の検査行列Hの、K+qx+y+1番目の列を、K+Py+x+1番目の列に置換する列置換を行って得られる検査行列(以下、変換検査行列ともいう)のLDPC符号に一致する。

[0172] また、変換検査行列のパリティ行列には、図20に示すように、P列(図20では、360列)を単位とする擬似巡回構造が現れる。

[0173] ここで、擬似巡回構造とは、一部を除く部分が巡回構造になっている構造を意味する。DVB-S.2の規格に規定されているLDPC符号の検査行列に対して、パリティインターリーブに相当する列置換を施して得られる変換検査行列は、その右隅部分の360行×360列の部分(後述するシフト行列)に、1の要素が1つだけ足らず(0の要素になっており)、そのために、(完全な)巡回構造ではなく、擬似巡回構造になっている。

[0174] なお、図20の変換検査行列は、元の検査行列Hに対して、パリティインターリーブに相当する列置換の他、変換検査行列が、後述する構成行列で構成されるようにす

るための行の置換(行置換)も施された行列になっている。

[0175] 次に、図21ないし図24を参照して、図8のカラムツイストインターリーバ24による並び替え処理としてのカラムツイストインターリーブについて説明する。

[0176] 図8の送信装置11では、周波数の利用効率の向上のために、上述したように、LDPC符号の符号ビットの2ビット以上を、1個のシンボルとして送信する。すなわち、例えば、符号ビットの2ビットを1個のシンボルとする場合には、変調方式として、例えば、QPSKが用いられ、符号ビットの4ビットを1個のシンボルとする場合には、変調方式として、例えば、16QAMが用いられる。

[0177] このように、符号ビットの2ビット以上を、1個のシンボルとして送信する場合、あるシンボルに、イレージャ等が発生すると、そのシンボルの符号ビットは、すべてエラー(イレージャ)になる。

[0178] したがって、復号の性能を向上させるために、同一のチェックノードに繋がっているバリアブルノード(に対応する符号ビット)の複数が同時にイレージャになる確率を低下させるには、1個のシンボルの符号ビットに対応するバリアブルノードが、同一のチェックノードに繋がることを避ける必要がある。

[0179] 一方、上述したように、LDPC符号化部21が出力する、DVB-S.2の規格に規定されているLDPC符号の検査行列Hでは、情報行列H_Aが巡回構造を有し、パリティ行列H_Tが階段構造を有している。そして、図20で説明したように、パリティインターリーブ後のLDPC符号の検査行列である変換検査行列では、パリティ行列にも巡回構造(正確には、上述したように、擬似巡回構造)が現れる。

[0180] 図21は、変換検査行列を示している。

[0181] すなわち、図21のAは、符号長Nが64800ビットで、符号化率(r)が3/4のLDPC符号の検査行列Hの変換検査行列を示している。

[0182] 図21のAでは、変換検査行列において、値が1になっている要素の位置が、点(・)で示されている。

[0183] 図21のBは、図21のAの変換検査行列のLDPC符号、つまり、パリティインターリーブ後のLDPC符号を対象として、デマルチプレクサ25(図8)が行う処理を示している。

[0184] 図21のBでは、変調方式を16QAMとして、デマルチプレクサ25のメモリ31を構成する4カラムに、パリティインターリーブ後のLDPC符号の符号ビットが、カラム方向に書き込まれている。

[0185] メモリ31を構成する4カラムに、カラム方向に書き込まれた符号ビットは、ロウ方向に、4ビット単位で読み出され、1シンボルとなる。

[0186] この場合、1シンボルとなる4ビットの符号ビットB_0,B_1,B_2,B_3は、図21のAの変換後検査行列の、任意の1行にある1に対応する符号ビットとなっていることがあり、この場合、その符号ビットB_0,B_1,B_2,B_3それぞれに対応するバリアブルノードは、同一のチェックノードに繋がっている。

[0187] したがって、1シンボルの4ビットの符号ビットB_0,B_1,B_2,B_3が、変換後検査行列の任意の1行にある1に対応する符号ビットとなっている場合には、そのシンボルに、イレージャが発生すると、符号ビットB_0,B_1,B_2,B_3それぞれに対応するバリアブルノードが繋がっている同一のチェックノードにおいて、適切なメッセージを求めることができず、その結果、復号の性能が劣化する。

[0188] 符号化率が3/4以外の符号化率についても、同様に、同一のチェックノードに繋がっている複数のバリアブルノードに対応する複数の符号ビットが、16QAMの1個のシンボルとされることがある。

[0189] そこで、カラムツイストインターリーバ24は、変換検査行列の任意の1行にある1に対応する複数の符号ビットが、1個のシンボルにマッピングされないように、パリティインターリーバ23からのパリティインターリーブ後のLDPC符号の符号ビットをインターリーブするカラムツイストインターリーブを行う。

[0190] 図22は、カラムツイストインターリーブを説明する図である。

[0191] すなわち、図22は、デマルチプレクサ25のメモリ31(図16、図17)を示している。

[0192] メモリ31は、図16で説明したように、カラム(縦)方向にmbビットを記憶するとともに、ロウ(横)方向にN/(mb)ビットを記憶する記憶容量を有し、mb個のカラムから構成される。そして、カラムツイストインターリーバ24は、メモリ31に対して、LDPC符号の符号ビットを、カラム方向に書き込み、ロウ方向に読み出すときの書き始めの位置を制御することで、カラムツイストインターリーブを行う。

00 034

[0193] すなわち、カラムツイストインターリーバ24では、複数のカラムそれぞれについて、符号ビットの書き込みを開始する書き始めの位置を、適宜変更することで、ロウ方向に読み出される、1シンボルとされる複数の符号ビットが、変換検査行列の任意の1行にある1に対応する符号ビットにならないようにする(検査行列の任意の1行にある1に対応する複数の符号ビットが、同一のシンボルに含まれないように、LDPC符号の符号ビットを並び替える)。

[0194] ここで、図22は、変調方式が16QAMであり、かつ、図16で説明した倍数bが1である場合の、メモリ31の構成例を示している。したがって、1シンボルにマッピングされるLDPC符号の符号ビットのビット数mは、4ビットであり、また、メモリ31は、4(=mb)個のカラムで構成されている。

[0195] 図22のカラムツイストインターリーバ24は、(図16のデマルチプレクサ25に代わり)、LDPC符号の符号ビットを、メモリ31を構成する4個のカラムの上から下方向(カラム方向)に書き込むことを、左から右方向のカラムに向かって行う。

[0196] そして、符号ビットの書き込みが、最も右のカラムまで終了すると、カラムツイストインターリーバ24は、メモリ31を構成するすべてのカラムの1行目から、ロウ方向に、4ビット(mbビット)単位で、符号ビットを読み出し、カラムツイストインターリーブ後のLDPC符号として、デマルチプレクサ25の入れ替え部32(図16、図17)に出力する。

[0197] 但し、図22のカラムツイストインターリーバ24では、各カラムの先頭(一番上)の位置のアドレスを0として、カラム方向の各位置のアドレスを、昇順の整数で表すこととすると、最も左のカラムについては、書き始めの位置を、アドレスが0の位置とし、(左から)2番目のカラムについては、書き始めの位置を、アドレスが2の位置とし、3番目のカラムについては、書き始めの位置を、アドレスが4の位置とし、4番目のカラムについては、書き始めの位置を、アドレスが7の位置とする。

[0198] なお、書き始めの位置が、アドレスが0の位置以外の位置のカラムについては、符号ビットを、最も下の位置まで書き込んだ後は、先頭(アドレスが0の位置)に戻り、書き始めの位置の直前の位置までの書き込みが行われる。そして、その後、次(右)のカラムへの書き込みが行われる。

[0199] 以上のようなカラムツイストインターリーブを行うことにより、DVB-S.2の規格に規定さ

れている、符号長Nが64800の全ての符号化率のLDPC符号について、同一のチェックノードに繋がっている複数のバリアブルノードに対応する複数の符号ビットが、16QAMの1個のシンボルとされること(同一のシンボルに含まれること)を回避することができ、その結果、イレージャのある通信路での復号の性能を向上させることができる。

[0200] 図23は、DVB-S.2の規格に規定されている、符号長Nが64800の、11個の符号化率それぞれのLDPC符号について、カラムツイストインターリーブに必要なメモリ31のカラム数と、書き始めの位置のアドレスを、変調方式ごとに示している。

[0201] デマルチプレクサ25(図8)の入れ替え処理の入れ替え方式として、図16の第1ないし第3の入れ替え方式のうちのいずれかが採用され、かつ、変調方式として、QPSKが採用される場合、1シンボルのビット数mは、2ビットであり、倍数bは1となる。

[0202] この場合、図23によれば、メモリ31は、ロウ方向に2×1(=mb)ビットを記憶する2個のカラムを有し、カラム方向に64800/(2×1)ビットを記憶する。そして、メモリ31の2個のカラムのうちの1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが2の位置と、それぞれされる。

[0203] また、デマルチプレクサ25(図8)の入れ替え処理の入れ替え方式として、図17の第4の入れ替え方式が採用され、かつ、変調方式として、QPSKが採用される場合、1シンボルのビット数mは、2ビットであり、倍数bは2となる。

[0204] この場合、図23によれば、メモリ31は、ロウ方向に2×2ビットを記憶する4個のカラムを有し、カラム方向に64800/(2×2)ビットを記憶する。そして、メモリ31の4個のカラムのうちの1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが2の位置と、3番目のカラムの書き始めの位置は、アドレスが4の位置と、4番目のカラムの書き始めの位置は、アドレスが7の位置と、それぞれされる。

[0205] さらに、デマルチプレクサ25(図8)の入れ替え処理の入れ替え方式として、図16の第1ないし第3の入れ替え方式のうちのいずれかが採用され、かつ、変調方式として、16QAMが採用される場合、1シンボルのビット数mは、4ビットであり、倍数bは1となる。

[0206] この場合、図23によれば、メモリ31は、ロウ方向に4×1ビットを記憶する4個のカラ

ムを有し、カラム方向に64800/(4×1)ビットを記憶する。そして、メモリ31の4個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが2の位置と、3番目のカラムの書き始めの位置は、アドレスが4の位置と、4番目のカラムの書き始めの位置は、アドレスが7の位置と、それぞれされる。

[0207] また、デマルチプレクサ25(図8)の入れ替え処理の入れ替え方式として、図17の第4の入れ替え方式が採用され、かつ、変調方式として、16QAMが採用される場合、1シンボルのビット数mは、4ビットであり、倍数bは2となる。

[0208] この場合、図23によれば、メモリ31は、ロウ方向に4×2ビットを記憶する8個のカラムを有し、カラム方向に64800/(4×2)ビットを記憶する。そして、メモリ31の8個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目のカラムの書き始めの位置は、アドレスが2の位置と、4番目のカラムの書き始めの位置は、アドレスが4の位置と、5番目のカラムの書き始めの位置は、アドレスが4の位置と、6番目のカラムの書き始めの位置は、アドレスが5の位置と、7番目のカラムの書き始めの位置は、アドレスが7の位置と、8番目のカラムの書き始めの位置は、アドレスが7の位置と、それぞれされる。

[0209] さらに、デマルチプレクサ25(図8)の入れ替え処理の入れ替え方式として、図16の第1ないし第3の入れ替え方式のうちのいずれかが採用され、かつ、変調方式として、64QAMが採用される場合、1シンボルのビット数mは、6ビットであり、倍数bは1となる。

[0210] この場合、図23によれば、メモリ31は、ロウ方向に6×1ビットを記憶する6個のカラムを有し、カラム方向に64800/(6×1)ビットを記憶する。そして、メモリ31の6個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが2の位置と、3番目のカラムの書き始めの位置は、アドレスが5の位置と、4番目のカラムの書き始めの位置は、アドレスが9の位置と、5番目のカラムの書き始めの位置は、アドレスが10の位置と、6番目のカラムの書き始めの位置は、アドレスが13の位置と、それぞれされる。

[0211] また、デマルチプレクサ25(図8)の入れ替え処理の入れ替え方式として、図17の

第4の入れ替え方式が採用され、かつ、変調方式として、64QAMが採用される場合、1シンボルのビット数mは、6ビットであり、倍数bは2となる。

[0212] この場合、図23によれば、メモリ31は、ロウ方向に6×2ビットを記憶する12個のカラムを有し、カラム方向に64800/(6×2)ビットを記憶する。そして、メモリ31の12個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目のカラムの書き始めの位置は、アドレスが2の位置と、4番目のカラムの書き始めの位置は、アドレスが2の位置と、5番目のカラムの書き始めの位置は、アドレスが3の位置と、6番目のカラムの書き始めの位置は、アドレスが4の位置と、7番目のカラムの書き始めの位置は、アドレスが4の位置と、8番目のカラムの書き始めの位置は、アドレスが5の位置と、9番目のカラムの書き始めの位置は、アドレスが5の位置と、10番目のカラムの書き始めの位置は、アドレスが7の位置と、11番目のカラムの書き始めの位置は、アドレスが8の位置と、12番目のカラムの書き始めの位置は、アドレスが9の位置と、それぞれされる。

[0213] さらに、デマルチプレクサ25(図8)の入れ替え処理の入れ替え方式として、図16の第1ないし第3の入れ替え方式のうちのいずれかが採用され、かつ、変調方式として、256QAMが採用される場合、1シンボルのビット数mは、8ビットであり、倍数bは1となる。

[0214] この場合、図23によれば、メモリ31は、ロウ方向に8×1ビットを記憶する8個のカラムを有し、カラム方向に64800/(8×1)ビットを記憶する。そして、メモリ31の8個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目のカラムの書き始めの位置は、アドレスが2の位置と、4番目のカラムの書き始めの位置は、アドレスが4の位置と、5番目のカラムの書き始めの位置は、アドレスが4の位置と、6番目のカラムの書き始めの位置は、アドレスが5の位置と、7番目のカラムの書き始めの位置は、アドレスが7の位置と、8番目のカラムの書き始めの位置は、アドレスが7の位置と、それぞれされる。

[0215] また、デマルチプレクサ25(図8)の入れ替え処理の入れ替え方式として、図17の第4の入れ替え方式が採用され、かつ、変調方式として、256QAMが採用される場合、1シンボルのビット数mは、8ビットであり、倍数bは2となる。

[0216] この場合、図23によれば、メモリ31は、ロウ方向に8×2ビットを記憶する16個のカラムを有し、カラム方向に64800/(8×2)ビットを記憶する。そして、メモリ31の16個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが2の位置と、3番目のカラムの書き始めの位置は、アドレスが2の位置と、4番目のカラムの書き始めの位置は、アドレスが2の位置と、5番目のカラムの書き始めの位置は、アドレスが2の位置と、6番目のカラムの書き始めの位置は、アドレスが3の位置と、7番目のカラムの書き始めの位置は、アドレスが7の位置と、8番目のカラムの書き始めの位置は、アドレスが15の位置と、9番目のカラムの書き始めの位置は、アドレスが16の位置と、10番目のカラムの書き始めの位置は、アドレスが20の位置と、11番目のカラムの書き始めの位置は、アドレスが22の位置と、12番目のカラムの書き始めの位置は、アドレスが22の位置と、13番目のカラムの書き始めの位置は、アドレスが27の位置と、14番目のカラムの書き始めの位置は、アドレスが27の位置と、15番目のカラムの書き始めの位置は、アドレスが28の位置と、16番目のカラムの書き始めの位置は、アドレスが32の位置と、それぞれされる。

[0217] さらに、デマルチプレクサ25(図8)の入れ替え処理の入れ替え方式として、図16の第1ないし第3の入れ替え方式のうちのいずれかが採用され、かつ、変調方式として、1024QAMが採用される場合、1シンボルのビット数mは、10ビットであり、倍数bは1となる。

[0218] この場合、図23によれば、メモリ31は、ロウ方向に10×1ビットを記憶する10個のカラムを有し、カラム方向に64800/(10×1)ビットを記憶する。そして、メモリ31の10個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが3の位置と、3番目のカラムの書き始めの位置は、アドレスが6の位置と、4番目のカラムの書き始めの位置は、アドレスが8の位置と、5番目のカラムの書き始めの位置は、アドレスが11の位置と、6番目のカラムの書き始めの位置は、アドレスが13の位置と、7番目のカラムの書き始めの位置は、アドレスが15の位置と、8番目のカラムの書き始めの位置は、アドレスが17の位置と、9番目のカラムの書き始めの位置は、アドレスが18の位置と、10番目のカラムの書き始めの位置は、アドレスが20の位置と、それぞれされる。

[0219] また、デマルチプレクサ25(図8)の入れ替え処理の入れ替え方式として、図17の第4の入れ替え方式が採用され、かつ、変調方式として、1024QAMが採用される場合、1シンボルのビット数mは、10ビットであり、倍数bは2となる。

[0220] この場合、図23によれば、メモリ31は、ロウ方向に10×2ビットを記憶する20個のカラムを有し、カラム方向に64800/(10×2)ビットを記憶する。そして、メモリ31の20個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが1の位置と、3番目のカラムの書き始めの位置は、アドレスが3の位置と、4番目のカラムの書き始めの位置は、アドレスが4の位置と、5番目のカラムの書き始めの位置は、アドレスが5の位置と、6番目のカラムの書き始めの位置は、アドレスが6の位置と、7番目のカラムの書き始めの位置は、アドレスが6の位置と、8番目のカラムの書き始めの位置は、アドレスが9の位置と、9番目のカラムの書き始めの位置は、アドレスが13の位置と、10番目のカラムの書き始めの位置は、アドレスが14の位置と、11番目のカラムの書き始めの位置は、アドレスが14の位置と、12番目のカラムの書き始めの位置は、アドレスが16の位置と、13番目のカラムの書き始めの位置は、アドレスが21の位置と、14番目のカラムの書き始めの位置は、アドレスが21の位置と、15番目のカラムの書き始めの位置は、アドレスが23の位置と、16番目のカラムの書き始めの位置は、アドレスが25の位置と、17番目のカラムの書き始めの位置は、アドレスが25の位置と、18番目のカラムの書き始めの位置は、アドレスが26の位置と、19番目のカラムの書き始めの位置は、アドレスが28の位置と、20番目のカラムの書き始めの位置は、アドレスが30の位置と、それぞれされる。

[0221] さらに、デマルチプレクサ25(図8)の入れ替え処理の入れ替え方式として、図16の第1ないし第3の入れ替え方式のうちのいずれかが採用され、かつ、変調方式として、4096QAMが採用される場合、1シンボルのビット数mは、12ビットであり、倍数bは1となる。

[0222] この場合、図23によれば、メモリ31は、ロウ方向に12×1ビットを記憶する12個のカラムを有し、カラム方向に64800/(12×1)ビットを記憶する。そして、メモリ31の12個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目のカラムの書き始めの位置

は、アドレスが2の位置と、4番目のカラムの書き始めの位置は、アドレスが2の位置と、5番目のカラムの書き始めの位置は、アドレスが3の位置と、6番目のカラムの書き始めの位置は、アドレスが4の位置と、7番目のカラムの書き始めの位置は、アドレスが4の位置と、8番目のカラムの書き始めの位置は、アドレスが5の位置と、9番目のカラムの書き始めの位置は、アドレスが5の位置と、10番目のカラムの書き始めの位置は、アドレスが7の位置と、11番目のカラムの書き始めの位置は、アドレスが8の位置と、12番目のカラムの書き始めの位置は、アドレスが9の位置と、それぞれされる。

[0223] また、デマルチプレクサ25(図8)の入れ替え処理の入れ替え方式として、図17の第4の入れ替え方式が採用され、かつ、変調方式として、4096QAMが採用される場合、1シンボルのビット数mは、12ビットであり、倍数bは2となる。

[0224] この場合、図23によれば、メモリ31は、ロウ方向に12×2ビットを記憶する24個のカラムを有し、カラム方向に64800/(12×2)ビットを記憶する。そして、メモリ31の24個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが5の位置と、3番目のカラムの書き始めの位置は、アドレスが8の位置と、4番目のカラムの書き始めの位置は、アドレスが8の位置と、5番目のカラムの書き始めの位置は、アドレスが8の位置と、6番目のカラムの書き始めの位置は、アドレスが8の位置と、7番目のカラムの書き始めの位置は、アドレスが10の位置と、8番目のカラムの書き始めの位置は、アドレスが10の位置と、9番目のカラムの書き始めの位置は、アドレスが10の位置と、10番目のカラムの書き始めの位置は、アドレスが12の位置と、11番目のカラムの書き始めの位置は、アドレスが13の位置と、12番目のカラムの書き始めの位置は、アドレスが16の位置と、13番目のカラムの書き始めの位置は、アドレスが17の位置と、14番目のカラムの書き始めの位置は、アドレスが19の位置と、15番目のカラムの書き始めの位置は、アドレスが21の位置と、16番目のカラムの書き始めの位置は、アドレスが22の位置と、17番目のカラムの書き始めの位置は、アドレスが23の位置と、18番目のカラムの書き始めの位置は、アドレスが26の位置と、19番目のカラムの書き始めの位置は、アドレスが37の位置と、20番目のカラムの書き始めの位置は、アドレスが39の位置と、21番目のカラムの書き始めの位置は、アドレスが40の位置と、22番目のカラムの書き始めの位置は、アドレスが4

1の位置と、23番目のカラムの書き始めの位置は、アドレスが41の位置と、24番目のカラムの書き始めの位置は、アドレスが41の位置と、それぞれされる。

[0225] 図24は、DVB-S.2の規格に規定されている、符号長Nが16200の、10個の符号化率それぞれのLDPC符号について、カラムツイストインターリーブに必要なメモリ31のカラム数と、書き始めの位置のアドレスを、変調方式ごとに示している。

[0226] デマルチプレクサ25(図8)の入れ替え処理の入れ替え方式として、図16の第1ないし第3の入れ替え方式のうちのいずれかが採用され、かつ、変調方式として、QPSKが採用される場合、1シンボルのビット数mは、2ビットであり、倍数bは1となる。

[0227] この場合、図24によれば、メモリ31は、ロウ方向に2×1ビットを記憶する2個のカラムを有し、カラム方向に16200/(2×1)ビットを記憶する。そして、メモリ31の2個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、それぞれされる。

[0228] さらに、デマルチプレクサ25(図8)の入れ替え処理の入れ替え方式として、図17の第4の入れ替え方式が採用され、かつ、変調方式として、QPSKが採用される場合、1シンボルのビット数mは、2ビットであり、倍数bは2となる。

[0229] この場合、図24によれば、メモリ31は、ロウ方向に2×2ビットを記憶する4個のカラムを有し、カラム方向に16200/(2×2)ビットを記憶する。そして、メモリ31の4個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが2の位置と、3番目のカラムの書き始めの位置は、アドレスが3の位置と、4番目のカラムの書き始めの位置は、アドレスが3の位置と、それぞれされる。

[0230] また、デマルチプレクサ25(図8)の入れ替え処理の入れ替え方式として、図16の第1ないし第3の入れ替え方式のうちのいずれかが採用され、かつ、変調方式として、16QAMが採用される場合、1シンボルのビット数mは、4ビットであり、倍数bは1となる。

[0231] この場合、図24によれば、メモリ31は、ロウ方向に4×1ビットを記憶する4個のカラムを有し、カラム方向に16200/(4×1)ビットを記憶する。そして、メモリ31の4個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラ

ムの書き始めの位置は、アドレスが2の位置と、3番目のカラムの書き始めの位置は、アドレスが3の位置と、4番目のカラムの書き始めの位置は、アドレスが3の位置と、それぞれされる。

[0232] さらに、デマルチプレクサ25(図8)の入れ替え処理の入れ替え方式として、図17の第4の入れ替え方式が採用され、かつ、変調方式として、16QAMが採用される場合、1シンボルのビット数mは、4ビットであり、倍数bは2となる。

[0233] この場合、図24によれば、メモリ31は、ロウ方向に4×2ビットを記憶する8個のカラムを有し、カラム方向に16200/(4×2)ビットを記憶する。そして、メモリ31の8個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目のカラムの書き始めの位置は、アドレスが0の位置と、4番目のカラムの書き始めの位置は、アドレスが1の位置と、5番目のカラムの書き始めの位置は、アドレスが7の位置と、6番目のカラムの書き始めの位置は、アドレスが20の位置と、7番目のカラムの書き始めの位置は、アドレスが20の位置と、8番目のカラムの書き始めの位置は、アドレスが21の位置と、それぞれされる。

[0234] また、デマルチプレクサ25(図8)の入れ替え処理の入れ替え方式として、図16の第1ないし第3の入れ替え方式のうちのいずれかが採用され、かつ、変調方式として、64QAMが採用される場合、1シンボルのビット数mは、6ビットであり、倍数bは1となる。

[0235] この場合、図24によれば、メモリ31は、ロウ方向に6×1ビットを記憶する6個のカラムを有し、カラム方向に16200/(6×1)ビットを記憶する。そして、メモリ31の6個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目のカラムの書き始めの位置は、アドレスが2の位置と、4番目のカラムの書き始めの位置は、アドレスが3の位置と、5番目のカラムの書き始めの位置は、アドレスが7の位置と、6番目のカラムの書き始めの位置は、アドレスが7の位置と、それぞれされる。

[0236] さらに、デマルチプレクサ25(図8)の入れ替え処理の入れ替え方式として、図17の第4の入れ替え方式が採用され、かつ、変調方式として、64QAMが採用される場合、

1シンボルのビット数mは、6ビットであり、倍数bは2となる。

[0237] この場合、図24によれば、メモリ31は、ロウ方向に6×2ビットを記憶する12個のカラムを有し、カラム方向に16200/(6×2)ビットを記憶する。そして、メモリ31の12個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目のカラムの書き始めの位置は、アドレスが0の位置と、4番目のカラムの書き始めの位置は、アドレスが2の位置と、5番目のカラムの書き始めの位置は、アドレスが2の位置と、6番目のカラムの書き始めの位置は、アドレスが2の位置と、7番目のカラムの書き始めの位置は、アドレスが3の位置と、8番目のカラムの書き始めの位置は、アドレスが3の位置と、9番目のカラムの書き始めの位置は、アドレスが3の位置と、10番目のカラムの書き始めの位置は、アドレスが6の位置と、11番目のカラムの書き始めの位置は、アドレスが7の位置と、12番目のカラムの書き始めの位置は、アドレスが7の位置と、それぞれされる。

[0238] また、デマルチプレクサ25(図8)の入れ替え処理の入れ替え方式として、図16の第1ないし第3の入れ替え方式のうちのいずれかが採用され、かつ、変調方式として、256QAMが採用される場合、1シンボルのビット数mは、8ビットであり、倍数bは1となる。

[0239] この場合、図24によれば、メモリ31は、ロウ方向に8×1ビットを記憶する8個のカラムを有し、カラム方向に16200/(8×1)ビットを記憶する。そして、メモリ31の8個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目のカラムの書き始めの位置は、アドレスが0の位置と、4番目のカラムの書き始めの位置は、アドレスが1の位置と、5番目のカラムの書き始めの位置は、アドレスが7の位置と、6番目のカラムの書き始めの位置は、アドレスが20の位置と、7番目のカラムの書き始めの位置は、アドレスが20の位置と、8番目のカラムの書き始めの位置は、アドレスが21の位置と、それぞれされる。

[0240] さらに、デマルチプレクサ25(図8)の入れ替え処理の入れ替え方式として、図16の第1ないし第3の入れ替え方式のうちのいずれかが採用され、かつ、変調方式として、1024QAMが採用される場合、1シンボルのビット数mは、10ビットであり、倍数bは1

となる。

[0241] この場合、図24によれば、メモリ31は、ロウ方向に10×1ビットを記憶する10個のカラムを有し、カラム方向に16200/(10×1)ビットを記憶する。そして、メモリ31の10個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが1の位置と、3番目のカラムの書き始めの位置は、アドレスが2の位置と、4番目のカラムの書き始めの位置は、アドレスが2の位置と、5番目のカラムの書き始めの位置は、アドレスが3の位置と、6番目のカラムの書き始めの位置は、アドレスが3の位置と、7番目のカラムの書き始めの位置は、アドレスが4の位置と、8番目のカラムの書き始めの位置は、アドレスが4の位置と、9番目のカラムの書き始めの位置は、アドレスが5の位置と、10番目のカラムの書き始めの位置は、アドレスが7の位置と、それぞれされる。

[0242] また、デマルチプレクサ25(図8)の入れ替え処理の入れ替え方式として、図17の第4の入れ替え方式が採用され、かつ、変調方式として、1024QAMが採用される場合、1シンボルのビット数mは、10ビットであり、倍数bは2となる。

[0243] この場合、図24によれば、メモリ31は、ロウ方向に10×2ビットを記憶する20個のカラムを有し、カラム方向に16200/(10×2)ビットを記憶する。そして、メモリ31の20個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目のカラムの書き始めの位置は、アドレスが0の位置と、4番目のカラムの書き始めの位置は、アドレスが2の位置と、5番目のカラムの書き始めの位置は、アドレスが2の位置と、6番目のカラムの書き始めの位置は、アドレスが2の位置と、7番目のカラムの書き始めの位置は、アドレスが2の位置と、8番目のカラムの書き始めの位置は、アドレスが2の位置と、9番目のカラムの書き始めの位置は、アドレスが5の位置と、10番目のカラムの書き始めの位置は、アドレスが5の位置と、11番目のカラムの書き始めの位置は、アドレスが5の位置と、12番目のカラムの書き始めの位置は、アドレスが5の位置と、13番目のカラムの書き始めの位置は、アドレスが5の位置と、14番目のカラムの書き始めの位置は、アドレスが7の位置と、15番目のカラムの書き始めの位置は、アドレスが7の位置と、16番目のカラムの書き始めの位置は、アドレスが7の位置と、17番目のカラムの書き始めの位置

は、アドレスが7の位置と、18番目のカラムの書き始めの位置は、アドレスが8の位置と、19番目のカラムの書き始めの位置は、アドレスが8の位置と、20番目のカラムの書き始めの位置は、アドレスが10の位置と、それぞれされる。

[0244] さらに、デマルチプレクサ25(図8)の入れ替え処理の入れ替え方式として、図16の第1ないし第3の入れ替え方式のうちのいずれかが採用され、かつ、変調方式として、4096QAMが採用される場合、1シンボルのビット数mは、12ビットであり、倍数bは1となる。

[0245] この場合、図24によれば、メモリ31は、ロウ方向に12×1ビットを記憶する12個のカラムを有し、カラム方向に16200/(12×1)ビットを記憶する。そして、メモリ31の12個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目のカラムの書き始めの位置は、アドレスが0の位置と、4番目のカラムの書き始めの位置は、アドレスが2の位置と、5番目のカラムの書き始めの位置は、アドレスが2の位置と、6番目のカラムの書き始めの位置は、アドレスが2の位置と、7番目のカラムの書き始めの位置は、アドレスが3の位置と、8番目のカラムの書き始めの位置は、アドレスが3の位置と、9番目のカラムの書き始めの位置は、アドレスが3の位置と、10番目のカラムの書き始めの位置は、アドレスが6の位置と、11番目のカラムの書き始めの位置は、アドレスが7の位置と、12番目のカラムの書き始めの位置は、アドレスが7の位置と、それぞれされる。

[0246] また、デマルチプレクサ25(図8)の入れ替え処理の入れ替え方式として、図17の第4の入れ替え方式が採用され、かつ、変調方式として、4096QAMが採用される場合、1シンボルのビット数mは、12ビットであり、倍数bは2となる。

[0247] この場合、図24によれば、メモリ31は、ロウ方向に12×2ビットを記憶する24個のカラムを有し、カラム方向に16200/(12×2)ビットを記憶する。そして、メモリ31の24個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目のカラムの書き始めの位置は、アドレスが0の位置と、4番目のカラムの書き始めの位置は、アドレスが0の位置と、5番目のカラムの書き始めの位置は、アドレスが0の位置と、6番目のカラムの書き始めの位置は、アドレスが0の位置と、7番目のカラムの書き始めの位置は、アドレスが0

の位置と、8番目のカラムの書き始めの位置は、アドレスが1の位置と、9番目のカラムの書き始めの位置は、アドレスが1の位置と、10番目のカラムの書き始めの位置は、アドレスが1の位置と、11番目のカラムの書き始めの位置は、アドレスが2の位置と、12番目のカラムの書き始めの位置は、アドレスが2の位置と、13番目のカラムの書き始めの位置は、アドレスが2の位置と、14番目のカラムの書き始めの位置は、アドレスが3の位置と、15番目のカラムの書き始めの位置は、アドレスが7の位置と、16番目のカラムの書き始めの位置は、アドレスが9の位置と、17番目のカラムの書き始めの位置は、アドレスが9の位置と、18番目のカラムの書き始めの位置は、アドレスが9の位置と、19番目のカラムの書き始めの位置は、アドレスが10の位置と、20番目のカラムの書き始めの位置は、アドレスが10の位置と、21番目のカラムの書き始めの位置は、アドレスが10の位置と、22番目のカラムの書き始めの位置は、アドレスが10の位置と、23番目のカラムの書き始めの位置は、アドレスが10の位置と、24番目のカラムの書き始めの位置は、アドレスが11の位置と、それぞれされる。

[0248] 次に、図25のフローチャートを参照して、図8の送信装置11で行われる送信処理について説明する。

[0249] LDPC符号化部21は、そこに、対象データが供給されるのを待って、ステップS101において、対象データを、LDPC符号に符号化し、そのLDPC符号を、ビットインターリーバ22に供給して、処理は、ステップS102に進む。

[0250] ビットインターリーバ22では、ステップS102において、LDPC符号化部21からのLDPC符号を対象として、ビットインターリーブが行われ、そのビットインターリーブ後のLDPC符号が、マッピング部26に供給されて、処理は、ステップS103に進む。

[0251] すなわち、ステップS102では、ビットインターリーバ22において、パリティインターリーバ23が、LDPC符号化部21からのLDPC符号を対象として、パリティインターリーブを行い、そのパリティインターリーブ後のLDPC符号を、カラムツイストインターリーバ24に供給する。

[0252] カラムツイストインターリーバ24は、パリティインターリーバ23からのLDPC符号を対象として、カラムツイストインターリーブを行い、デマルチプレクサ25は、カラムツイストインターリーバ24によるカラムツイストインターリーブ後のLDPC符号を対象として、入

れ替え処理を行う。そして、入れ替え処理後のLDPC符号は、デマルチプレクサ25から、マッピング部26に供給される。

[0253] マッピング部26は、ステップS103において、デマルチプレクサ25からのLDPC符号のmビットの符号ビットを、直交変調部27で行われる直交変調の変調方式で定める信号点が表すシンボルにマッピングし、直交変調部27に供給して、処理は、ステップS104に進む。

[0254] 直交変調部27は、ステップS104において、マッピング部26からのシンボルに従い、搬送波の直交変調を行って、処理は、ステップS105に進み、直交変調の結果得られる変調信号を送信して、処理を終了する。

[0255] なお、図25の送信処理は繰り返し行われる。

[0256] 以上のように、パリティインターリーブや、カラムツイストインターリーブを行うことで、LDPC符号の複数の符号ビットを1個のシンボルとして送信する場合の、イレージャやバースト誤りに対する耐性を向上させることができる。

[0257] ここで、図8では、説明の便宜のため、パリティインターリーブを行うブロックであるパリティインターリーバ23と、カラムツイストインターリーブを行うブロックであるカラムツイストインターリーバ24とを、別個に構成するようにしたが、パリティインターリーバ23とカラムツイストインターリーバ24とは、一体的に構成することができる。

[0258] すなわち、パリティインターリーブと、カラムツイストインターリーブとは、いずれも、メモリに対する符号ビットの書き込み、及び読み出しによって行うことができ、符号ビットの書き込みを行うアドレス(書き込みアドレス)を、符号ビットの読み出しを行うアドレス(読み出しアドレス)に変換する行列によって表すことができる。

[0259] したがって、パリティインターリーブを表す行列と、カラムツイストインターリーブを表す行列とを乗算して得られる行列を求めておけば、その行列によって、符号ビットを変換することで、パリティインターリーブを行い、さらに、そのパリティインターリーブ後のLDPC符号をカラムツイストインターリーブした結果を得ることができる。

[0260] また、パリティインターリーバ23とカラムツイストインターリーバ24に加えて、デマルチプレクサ25も、一体的に構成することが可能である。

[0261] すなわち、デマルチプレクサ25で行われる入れ替え処理も、LDPC符号を記憶する

メモリ31の書き込みアドレスを、読み出しアドレスに変換する行列によって表すことができる。

[0262] したがって、パリティインターリーブを表す行列、カラムツイストインターリーブを表す行列、及び、入れ替え処理を表す行列を乗算して得られる行列を求めておけば、その行列によって、パリティインターリーブ、カラムツイストインターリーブ、及び、入れ替え処理を、一括して行うことができる。

[0263] なお、パリティインターリーブと、カラムツイストインターリーブとについては、そのうちのいずれか一方だけを行うようにすることが可能である。

[0264] 次に、図26ないし図28を参照して、図8の送信装置11について行った、エラーレート(bit error rate)を計測するシミュレーションについて説明する。

[0265] シミュレーションは、D/Uが0dBのフラッタ(flutter)がある通信路を採用して行った。

[0266] 図26は、シミュレーションで採用した通信路のモデルを示している。

[0267] すなわち、図26のAは、シミュレーションで採用したフラッタのモデルを示している。

[0268] また、図26のBは、図26のAのモデルで表されるフラッタがある通信路のモデルを示している。

[0269] なお、図26のBにおいて、Hは、図26のAのフラッタのモデルを表す。また、図26のBにおいて、Nは、ICI(Inter Carrier Interference)を表し、シミュレーションでは、そのパワーの期待値$E[N^2]$を、AWGNで近似した。

[0270] 図27及び図28は、シミュレーションで得られたエラーレートと、フラッタのドップラ周波数f_dとの関係を示している。

[0271] なお、図27は、変調方式が16QAMで、符号化率(r)が(3/4)で、入れ替え方式が第1の入れ替え方式である場合の、エラーレートとドップラ周波数f_dとの関係を示している。また、図28は、変調方式が64QAMで、符号化率(r)が(5/6)で、入れ替え方式が第1の入れ替え方式である場合の、エラーレートとドップラ周波数f_dとの関係を示している。

[0272] さらに、図27及び図28において、太線は、パリティインターリーブ、カラムツイストインターリーブ、及び、入れ替え処理のすべてを行った場合の、エラーレートとドップラ周波数f_dとの関係を示しており、細線は、パリティインターリーブ、カラムツイストインタ

ーリーブ、及び、入れ替え処理のうちの、入れ替え処理だけを行った場合の、エラーレートとドップラ周波数f_dとの関係を示している。

[0273] 図27及び図28のいずれにおいても、パリティインターリーブ、カラムツイストインターリーブ、及び、入れ替え処理のすべてを行った場合の方が、入れ替え処理だけを行った場合よりも、エラーレートが向上する(小さくなる)ことが分かる。

[0274] 次に、図29は、図7の受信装置12の構成例を示すブロック図である。

[0275] 図29において、受信装置12は、送信装置11(図7)からの変調信号を受信するデータ処理装置であり、直交復調部51、デマッピング部52、デインターリーバ53、及びLDPC復号部56から構成される。

[0276] 直交復調部51は、送信装置11からの変調信号を受信し、直交復調を行って、その結果得られるシンボル(I及びQ軸方向それぞれの値)を、デマッピング部52に供給する。

[0277] デマッピング部52は、直交復調部51からのシンボルを、LDPC符号の符号ビットにするデマッピングを行い、デインターリーバ53に供給する。

[0278] デインターリーバ53は、マルチプレクサ(MUX)54、及びカラムツイストデインターリーバ55から構成され、デマッピング部52からのLDPC符号の符号ビットのデインターリーブを行う。

[0279] すなわち、マルチプレクサ54は、デマッピング部52からのLDPC符号を対象として、図8のデマルチプレクサ25が行う入れ替え処理に対応する逆入れ替え処理(入れ替え処理の逆の処理)、すなわち、入れ替え処理によって入れ替えられた符号ビットの位置を元の位置に戻す逆入れ替え処理を行い、その結果得られるLDPC符号を、カラムツイストデインターリーバ55に供給する。

[0280] カラムツイストデインターリーバ55は、マルチプレクサ54からのLDPC符号を対象として、図8のカラムツイストインターリーバ24が行う並び替え処理としてのカラムツイストインターリーブに対応するカラムツイストデインターリーブ(カラムツイストインターリーブの逆の処理)、すなわち、並び替え処理としてのカラムツイストインターリーブによって並びが変更されたLDPC符号の符号ビットを、元の並びに戻す逆並び替え処理としての、例えば、カラムツイストデインターリーブを行う。

00 050

[0281] 具体的には、カラムツイストデインターリーバ55は、図22等に示したメモリ31と同様に構成される、デインターリーブ用のメモリに対して、LDPC符号の符号ビットを書き込み、さらに読み出すことで、カラムツイストデインターリーブを行う。

[0282] 但し、カラムツイストデインターリーバ55では、符号ビットの書き込みは、メモリ31からの符号ビットの読み出し時の読み出しアドレスを、書き込みアドレスとして用いて、デインターリーブ用のメモリのロウ方向に行われる。また、符号ビットの読み出しは、メモリ31への符号ビットの書き込み時の書き込みアドレスを、読み出しアドレスとして用いて、デインターリーブ用のメモリのカラム方向に行われる。

[0283] カラムツイストデインターリーブの結果得られるLDPC符号は、カラムツイストデインターリーバ55からLDPC復号部56に供給される。

[0284] ここで、デマッピング部52から、デインターリーバ53に供給されるLDPC符号には、パリティインターリーブ、カラムツイストインターリーブ、及び入れ替え処理が、その順番で施されているが、デインターリーバ53では、入れ替え処理に対応する逆入れ替え処理、及び、カラムツイストインターリーブに対応するカラムツイストデインターリーブしか行われず、したがって、パリティインターリーブに対応するパリティデインターリーブ（パリティインターリーブの逆の処理）、すなわち、パリティインターリーブによって並びが変更されたLDPC符号の符号ビットを、元の並びに戻すパリティデインターリーブは、行われない。

[0285] したがって、デインターリーバ53（のカラムツイストデインターリーバ55）から、LDPC復号部56には、逆入れ替え処理、及び、カラムツイストデインターリーブが行われ、かつ、パリティデインターリーブが行われていないLDPC符号が供給される。

[0286] LDPC復号部56は、デインターリーバ53からのLDPC符号のLDPC復号を、図8のLDPC符号化部21がLDPC符号化に用いた検査行列Hに対して、パリティインターリーブに相当する列置換を少なくとも行って得られる変換検査行列を用いて行い、その結果得られるデータを、対象データの復号結果として出力する。

[0287] 図30は、図29の受信装置12が行う受信処理を説明するフローチャートである。

[0288] 直交復調部51は、ステップS111において、送信装置11からの変調信号を受信して、処理は、ステップS112に進み、その変調信号の直交復調を行う。直交復調部51

は、直交復調の結果得られるシンボルを、デマッピング部52に供給して、処理は、ステップS112からステップS113に進む。

[0289] ステップS113では、デマッピング部52は、直交復調部51からのシンボルを、LDPC符号の符号ビットにするデマッピングを行い、デインターリーバ53に供給して、処理は、ステップS114に進む。

[0290] ステップS114では、デインターリーバ53は、デマッピング部52からのLDPC符号の符号ビットのデインターリーブを行って、処理は、ステップS115に進む。

[0291] すなわち、ステップS114では、デインターリーバ53において、マルチプレクサ54が、デマッピング部52からのLDPC符号を対象として、逆入れ替え処理を行い、その結果得られるLDPC符号を、カラムツイストデインターリーバ55に供給する。

[0292] カラムツイストデインターリーバ55は、マルチプレクサ54からのLDPC符号を対象として、カラムツイストデインターリーブを行い、その結果得られるLDPC符号を、LDPC復号部56に供給する。

[0293] ステップS115では、LDPC復号部56が、カラムツイストデインターリーバ55からのLDPC符号のLDPC復号を、図8のLDPC符号化部21がLDPC符号化に用いた検査行列Hに対して、パリティインターリーブに相当する列置換を少なくとも行って得られる変換検査行列を用いて行い、その結果得られるデータを、対象データの復号結果として出力して、処理は終了する。

[0294] なお、図30の受信処理は、繰り返し行われる。

[0295] また、図29でも、図8の場合と同様に、説明の便宜のため、逆入れ替え処理を行うマルチプレクサ54と、カラムツイストデインターリーブを行うカラムツイストデインターリーバ55とを、別個に構成するようにしたが、マルチプレクサ54とカラムツイストデインターリーバ55とは、一体的に構成することができる。

[0296] さらに、図8の送信装置11において、カラムツイストインターリーブを行わない場合には、図29の受信装置12において、カラムツイストデインターリーバ55は、設ける必要がない。

[0297] 次に、図29のLDPC復号部56で行われるLDPC復号について、さらに説明する。

[0298] 図29のLDPC復号部56では、上述したように、カラムツイストデインターリーバ55か

らの、逆入れ替え処理、及び、カラムツイストデインターリーブが行われ、かつ、パリティデインターリーブが行われていないLDPC符号のLDPC復号が、図8のLDPC符号化部21がLDPC符号化に用いた検査行列Hに対して、パリティインターリーブに相当する列置換を少なくとも行って得られる変換検査行列を用いて行われる。

[0299] ここで、LDPC復号を、変換検査行列を用いて行うことで、回路規模を抑制しつつ、動作周波数を十分実現可能な範囲に抑えることが可能となるLDPC復号が先に提案されている(例えば、特開2004-343170号公報を参照)。

[0300] そこで、まず、図31ないし図34を参照して、先に提案されている、変換検査行列を用いたLDPC復号について説明する。

[0301] 図31は、符号長Nが90で、符号化率が2/3のLDPC符号の検査行列Hの例を示している。

[0302] なお、図31では(後述する図32及び図33においても同様)、0を、ピリオド(.)で表現している。

[0303] 図31の検査行列Hでは、パリティ行列が階段構造になっている。

[0304] 図32は、図31の検査行列Hに、式(8)の行置換と、式(9)の列置換を施して得られる検査行列H'を示している。

[0305] 行置換:6s+t+1行目→5t+s+1行目

・・・(8)

[0306] 列置換:6x+y+61列目→5y+x+61列目

・・・(9)

[0307] 但し、式(8)及び(9)において、s, t, x, yは、それぞれ、0≦s<5, 0≦t<6, 0≦x<5, 0≦t<6の範囲の整数である。

[0308] 式(8)の行置換によれば、6で割って余りが1になる1, 7, 13, 19, 25行目を、それぞれ、1, 2, 3, 4, 5行目に、6で割って余りが2になる2, 8, 14, 20, 26行目を、それぞれ、6, 7, 8, 9, 10行目に、という具合に置換が行われる。

[0309] また、式(9)の列置換によれば、61列目以降(パリティ行列)に対して、6で割って余りが1になる61, 67, 73, 79, 85列目を、それぞれ、61, 62, 63, 64, 65列目に、6で割って余りが2になる62, 68, 74, 80, 86列目を、それぞれ、66, 67, 68, 69

00 053

，70列目に、という具合に置換が行われる。

[0310] このようにして、図31の検査行列Hに対して、行と列の置換を行って得られた行列(matrix)が、図32の検査行列H'である。

[0311] ここで、検査行列Hの行置換を行っても、LDPC符号の符号ビットの並びには影響しない。

[0312] また、式(9)の列置換は、上述の、K+qx+y+1番目の符号ビットを、K+Py+x+1番目の符号ビットの位置にインターリーブするパリティインターリーブの、情報長Kを60と、巡回構造の単位の列数Pを5と、パリティ長M(ここでは、30)の約数q(=M/P)を6と、それぞれしたときのパリティインターリーブに相当する。

[0313] 図32の検査行列(以下、適宜、置換検査行列という)H'に対して、図31の検査行列(以下、適宜、元の検査行列という)HのLDPC符号に、式(9)と同一の置換を行ったものを乗じると、0ベクトルが出力される。すなわち、元の検査行列HのLDPC符号(1符号語)としての行ベクトルcに、式(9)の列置換を施して得られる行ベクトルをc'と表すこととすると、検査行列の性質から、Hc^Tは、0ベクトルとなるから、$H'c'^T$も、当然、0ベクトルとなる。

[0314] 以上から、図32の変換検査行列H'は、元の検査行列HのLDPC符号cに、式(9)の列置換を行って得られるLDPC符号c'の検査行列になっている。

[0315] したがって、元の検査行列HのLDPC符号cに、式(9)の列置換を行い、その列置換後のLDPC符号c'を、図32の変換検査行列H'を用いて復号(LDPC復号)し、その復号結果に、式(9)の列置換の逆置換を施すことで、元の検査行列HのLDPC符号を、その検査行列Hを用いて復号する場合と同様の復号結果を得ることができる。

[0316] 図33は、5×5の行列の単位に間隔を空けた、図32の変換検査行列H'を示している。

[0317] 図33においては、変換検査行列H'は、5×5の単位行列、その単位行列の1のうち1個以上が0になった行列(以下、適宜、準単位行列という)、単位行列または準単位行列をサイクリックシフト(cyclic shift)した行列(以下、適宜、シフト行列という)、単位行列、準単位行列、またはシフト行列のうちの2以上の和(以下、適宜、和行列という)、5×5の0行列の組合わせで表されている。

00 054

[0318] 図33の変換検査行列H'は、5×5の単位行列、準単位行列、シフト行列、和行列、0行列で構成されているということができる。そこで、変換検査行列H'を構成する、これらの5×5の行列を、以下、適宜、構成行列という。

[0319] P×Pの構成行列で表される検査行列で表されるLDPC符号の復号には、チェックノード演算、及びバリアブルノード演算を、P個同時に行うアーキテクチャ(architecture)を用いることができる。

[0320] 図34は、そのような復号を行う復号装置の構成例を示すブロック図である。

[0321] すなわち、図34は、図31の元の検査行列Hに対して、少なくとも、式(9)の列置換を行って得られる図33の変換検査行列H'を用いて、LDPC符号の復号を行う復号装置の構成例を示している。

[0322] 図34の復号装置は、6つのFIFO300$_1$ないし300$_6$からなる枝データ格納用メモリ300、FIFO300$_1$ないし300$_6$を選択するセレクタ301、チェックノード計算部302、2つのサイクリックシフト回路303及び308、18個のFIFO304$_1$ないし304$_{18}$からなる枝データ格納用メモリ304、FIFO304$_1$ないし304$_{18}$を選択するセレクタ305、受信情報を格納する受信データ用メモリ306、バリアブルノード計算部307、復号語計算部309、受信データ並べ替え部310、復号データ並べ替え部311からなる。

[0323] まず、枝データ格納用メモリ300と304へのデータの格納方法について説明する。

[0324] 枝データ格納用メモリ300は、図33の変換検査行列H'の行数30を構成行列の行数5で除算した数である6つのFIFO300$_1$ないし300$_6$から構成されている。FIFO300$_y$ (y=1, 2, ・・・, 6)は、複数の段数の記憶領域からなり、各段数の記憶領域には、構成行列の行数及び列数である5つの枝に対応するメッセージを同時に読み出しもしくは書き込むことができるようになっている。また、FIFO300$_y$の記憶領域の段数は、図33の変換検査行列の行方向の1の数(ハミング重み)の最大数である9になっている。

[0325] FIFO300$_1$には、図33の変換検査行列H'の第1行目から第5行目までの1の位置に対応するデータ(バリアブルノードからのメッセージv$_i$)が、各行共に横方向に詰めた形に(0を無視した形で)格納される。すなわち、第j行第i列を、(j,i)と表すこととすると、FIFO300$_1$の第1段の記憶領域には、変換検査行列H'の(1,1)から(5,5)の5×5の

単位行列の1の位置に対応するデータが格納される。第2段の記憶領域には、変換検査行列H'の(1,21)から(5,25)のシフト行列(5×5の単位行列を右方向に3つだけサイクリックシフトしたシフト行列)の1の位置に対応するデータが格納される。第3から第8段の記憶領域も同様に、変換検査行列H'と対応付けてデータが格納される。そして、第9段の記憶領域には、変換検査行列H'の(1,86)から(5,90)のシフト行列(5×5の単位行列のうちの1行目の1を0に置き換えて1つだけ左にサイクリックシフトしたシフト行列)の1の位置に対応するデータが格納される。

[0326] FIFO300$_2$には、図33の変換検査行列H'の第6行目から第10行目までの1の位置に対応するデータが格納される。すなわち、FIFO300$_2$の第1段の記憶領域には、変換検査行列H'の(6,1)から(10,5)の和行列(5×5の単位行列を右に1つだけサイクリックシフトした第1のシフト行列と、右に2つだけサイクリックシフトした第2のシフト行列の和である和行列)を構成する第1のシフト行列の1の位置に対応するデータが格納される。また、第2段の記憶領域には、変換検査行列H'の(6,1)から(10,5)の和行列を構成する第2のシフト行列の1の位置に対応するデータが格納される。

[0327] すなわち、重みが2以上の構成行列については、その構成行列を、重みが1であるP×Pの単位行列、その要素である1のうち1個以上が0になった準単位行列、又は単位行列もしくは準単位行列をサイクリックシフトしたシフト行列のうちの複数の和の形で表現したときの、その重みが1の単位行列、準単位行列、又はシフト行列の1の位置に対応するデータ(単位行列、準単位行列、又はシフト行列に属する枝に対応するメッセージ)は、同一アドレス(FIFO300$_1$ないし300$_6$のうちの同一のFIFO)に格納される。

[0328] 以下、第3から第9段の記憶領域についても、変換検査行列H'に対応付けてデータが格納される。

[0329] FIFO300$_3$ないし300$_6$も同様に変換検査行列H'に対応付けてデータを格納する。

[0330] 枝データ格納用メモリ304は、変換検査行列H'の列数90を、構成行列の列数である5で割った18個のFIFO304$_1$ないし304$_{18}$から構成されている。FIFO304$_x$(x=1, 2, ・・・, 18)は、複数の段数の記憶領域からなり、各段の記憶領域には、変換構成行列H'の行数及び列数である5つの枝に対応するメッセージを同時に読み出しもしくは

書き込むことができるようになっている。

[0331] FIFO304$_1$には、図33の変換検査行列H'の第1列目から第5列目までの1の位置に対応するデータ(チェックノードからのメッセージu_j)が、各列共に縦方向に詰めた形に(0を無視した形で)格納される。すなわち、FIFO304$_1$の第1段の記憶領域には、変換検査行列H'の(1,1)から(5,5)の5×5の単位行列の1の位置に対応するデータが格納される。第2段の記憶領域には、変換検査行列H'の(6,1)から(10,5)の和行列(5×5の単位行列を右に1つだけサイクリックシフトした第1のシフト行列と、右に2つだけサイクリックシフトした第2のシフト行列との和である和行列)を構成する第1のシフト行列の1の位置に対応するデータが格納される。また、第3段の記憶領域には、変換検査行列H'の(6,1)から(10,5)の和行列を構成する第2のシフト行列の1の位置に対応するデータが格納される。

[0332] すなわち、重みが2以上の構成行列については、その構成行列を、重みが1であるP×Pの単位行列、その要素である1のうち1個以上が0になった準単位行列、又は単位行列もしくは準単位行列をサイクリックシフトしたシフト行列のうちの複数の和の形で表現したときの、その重みが1の単位行列、準単位行列、又はシフト行列の1の位置に対応するデータ(単位行列、準単位行列、又はシフト行列に属する枝に対応するメッセージ)は、同一アドレス(FIFO304$_1$ないし304$_{18}$のうちの同一のFIFO)に格納される。

[0333] 以下、第4及び第5段の記憶領域についても、変換検査行列H'に対応付けて、データが格納される。このFIFO304$_1$の記憶領域の段数は、変換検査行列H'の第1列から第5列における行方向の1の数(ハミング重み)の最大数である5になっている。

[0334] FIFO304$_2$と304$_3$も同様に変換検査行列H'に対応付けてデータを格納し、それぞれの長さ(段数)は、5である。FIFO304$_4$ないし304$_{12}$も同様に、変換検査行列H'に対応付けてデータを格納し、それぞれの長さは3である。FIFO304$_{13}$ないし304$_{18}$も同様に、変換検査行列H'に対応付けてデータを格納し、それぞれの長さは2である。

[0335] 次に、図34の復号装置の動作について説明する。

[0336] 枝データ格納用メモリ300は、6つのFIFO300$_1$ないし300$_6$からなり、前段のサイクリックシフト回路308から供給される5つのメッセージD311が、変換検査行列H'どの行

00 057

に属するかの情報(Matrixデータ)D312に従って、データを格納するFIFOを、FIFO300$_1$ないし300$_6$の中から選び、選んだFIFOに5つのメッセージD311をまとめて順番に格納していく。また、枝データ格納用メモリ300は、データを読み出す際には、FIFO300$_1$から5つのメッセージD300$_1$を順番に読み出し、次段のセレクタ301に供給する。枝データ格納用メモリ300は、FIFO300$_i$からのメッセージの読み出しの終了後、FIFO300$_2$ないし300$_6$からも、順番に、メッセージを読み出し、セレクタ301に供給する。

[0337] セレクタ301は、セレクト信号D301に従って、FIFO300$_1$ないし300$_6$のうちの、現在データが読み出されているFIFOからの5つのメッセージを選択し、メッセージD302として、チェックノード計算部302に供給する。

[0338] チェックノード計算部302は、5つのチェックノード計算器302$_1$ないし302$_5$からなり、セレクタ301を通して供給されるメッセージD302(D302$_1$ないしD302$_5$)(式(7)のメッセージv_i)を用いて、式(7)に従ってチェックノード演算を行い、そのチェックノード演算の結果得られる5つのメッセージD303(D303$_1$ないしD303$_5$)(式(7)のメッセージu_j)をサイクリックシフト回路303に供給する。

[0339] サイクリックシフト回路303は、チェックノード計算部302で求められた5つのメッセージD303$_1$ないしD303$_5$を、対応する枝が変換検査行列H'において元となる単位行列を幾つサイクリックシフトしたものであるかの情報(Matrixデータ)D305を元にサイクリックシフトし、その結果をメッセージD304として、枝データ格納用メモリ304に供給する。

[0340] 枝データ格納用メモリ304は、18個のFIFO304$_1$ないし304$_{18}$からなり、前段のサイクリックシフト回路303から供給される5つのメッセージD304が変換検査行列H'のどの行に属するかの情報D305に従って、データを格納するFIFOを、FIFO304$_1$ないし304$_{18}$の中から選び、選んだFIFOに5つのメッセージD304をまとめて順番に格納していく。また、枝データ格納用メモリ304は、データを読み出す際には、FIFO304$_1$から5つのメッセージD306$_1$を順番に読み出し、次段のセレクタ305に供給する。枝データ格納用メモリ304は、FIFO304$_1$からのデータの読み出しの終了後、FIFO304$_2$ないし304$_{18}$からも、順番に、メッセージを読み出し、セレクタ305に供給する。

[0341] セレクタ305は、セレクト信号D307に従って、FIFO304$_1$ないし304$_{18}$のうちの、現在

データが読み出されているFIFOからの5つのメッセージを選択し、メッセージD308として、バリアブルノード計算部307と復号語計算部309に供給する。

[0342] 一方、受信データ並べ替え部310は、通信路を通して受信したLDPC符号D313を、式(9)の列置換を行うことにより並べ替え、受信データD314として、受信データ用メモリ306に供給する。受信データ用メモリ306は、受信データ並べ替え部310から供給される受信データD314から、受信LLR(対数尤度比)を計算して記憶し、その受信LLRを5個ずつまとめて受信値D309として、バリアブルノード計算部307と復号語計算部309に供給する。

[0343] バリアブルノード計算部307は、5つのバリアブルノード計算器307_1ないし307_5からなり、セレクタ305を通して供給されるメッセージD308($D308_1$ないし$D308_5$)(式(1)のメッセージu_j)と、受信データ用メモリ306から供給される5つの受信値D309(式(1)の受信値u_{0i})を用いて、式(1)に従ってバリアブルノード演算を行い、その演算の結果得られるメッセージD310($D310_1$ないし$D310_5$)(式(1)のメッセージv_i)を、サイクリックシフト回路308に供給する。

[0344] サイクリックシフト回路308は、バリアブルノード計算部307で計算されたメッセージ$D310_1$ないし$D310_5$を、対応する枝が変換検査行列H'において元となる単位行列を幾つサイクリックシフトしたものであるかの情報を元にサイクリックシフトし、その結果をメッセージD311として、枝データ格納用メモリ300に供給する。

[0345] 以上の動作を1巡することで、LDPC符号の1回の復号を行うことができる。図34の復号装置は、所定の回数だけLDPC符号を復号した後、復号語計算部309及び復号データ並べ替え部311において、最終的な復号結果を求めて出力する。

[0346] すなわち、復号語計算部309は、5つの復号語計算器309_1ないし309_5からなり、セレクタ305が出力する5つのメッセージD308($D308_1$ないし$D308_5$)(式(5)のメッセージu_j)と、受信データ用メモリ306から供給される5つの受信値D309(式(5)の受信値u_{0i})を用い、複数回の復号の最終段として、式(5)に基づいて、復号結果(復号語)を計算して、その結果得られる復号データD315を、復号データ並べ替え部311に供給する。

[0347] 復号データ並べ替え部311は、復号語計算部309から供給される復号データD315

00 059

を対象に、式(9)の列置換の逆置換を行うことにより、その順序を並べ替え、最終的な復号結果D316として出力する。

[0348] 以上のように、検査行列(元の検査行列)に対して、行置換と列置換のうちの一方又は両方を施し、P×Pの単位行列、その要素の1のうち1個以上が0になった準単位行列、単位行列もしくは準単位行列をサイクリックシフトしたシフト行列、単位行列、準単位行列、もしくはシフト行列の複数の和である和行列、P×Pの0行列の組合せ、つまり、構成行列の組み合わせで表すことができる検査行列(変換検査行列)に変換することで、LDPC符号の復号を、チェックノード演算とバリアブルノード演算をP個同時に行うアーキテクチャ(architecture)を採用することが可能となり、これにより、ノード演算を、P個同時に行うことで動作周波数を実現可能な範囲に抑えて、多数の繰り返し復号を行うことができる。

[0349] 図29の受信装置12を構成するLDPC復号部56は、図34の復号装置と同様に、チェックノード演算とバリアブルノード演算をP個同時に行うことで、LDPC復号を行うようになっている。

[0350] すなわち、いま、説明を簡単にするために、図8の送信装置11を構成するLDPC符号化部21が出力するLDPC符号の検査行列が、例えば、図31に示した、パリティ行列が階段構造になっている検査行列Hであるとすると、送信装置11のパリティインターリーバ23では、K+qx+y+1番目の符号ビットを、K+Py+x+1番目の符号ビットの位置にインターリーブするパリティインターリーブが、情報長Kを60に、巡回構造の単位の列数Pを5に、パリティ長Mの約数q(=M/P)を6に、それぞれして行われる。

[0351] このパリティインターリーブは、上述したように、式(9)の列置換に相当するから、LDPC復号部56では、式(9)の列置換を行う必要がない。

[0352] このため、図29の受信装置12では、上述したように、カラムツイストデインターリーバ55から、LDPC復号部56に対して、パリティデインターリーブが行われていないLDPC符号、つまり、式(9)の列置換が行われた状態のLDPC符号が供給され、LDPC復号部56では、式(9)の列置換を行わないことを除けば、図34の復号装置と同様の処理が行われる。

[0353] すなわち、図35は、図29のLDPC復号部56の構成例を示している。

[0354] 図35において、LDPC復号部56は、図34の受信データ並べ替え部310が設けられていないことを除けば、図34の復号装置と同様に構成されており、式(9)の列置換が行われないことを除いて、図34の復号装置と同様の処理を行うため、その説明は省略する。

[0355] 以上のように、LDPC復号部56は、受信データ並べ替え部310を設けずに構成することができるので、図34の復号装置よりも、規模を削減することができる。

[0356] なお、図31ないし図35では、説明を簡単にするために、LDPC符号の符号長Nを90と、情報長Kを60と、巡回構造の単位の列数(構成行列の行数及び列数)Pを5と、パリティ長Mの約数q(=M/P)を6と、それぞれしたが、符号長N、情報長K、巡回構造の単位の列数P、及び約数q(=M/P)のそれぞれは、上述した値に限定されるものではない。

[0357] すなわち、図8の送信装置11において、LDPC符号化部21が出力するのは、例えば、符号長Nを64800と、情報長KをN-Pq(=N-M)と、巡回構造の単位の列数Pを360と、約数qをM/Pと、それぞれするLDPC符号であるが、図35のLDPC復号部56は、そのようなLDPC符号を対象として、チェックノード演算とバリアブルノード演算をP個同時に行うことで、LDPC復号を行う場合にも適用可能である。

[0358] 次に、上述した一連の処理は、ハードウェアにより行うこともできるし、ソフトウェアにより行うこともできる。一連の処理をソフトウェアによって行う場合には、そのソフトウェアを構成するプログラムが、汎用のコンピュータ等にインストールされる。

[0359] そこで、図36は、上述した一連の処理を実行するプログラムがインストールされるコンピュータの一実施の形態の構成例を示している。

[0360] プログラムは、コンピュータに内蔵されている記録媒体としてのハードディスク405やROM403に予め記録しておくことができる。

[0361] あるいはまた、プログラムは、フレキシブルディスク、CD-ROM(Compact Disc Read Only Memory), MO(Magneto Optical)ディスク, DVD(Digital Versatile Disc)、磁気ディスク、半導体メモリなどのリムーバブル記録媒体411に、一時的あるいは永続的に格納(記録)しておくことができる。このようなリムーバブル記録媒体411は、いわゆるパッケージソフトウエアとして提供することができる。

[0362] なお、プログラムは、上述したようなリムーバブル記録媒体411からコンピュータにインストールする他、ダウンロードサイトから、ディジタル衛星放送用の人工衛星を介して、コンピュータに無線で転送したり、LAN(Local Area Network)、インターネットといったネットワークを介して、コンピュータに有線で転送し、コンピュータでは、そのようにして転送されてくるプログラムを、通信部408で受信し、内蔵するハードディスク405にインストールすることができる。

[0363] コンピュータは、CPU(Central Processing Unit)402を内蔵している。CPU402には、バス401を介して、入出力インタフェース410が接続されており、CPU402は、入出力インタフェース410を介して、ユーザによって、キーボードや、マウス、マイク等で構成される入力部407が操作等されることにより指令が入力されると、それに従って、ROM(Read Only Memory)403に格納されているプログラムを実行する。あるいは、また、CPU402は、ハードディスク405に格納されているプログラム、衛星若しくはネットワークから転送され、通信部408で受信されてハードディスク405にインストールされたプログラム、又はドライブ409に装着されたリムーバブル記録媒体411から読み出されてハードディスク405にインストールされたプログラムを、RAM(Random Access Memory)404にロードして実行する。これにより、CPU402は、上述したフローチャートに従った処理、あるいは上述したブロック図の構成により行われる処理を行う。そして、CPU402は、その処理結果を、必要に応じて、例えば、入出力インタフェース410を介して、LCD(Liquid Crystal Display)やスピーカ等で構成される出力部406から出力、あるいは、通信部408から送信、さらには、ハードディスク405に記録等させる。

[0364] ここで、本明細書において、コンピュータに各種の処理を行わせるためのプログラムを記述する処理ステップは、必ずしもフローチャートとして記載された順序に沿って時系列に処理する必要はなく、並列的あるいは個別に実行される処理(例えば、並列処理あるいはオブジェクトによる処理)も含むものである。

[0365] また、プログラムは、1のコンピュータにより処理されるものであっても良いし、複数のコンピュータによって分散処理されるものであっても良い。さらに、プログラムは、遠方のコンピュータに転送されて実行されるものであっても良い。

[0366] なお、本発明の実施の形態は、上述した実施の形態に限定されるものではなく、本

発明の要旨を逸脱しない範囲において種々の変更が可能である。

[0367] すなわち、本実施の形態では、DVB-S.2に規定されているLDPC符号を対象として、パリティインターリーブや、並び替え処理としてのカラムツイストインターリーブを行うようにしたが、パリティインターリーブは、パリティ行列が階段構造になっていれば、情報行列が巡回構造になっていない検査行列のLDPC符号に適用可能であり、並び替え処理としてのカラムツイストインターリーブは、例えば、少なくとも列置換によって擬似巡回構造となる検査行列のLDPC符号や、検査行列の全体が巡回構造になっているQC(Quasi-Cyclic)-LDPC符号等にも適用可能である。

[0368] すなわち、パリティインターリーブの対象とするLDPC符号の検査行列は、そのパリティ行列が階段構造になっていればよく、情報行列が巡回構造になっている必要はない。

[0369] また、並び替え処理としてのカラムツイストインターリーブの対象とするLDPC符号の検査行列は、特に構造が限定されるものではない。

[0370] なお、並び替え処理は、検査行列の任意の1行にある1に対応する複数の符号ビットが、同一のシンボルに含まれないように、LDPC符号の符号ビットを並び替えることができればよく、カラムツイストインターリーブ以外の方法で行うことが可能である。すなわち、並び替え処理は、カラム方向及びロウ方向にデータを記憶するメモリ31ではなく、例えば、1方向にのみデータを記憶するメモリを用い、書き込みアドレス及び読み出しアドレスを制御することによって行うことが可能である。

[0371] 次に、送信装置11のLDPC符号化部21によるLDPC符号化の処理について、さらに説明する。

[0372] 例えば、DVB-S.2の規格では、64800ビットと16200ビットとの2通りの符号長NのLDPC符号が規定されている。

[0373] そして、符号長Nが64800ビットのLDPC符号については、11個の符号化率1/4,1/3,2/5,1/2,3/5,2/3,3/4,4/5,5/6,8/9、及び9/10が規定されており、符号長Nが16200ビットのLDPC符号については、10個の符号化率1/4,1/3,2/5,1/2,3/5,2/3,3/4,4/5,5/6、及び8/9が規定されている。

[0374] LDPC符号化部21は、このような、符号長Nが64800ビットや16200ビットの各符号化

率のLDPC符号による符号化(誤り訂正符号化)を、符号長Nごと、及び符号化率ごとに用意された検査行列Hに従って行う。

[0375] すなわち、LDPC符号化部21は、検査行列Hを生成するための、後述する検査行列初期値テーブルを、符号長Nごと、及び符号化率ごとに記憶している。

[0376] ここで、DVB-S.2の規格では、上述のように、64800ビットと16200ビットとの2通りの符号長NのLDPC符号が規定されており、符号長Nが64800ビットのLDPC符号については、11個の符号化率が、符号長Nが16200ビットのLDPC符号については、10個の符号化率が、それぞれ規定されている。

[0377] したがって、送信装置11が、DVB-S.2の規格に準拠した処理を行う装置である場合、LDPC符号化部21には、符号長Nが64800ビットのLDPC符号についての、11個の符号化率それぞれに対応する検査行列初期値テーブルと、符号長Nが16200ビットのLDPC符号についての、10個の符号化率それぞれに対応する検査行列初期値テーブルとが記憶される。

[0378] LDPC符号化部21は、例えば、オペレータの操作等に応じて、LDPC符号の符号長Nと符号化率rとを設定する。ここで、以下、適宜、LDPC符号化部21で設定された符号長Nと符号化率rを、それぞれ、設定符号長Nと設定符号化率rともいう。

[0379] LDPC符号化部21は、設定符号長N及び設定符号化率rに対応する検査行列初期値テーブルに基づいて、設定符号長N及び設定符号化率rに応じた情報長K(=Nr=符号長N-パリティ長M)に対応する情報行列H_Aの1の要素を列方向に360列(巡回構造の単位の列数P)ごとの周期で配置して検査行列Hを生成する。

[0380] そして、LDPC符号化部21は、送信装置11に供給される、画像データや音声データ等の、送信の対象である対象データから、情報長K分の情報ビットを抽出する。さらに、LDPC符号化部21は、検査行列Hに基づいて、情報ビットに対するパリティビットを算出し、1符号長分の符号語(LDPC符号)を生成する。

[0381] すなわち、LDPC符号化部21は、次式を満たす符号語cのパリティビットを順次演算する。

[0382] $Hc^T=0$

[0383] ここで、上式において、cは、符号語(LDPC符号)としての行ベクトルを表し、c^Tは、

行ベクトルcの転置を表す。

[0384] LDPC符号(1符号語)としての行ベクトルcのうちの、情報ビットの部分を、行ベクトルAで表すとともに、パリティビットの部分を、行ベクトルTで表す場合には、行ベクトルcは、情報ビットとしての行ベクトルAと、パリティビットとしての行ベクトルTとによって、式c =[A|T]で表すことができる。

[0385] また、検査行列Hは、LDPC符号の符号ビットのうちの、情報ビットに対応する部分の情報行列H_Aと、パリティビットに対応するパリティ行列H_Tとによって、式H=[H_A | H_T](情報行列H_Aの要素を左側の要素とし、パリティ行列H_Tの要素を右側の要素とする行列)で表すことができる。

[0386] さらに、例えば、DVB-S.2の規格では、検査行列H=[H_A|H_T]のパリティ行列H_Tが階段構造になっている。

[0387] 検査行列Hと、LDPC符号としての行ベクトルc=[A|T]とは、式Hc^T=0を満たす必要があり、かかる式Hc^T=0を満たす行ベクトルc=[A|T]を構成するパリティビットとしての行ベクトルTは、検査行列H=[H_A|H_T]のパリティ行列H_Tが階段構造になっている場合には、式Hc^T=0における列ベクトルHc^Tの1行目の要素から順に、各行の要素を0にしていくようにすることで、逐次的に求めることができる。

[0388] LDPC符号化部21は、情報ビットAに対して、パリティビットTを求めると、その情報ビットAとパリティビットTとによって表される符号語c =[A | T]を、情報ビットAのLDPC符号化結果として出力する。

[0389] 以上のように、LDPC符号化部21は、各符号長N、及び、各符号化率rに対応する検査行列初期値テーブルを記憶しており、設定符号長Nの、設定符号化率rのLDPC符号化を、その設定符号長N、及び、設定符号化率rに対応する検査行列初期値テーブルから生成される検査行列Hを用いて行う。

[0390] 検査行列初期値テーブルは、検査行列Hの、LDPC符号(検査行列Hによって定義されるLDPC符号)の符号長N及び符号化率rに応じた情報長Kに対応する情報行列H_Aの1の要素の位置を360列(巡回構造の単位の列数P)ごとに表すテーブルであり、各符号長N及び各符号化率rの検査行列Hごとに、あらかじめ作成される。

[0391] 図37ないし図82は、DVB-S.2の規格に規定されている検査行列初期値テーブル

を含む、様々な検査行列Hを生成するための検査行列初期値テーブルを示している。

[0392] すなわち、図37は、DVB-S.2の規格に規定されている、符号長Nが16200ビットの、符号化率rが2/3の検査行列Hに対する検査行列初期値テーブルを示している。

[0393] 図38ないし図40は、DVB-S.2の規格に規定されている、符号長Nが64800ビットの、符号化率rが2/3の検査行列Hに対する検査行列初期値テーブルを示している。

[0394] なお、図39は、図38に続く図であり、図40は、図39に続く図である。

[0395] 図41は、DVB-S.2の規格に規定されている、符号長Nが16200ビットの、符号化率rが3/4の検査行列Hに対する検査行列初期値テーブルを示している。

[0396] 図42ないし図45は、DVB-S.2の規格に規定されている、符号長Nが64800ビットの、符号化率rが3/4の検査行列Hに対する検査行列初期値テーブルを示している。

[0397] なお、図43は、図42に続く図であり、図44は、図43に続く図である。また、図45は、図44に続く図である。

[0398] 図46は、DVB-S.2の規格に規定されている、符号長Nが16200ビットの、符号化率rが4/5の検査行列Hに対する検査行列初期値テーブルを示している。

[0399] 図47ないし図50は、DVB-S.2の規格に規定されている、符号長Nが64800ビットの、符号化率rが4/5の検査行列Hに対する検査行列初期値テーブルを示している。

[0400] なお、図48は、図47に続く図であり、図49は、図48に続く図である。また、図50は、図49に続く図である。

[0401] 図51は、DVB-S.2の規格に規定されている、符号長Nが16200ビットの、符号化率rが5/6の検査行列Hに対する検査行列初期値テーブルを示している。

[0402] 図52ないし図55は、DVB-S.2の規格に規定されている、符号長Nが64800ビットの、符号化率rが5/6の検査行列Hに対する検査行列初期値テーブルを示している。

[0403] なお、図53は、図52に続く図であり、図54は、図53に続く図である。また、図55は、図54に続く図である。

[0404] 図56は、DVB-S.2の規格に規定されている、符号長Nが16200ビットの、符号化率rが8/9の検査行列Hに対する検査行列初期値テーブルを示している。

[0405] 図57ないし図60は、DVB-S.2の規格に規定されている、符号長Nが64800ビットの

、符号化率rが8/9の検査行列Hに対する検査行列初期値テーブルを示している。

[0406] なお、図58は、図57に続く図であり、図59は、図58に続く図である。また、図60は、図59に続く図である。

[0407] 図61ないし図64は、DVB-S.2の規格に規定されている、符号長Nが64800ビットの、符号化率rが9/10の検査行列Hに対する検査行列初期値テーブルを示している。

[0408] なお、図62は、図61に続く図であり、図63は、図62に続く図である。また、図64は、図63に続く図である。

[0409] 図65及び図66は、DVB-S.2の規格に規定されている、符号長Nが64800ビットの、符号化率rが1/4の検査行列Hに対する検査行列初期値テーブルを示している。

[0410] なお、図66は、図65に続く図である。

[0411] 図67及び図68は、DVB-S.2の規格に規定されている、符号長Nが64800ビットの、符号化率rが1/3の検査行列Hに対する検査行列初期値テーブルを示している。

[0412] なお、図68は、図67に続く図である。

[0413] 図69及び図70は、DVB-S.2の規格に規定されている、符号長Nが64800ビットの、符号化率rが2/5の検査行列Hに対する検査行列初期値テーブルを示している。

[0414] なお、図70は、図69に続く図である。

[0415] 図71ないし図73は、DVB-S.2の規格に規定されている、符号長Nが64800ビットの、符号化率rが1/2の検査行列Hに対する検査行列初期値テーブルを示している。

[0416] なお、図72は、図71に続く図であり、図73は、図72に続く図である。

[0417] 図74ないし図76は、DVB-S.2の規格に規定されている、符号長Nが64800ビットの、符号化率rが3/5の検査行列Hに対する検査行列初期値テーブルを示している。

[0418] なお、図75は、図74に続く図であり、図76は、図75に続く図である。

[0419] 図77は、DVB-S.2の規格に規定されている、符号長Nが16200ビットの、符号化率rが1/4の検査行列Hに対する検査行列初期値テーブルを示している。

[0420] 図78は、DVB-S.2の規格に規定されている、符号長Nが16200ビットの、符号化率rが1/3の検査行列Hに対する検査行列初期値テーブルを示している。

[0421] 図79は、DVB-S.2の規格に規定されている、符号長Nが16200ビットの、符号化率rが2/5の検査行列Hに対する検査行列初期値テーブルを示している。

[0422] 図80は、DVB-S.2の規格に規定されている、符号長Nが16200ビットの、符号化率rが1/2の検査行列Hに対する検査行列初期値テーブルを示している。

[0423] 図81は、DVB-S.2の規格に規定されている、符号長Nが16200ビットの、符号化率rが3/5の検査行列Hに対する検査行列初期値テーブルを示している。

[0424] 図82は、図81の検査行列初期値テーブルに代えて用いることができる、符号長Nが16200ビットの、符号化率rが3/5の検査行列Hに対する検査行列初期値テーブルを示している。

[0425] 送信装置11のLDPC符号化部21は、検査行列初期値テーブルを用いて、以下のように、検査行列Hを求める。

[0426] すなわち、図83は、検査行列初期値テーブルから検査行列Hを求める方法を示している。

[0427] なお、図83の検査行列初期値テーブルは、図37に示した、DVB-S.2の規格に規定されている、符号長Nが16200ビットの、符号化率rが2/3の検査行列Hに対する検査行列初期値テーブルを示している。

[0428] 検査行列初期値テーブルは、上述したように、LDPC符号の符号長N及び符号化率rに応じた情報長Kに対応する情報行列H_Aの1の要素の位置を、360列(巡回構造の単位の列数P)ごとに表すテーブルであり、そのi行目には、検査行列Hの1+360×(i-1)列目の1の要素の行番号(検査行列Hの1行目の行番号を0とする行番号)が、その1+360×(i-1)列目の列が持つ列重みの数だけ並んでいる。

[0429] ここで、検査行列Hの、パリティ長Mに対応するパリティ行列H_Tは、階段構造になっており、あらかじめ決まっていることとする。検査行列初期値テーブルによれば、検査行列Hのうちの、情報長Kに対応する情報行列H_Aが求められる。

[0430] 検査行列初期値テーブルの行数k+1は、情報長Kによって異なる。

[0431] 情報長Kと、検査行列初期値テーブルの行数k+1との間には、次式の関係が成り立つ。

[0432] $K=(k+1)\times 360$

[0433] ここで、上式の360は、巡回構造の単位の列数Pである。

[0434] 図83の検査行列初期値テーブルでは、1行目から3行目までに、13個の数値が並

び、4行目からk+1行目（図83では、30行目）までに、3個の数値が並んでいる。

[0435] したがって、図83の検査行列初期値テーブルから求められる検査行列Hの列重みは、1列目から、1+360×(3-1)-1列目までは、13であり、1+360×(3-1)列目から、K列目までは、3である。

[0436] 図83の検査行列初期値テーブルの1行目は、0,2084,1613,1548,1286,1460,3196,4297,2481,3369,3451,4620,2622となっており、これは、検査行列Hの1列目において、行番号が、0,2084,1613,1548,1286,1460,3196,4297,2481,3369,3451,4620,2622の行の要素が1であること（かつ、他の要素が0であること）を示している。

[0437] また、図83の検査行列初期値テーブルの2行目は、1,122,1516,3448,2880,1407,1847,3799,3529,373,971,4358,3108となっており、これは、検査行列Hの361（＝1＋360×（2－1））列目において、行番号が、1,122,1516,3448,2880,1407,1847,3799,3529,373,971,4358,3108の行の要素が1であることを示している。

[0438] 以上のように、検査行列初期値テーブルは、検査行列Hの情報行列H_Aの1の要素の位置を360列ごとに表す。

[0439] 検査行列Hの1+360×(i-1)列目以外の列、つまり、2+360×(i-1)列目から、360×i列目までの各列は、検査行列初期値テーブルによって定まる1+360×(i-1)列目の1の要素を、パリティ長Mに従って下方向（列の下方向）に、周期的にサイクリックシフトして配置したものになっている。

[0440] すなわち、例えば、2+360×(i-1)列目は、1+360×(i-1)列目を、M/360(=q)だけ下方向にサイクリックシフトしたものとなっており、次の3+360×(i-1)列目は、1+360×(i-1)列目を、2×M/360(=2×q)だけ下方向にサイクリックシフトしたもの（2+360×(i-1)列目を、M/360(=q)だけ下方向にサイクリックシフトしたもの）となっている。

[0441] いま、検査行列初期値テーブルのi行目（上からi番目）のj列目（左からj番目）の数値を、$h_{i,j}$と表すとともに、検査行列Hのw列目の、j個目の1の要素の行番号を、H_{w-j}と表すこととすると、検査行列Hの1+360×(i-1)列目以外の列であるw列目の、1の要素の行番号H_{w-j}は、次式で求めることができる。

[0442] $$H_{w-j}=\mathrm{mod}\{h_{i,j}+\mathrm{mod}((w-1),P)\times q,\ M\}$$

[0443] ここで、mod(x, y)はxをyで割った余りを意味する。

00 069

[0444] また、Pは、上述した巡回構造の単位の列数であり、例えば、DVB-S.2の規格では、360である。さらに、qは、パリティ長Mを、巡回構造の単位の列数P(=360)で除算することにより得られる値M/360である。

[0445] LDPC符号化部21は、検査行列初期値テーブルによって、検査行列Hの1+360×(i-1)列目の1の要素の行番号を特定する。

[0446] さらに、LDPC符号化部21は、検査行列Hの1+360×(i-1)列目以外の列であるw列目の、1の要素の行番号H_{w-j}を求め、以上により得られた行番号の要素を1とする検査行列Hを生成する。

[0447] 次に、送信装置11におけるデマルチプレクサ25の入れ替え部32による入れ替え処理でのLDPC符号の符号ビットの入れ替え方、すなわち、LDPC符号の符号ビットと、シンボルを表すシンボルビットとの割り当てパターン(以下、ビット割り当てパターンともいう)のバリエーションについて説明する。

[0448] デマルチプレクサ25では、LDPC符号の符号ビットが、カラム方向×ロウ方向が(N/(mb))×(mb)ビットのメモリ31のカラム方向に書き込まれ、その後、mbビット単位でロウ方向に読み出される。さらに、デマルチプレクサ25では、入れ替え部32において、メモリ31のロウ方向に読み出されるmbビットの符号ビットが入れ替えられ、入れ替え後の符号ビットが、(連続する)b個のシンボルのmbビットのシンボルビットとされる。

[0449] すなわち、入れ替え部32は、メモリ31のロウ方向に読み出されるmbビットの符号ビットの最上位ビットからi+1ビット目を、符号ビットb_iとするとともに、(連続する)b個のシンボルのmbビットのシンボルビットの最上位ビットからi+1ビット目を、シンボルビットy_iとして、所定のビット割り当てパターンに従い、mbビットの符号ビットb_0ないしb_{mb-i}を入れ替える。

[0450] 図84は、LDPC符号が、符号長Nが64800ビットで、符号化率が5/6又は9/10のLDPC符号であり、さらに、変調方式が4096QAMで、倍数bが1である場合に採用することができるビット割り当てパターンの例を示している。

[0451] LDPC符号が、符号長Nが64800ビットで、符号化率が5/6又は9/10のLDPC符号であり、さらに、変調方式が4096QAMで、倍数bが1である場合、デマルチプレクサ25では、カラム方向×ロウ方向が(64800/(12×1))×(12×1)ビットのメモリ31に書き込まれ

00 070

た符号ビットが、ロウ方向に、12×1(=mb)ビット単位で読み出され、入れ替え部32に供給される。

[0452] 入れ替え部32は、メモリ31から読み出される12×1(=mb)ビットの符号ビットb_0ないしb_{11}を、図84に示すように、1(=b)個のシンボルの12×1(=mb)ビットのシンボルビットy_0ないしy_{11}に割り当てるように、12×1(=mb)ビットの符号ビットb_0ないしb_{11}を入れ替える。

[0453] すなわち、図84によれば、入れ替え部32は、符号長Nが64800ビットのLDPC符号のうちの、符号化率が5/6のLDPC符号、及び、符号化率が9/10のLDPC符号については、いずれのLDPC符号についても、

符号ビットb_0を、シンボルビットy_8に、
符号ビットb_1を、シンボルビットy_0に、
符号ビットb_2を、シンボルビットy_6に、
符号ビットb_3を、シンボルビットy_1に、
符号ビットb_4を、シンボルビットy_4に、
符号ビットb_5を、シンボルビットy_5に、
符号ビットb_6を、シンボルビットy_2に、
符号ビットb_7を、シンボルビットy_3に、
符号ビットb_8を、シンボルビットy_7に、
符号ビットb_9を、シンボルビットy_{10}に、
符号ビットb_{10}を、シンボルビットy_{11}に、
符号ビットb_{11}を、シンボルビットy_9に、
それぞれ割り当てる入れ替えを行う。

[0454] 図85は、LDPC符号が、符号長Nが64800ビットで、符号化率が5/6又は9/10のLDPC符号であり、さらに、変調方式が4096QAMで、倍数bが2である場合に採用することができるビット割り当てパターンの例を示している。

[0455] LDPC符号が、符号長Nが64800ビットで、符号化率が5/6又は9/10のLDPC符号であり、さらに、変調方式が4096QAMで、倍数bが2である場合、デマルチプレクサ25では、カラム方向×ロウ方向が(64800/(12×2))×(12×2)ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、12×2(=mb)ビット単位で読み出され、入れ替え部32に

供給される。

[0456] 入れ替え部32は、メモリ31から読み出される12×2(=mb)ビットの符号ビットb_0ないしb_{23}を、図85に示すように、連続する2(=b)個のシンボルの12×2(=mb)ビットのシンボルビットy_0ないしy_{23}に割り当てるように、12×2(=mb)ビットの符号ビットb_0ないしb_{23}を入れ替える。

[0457] すなわち、図85によれば、入れ替え部32は、符号長Nが64800ビットのLDPC符号のうちの、符号化率が5/6のLDPC符号、及び、符号化率が9/10のLDPC符号については、いずれのLDPC符号についても、

符号ビットb_0を、シンボルビットy_8に、
符号ビットb_2を、シンボルビットy_0に、
符号ビットb_4を、シンボルビットy_6に、
符号ビットb_6を、シンボルビットy_1に、
符号ビットb_8を、シンボルビットy_4に、
符号ビットb_{10}を、シンボルビットy_5に、
符号ビットb_{12}を、シンボルビットy_2に、
符号ビットb_{14}を、シンボルビットy_3に、
符号ビットb_{16}を、シンボルビットy_7に、
符号ビットb_{18}を、シンボルビットy_{10}に、
符号ビットb_{20}を、シンボルビットy_{11}に、
符号ビットb_{22}を、シンボルビットy_9に、
符号ビットb_1を、シンボルビットy_{20}に、
符号ビットb_3を、シンボルビットy_{12}に、
符号ビットb_5を、シンボルビットy_{18}に、
符号ビットb_7を、シンボルビットy_{13}に、
符号ビットb_9を、シンボルビットy_{16}に、
符号ビットb_{11}を、シンボルビットy_{17}に、
符号ビットb_{13}を、シンボルビットy_{14}に、
符号ビットb_{15}を、シンボルビットy_{15}に、

符号ビットb_{17}を、シンボルビットy_{19}に、
符号ビットb_{19}を、シンボルビットy_{22}に、
符号ビットb_{21}を、シンボルビットy_{23}に、
符号ビットb_{23}を、シンボルビットy_{21}に、
それぞれ割り当てる入れ替えを行う。

[0458] ここで、図85のビット割り当てパターンは、倍数bが1である場合の図84のビット割り当てパターンを、そのまま利用している。すなわち、図85において、符号ビットb_0,b_2,・・・,b_{22}のシンボルビットy_iへの割り当て方、及び、符号ビットb_1,b_3,・・・,b_{23}のシンボルビットy_iへの割り当て方は、いずれも、図84の符号ビットb_0ないしb_{11}のシンボルビットy_iへの割り当て方と同様になっている。

[0459] 図86は、変調方式が1024QAMであり、かつ、LDPC符号が、符号長Nが16200ビットで、符号化率が3/4, 5/6、又は8/9のLDPC符号であり、倍数bが2である場合と、LDPC符号が、符号長Nが64800ビットで、符号長が3/4, 5/6、又は9/10のLDPC符号であり、倍数bが2である場合に採用することができるビット割り当てパターンの例を示している。

[0460] LDPC符号が、符号長Nが16200ビットで、符号化率が3/4, 5/6、又は8/9のLDPC符号であり、さらに、変調方式が1024QAMで、倍数bが2である場合、デマルチプレクサ25では、カラム方向×ロウ方向が(16200/(10×2))×(10×2)ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、10×2(=mb)ビット単位で読み出され、入れ替え部32に供給される。

[0461] また、LDPC符号が、符号長Nが64800ビットで、符号化率が3/4, 5/6、又は9/10のLDPC符号であり、さらに、変調方式が1024QAMで、倍数bが2である場合、デマルチプレクサ25では、カラム方向×ロウ方向が(64800/(10×2))×(10×2)ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、10×2(=mb)ビット単位で読み出され、入れ替え部32に供給される。

[0462] 入れ替え部32は、メモリ31から読み出される10×2(=mb)ビットの符号ビットb_0ないしb_{19}を、図86に示すように、連続する2(=b)個のシンボルの10×2(=mb)ビットのシンボルビットy_0ないしy_{19}に割り当てるように、10×2(=mb)ビットの符号ビットb_0ないしb_{19}を入れ

替える。

[0463] すなわち、図86によれば、入れ替え部32は、符号長Nが16200ビットのLDPC符号のうちの、符号化率が3/4のLDPC符号、符号化率が5/6のLDPC符号、及び、符号化率が8/9のLDPC符号、並びに、符号長Nが64800ビットのLDPC符号のうちの、符号化率が3/4のLDPC符号、符号化率が5/6のLDPC符号、及び、符号化率が9/10のLDPC符号については、いずれのLDPC符号についても、

符号ビットb_0を、シンボルビットy_8に、
符号ビットb_1を、シンボルビットy_3に、
符号ビットb_2を、シンボルビットy_7に、
符号ビットb_3を、シンボルビットy_{10}に、
符号ビットb_4を、シンボルビットy_{19}に、
符号ビットb_5を、シンボルビットy_4に、
符号ビットb_6を、シンボルビットy_9に、
符号ビットb_7を、シンボルビットy_5に、
符号ビットb_8を、シンボルビットy_{17}に、
符号ビットb_9を、シンボルビットy_6に、
符号ビットb_{10}を、シンボルビットy_{14}に、
符号ビットb_{11}を、シンボルビットy_{11}に、
符号ビットb_{12}を、シンボルビットy_2に、
符号ビットb_{13}を、シンボルビットy_{18}に、
符号ビットb_{14}を、シンボルビットy_{16}に、
符号ビットb_{15}を、シンボルビットy_{15}に、
符号ビットb_{16}を、シンボルビットy_0に、
符号ビットb_{17}を、シンボルビットy_1に、
符号ビットb_{18}を、シンボルビットy_{13}に、
符号ビットb_{19}を、シンボルビットy_{12}に、

それぞれ割り当てる入れ替えを行う。

[0464] 図87は、変調方式が4096QAMであり、かつ、LDPC符号が、符号長Nが16200ビット

で、符号化率が5/6又は8/9のLDPC符号であり、倍数bが2である場合と、LDPC符号が、符号長Nが64800ビットで、符号長が5/6又は9/10のLDPC符号であり、倍数bが2である場合に採用することができるビット割り当てパターンの例を示している。

[0465] LDPC符号が、符号長Nが16200ビットで、符号化率が5/6又は8/9のLDPC符号であり、さらに、変調方式が4096QAMで、倍数bが2である場合、デマルチプレクサ25では、カラム方向×ロウ方向が(16200/(12×2))×(12×2)ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、12×2(=mb)ビット単位で読み出され、入れ替え部32に供給される。

[0466] また、LDPC符号が、符号長Nが64800ビットで、符号化率が5/6又は9/10のLDPC符号であり、さらに、変調方式が4096QAMで、倍数bが2である場合、デマルチプレクサ25では、カラム方向×ロウ方向が(64800/(12×2))×(12×2)ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、12×2(=mb)ビット単位で読み出され、入れ替え部32に供給される。

[0467] 入れ替え部32は、メモリ31から読み出される12×2(=mb)ビットの符号ビットb_0ないしb_{23}を、図87に示すように、連続する2(=b)個のシンボルの12×2(=mb)ビットのシンボルビットy_0ないしy_{23}に割り当てるように、12×2(=mb)ビットの符号ビットb_0ないしb_{23}を入れ替える。

[0468] すなわち、図87によれば、入れ替え部32は、符号長Nが16200ビットのLDPC符号のうちの、符号化率が5/6のLDPC符号、及び、符号化率が8/9のLDPC符号、並びに、符号長Nが64800ビットのLDPC符号のうちの、符号化率が5/6のLDPC符号、及び、符号化率が9/10のLDPC符号については、いずれのLDPC符号についても、

符号ビットb_0を、シンボルビットy_{10}に、
符号ビットb_1を、シンボルビットy_{15}に、
符号ビットb_2を、シンボルビットy_4に、
符号ビットb_3を、シンボルビットy_{19}に、
符号ビットb_4を、シンボルビットy_{21}に、
符号ビットb_5を、シンボルビットy_{16}に、
符号ビットb_6を、シンボルビットy_{23}に、

符号ビットb_7を、シンボルビットy_{18}に、
符号ビットb_8を、シンボルビットy_{11}に、
符号ビットb_9を、シンボルビットy_{14}に、
符号ビットb_{10}を、シンボルビットy_{22}に、
符号ビットb_{11}を、シンボルビットy_5に、
符号ビットb_{12}を、シンボルビットy_6に、
符号ビットb_{13}を、シンボルビットy_{17}に、
符号ビットb_{14}を、シンボルビットy_{13}に、
符号ビットb_{15}を、シンボルビットy_{20}に、
符号ビットb_{16}を、シンボルビットy_1に、
符号ビットb_{17}を、シンボルビットy_3に、
符号ビットb_{18}を、シンボルビットy_9に、
符号ビットb_{19}を、シンボルビットy_2に、
符号ビットb_{20}を、シンボルビットy_7に、
符号ビットb_{21}を、シンボルビットy_8に、
符号ビットb_{22}を、シンボルビットy_{12}に、
符号ビットb_{23}を、シンボルビットy_0に、
それぞれ割り当てる入れ替えを行う。

[0469] 図84ないし図87に示したビット割り当てパターンによれば、複数種類のLDPC符号について、同一のビット割り当てパターンを採用することができ、しかも、その複数種類のLDPC符号のいずれについても、エラーに対する耐性を所望の性能とすることができる。

[0470] すなわち、図88ないし図91は、図84ないし図87のビット割り当てパターンに従った入れ替え処理を行った場合のBER(Bit Error Rate)のシミュレーションの結果を示している。

[0471] なお、図88ないし図91において、横軸は、E_s/N_0(1シンボルあたりの信号電力対雑音電力比)を表し、縦軸は、BERを表す。

[0472] また、実線が、入れ替え処理を行った場合のBERを表し、一点鎖線が、入れ替え処

理を行わない場合のBERを表す。

[0473] 図88は、符号長Nが64800で、符号化率が5/6及び9/10それぞれのLDPC符号について、変調方式として、4096QAMを採用し、倍数bを1として、図84のビット割り当てパターンに従った入れ替え処理を行った場合のBERを示している。

[0474] 図89は、符号長Nが64800で、符号化率が5/6及び9/10それぞれのLDPC符号について、変調方式として、4096QAMを採用し、倍数bを2として、図85のビット割り当てパターンに従った入れ替え処理を行った場合のBERを示している。

[0475] なお、図88及び図89において、三角形の印を付してあるグラフが、符号化率が5/6のLDPC符号についてのBERを表し、アスタリスク(星印)を付してあるグラフが、符号化率が9/10のLDPC符号についてのBERを表す。

[0476] 図90は、符号長Nが16200で、符号化率が3/4,5/6、及び8/9それぞれのLDPC符号と、符号長Nが64800で、符号化率が3/4,5/6、及び9/10それぞれのLDPC符号とについて、変調方式として、1024QAMを採用し、倍数bを2として、図86のビット割り当てパターンに従った入れ替え処理を行った場合のBERを示している。

[0477] なお、図90において、アスタリスクを付してあるグラフが、符号長Nが64800で、符号化率が9/10のLDPC符号についてのBERを表し、上向きの三角形の印を付してあるグラフが、符号長Nが64800で、符号化率が5/6のLDPC符号についてのBERを表す。また、正方形の印を付してあるグラフが、符号長Nが64800で、符号化率が3/4のLDPC符号についてのBERを表す。

[0478] さらに、図90において、丸印を付してあるグラフが、符号長Nが16200で、符号化率が8/9のLDPC符号についてのBERを表し、下向きの三角形の印を付してあるグラフが、符号長Nが16200で、符号化率が5/6のLDPC符号についてのBERを表す。また、プラスの印を付してあるグラフが、符号長Nが16200で、符号化率が3/4のLDPC符号についてのBERを表す。

[0479] 図91は、符号長Nが16200で、符号化率が5/6及び8/9それぞれのLDPC符号と、符号長Nが64800で、符号化率が5/6及び9/10それぞれのLDPC符号とについて、変調方式として、4096QAMを採用し、倍数bを2として、図87のビット割り当てパターンに従った入れ替え処理を行った場合のBERを示している。

[0480] なお、図91において、アスタリスクを付してあるグラフが、符号長Nが64800で、符号化率が9/10のLDPC符号についてのBERを表し、上向きの三角形の印を付してあるグラフが、符号長Nが64800で、符号化率が5/6のLDPC符号についてのBERを表す。

[0481] また、図91において、丸印を付してあるグラフが、符号長Nが16200で、符号化率が8/9のLDPC符号についてのBERを表し、下向きの三角形の印を付してあるグラフが、符号長Nが16200で、符号化率が5/6のLDPC符号についてのBERを表す。

[0482] 図88ないし図91によれば、複数種類のLDPC符号について、同一のビット割り当てパターンを採用することができ、しかも、同一のビット割り当てパターンを採用した複数種類のLDPC符号のいずれについても、エラーに対する耐性を所望の性能とすることができることが分かる。

[0483] すなわち、符号長や符号化率が異なる複数種類のLDPC符号それぞれについて、そのLDPC符号に専用のビット割り当てパターンを採用する場合には、エラーに対する耐性を極めて高性能にすることができるが、異なる種類のLDPC符号ごとに、ビット割り当てパターンの変更が必要になる。

[0484] 一方、図84ないし図87のビット割り当てパターンによれば、符号長や符号化率が異なる複数種類のLDPC符号それぞれについて、同一のビット割り当てパターンを採用することができ、複数種類のLDPC符号それぞれについて、そのLDPC符号に専用のビット割り当てパターンを採用する場合のように、異なる種類のLDPC符号ごとに、ビット割り当てパターンの変更をする必要がなくなる。

[0485] さらに、図84ないし図87のビット割り当てパターンによれば、複数種類のLDPC符号それぞれについて、そのLDPC符号に専用のビット割り当てパターンを採用する場合には多少及ばないものの、それでも、エラーに対する耐性を高性能にすることができる。

[0486] すなわち、例えば、変調方式が4096QAMである場合には、符号長Nが64800で、符号化率が5/6及び9/10それぞれのLDPC符号については、いずれのLDPC符号についても、図84又は図85の、同一のビット割り当てパターンを採用することができる。そして、このように、同一のビット割り当てパターンを採用しても、エラーに対する耐性を高性能にすることができる。

[0487] さらに、例えば、変調方式が1024QAMである場合には、符号長Nが16200で、符号化率が3/4,5/6、及び8/9それぞれのLDPC符号と、符号長Nが64800で、符号化率が3/4,5/6、及び9/10それぞれのLDPC符号とについては、いずれのLDPC符号についても、図86の、同一のビット割り当てパターンを採用することができる。そして、このように、同一のビット割り当てパターンを採用しても、エラーに対する耐性を高性能にすることができる。

[0488] また、例えば、変調方式が4096QAMである場合には、符号長Nが16200で、符号化率が5/6及び8/9それぞれのLDPC符号と、符号長Nが64800で、符号化率が5/6及び9/10それぞれのLDPC符号とについては、いずれのLDPC符号についても、図87の、同一のビット割り当てパターンを採用することができる。そして、このように、同一のビット割り当てパターンを採用しても、エラーに対する耐性を高性能にすることができる。

[0489] ビット割り当てパターンのバリエーションについて、さらに説明する。

[0490] 図92は、LDPC符号が、符号長Nが16200又は64800ビットで、符号化率が、例えば、図37ないし図82に示した検査行列初期値テーブルから生成される検査行列Hで定義されるLDPC符号の符号化率のうちの3/5以外のLDPC符号であり、さらに、変調方式がQPSKで、倍数bが1である場合に採用することができるビット割り当てパターンの例を示している。

[0491] LDPC符号が、符号長Nが16200又は64800ビットで、符号化率が3/5以外のLDPC符号であり、さらに、変調方式がQPSKで、倍数bが1である場合、デマルチプレクサ25では、カラム方向×ロウ方向が(N/(2×1))×(2×1)ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、2×1(=mb)ビット単位で読み出され、入れ替え部32に供給される。

[0492] 入れ替え部32は、メモリ31から読み出される2×1(=mb)ビットの符号ビットb_0及びb_1を、図92に示すように、1(=b)個のシンボルの2×1(=mb)ビットのシンボルビットy_0及びy_1に割り当てるように、2×1(=mb)ビットの符号ビットb_0及びb_1を入れ替える。

[0493] すなわち、図92によれば、入れ替え部32は、

符号ビットb_0を、シンボルビットy_0に、

符号ビットb_1を、シンボルビットy_1に、

それぞれ割り当てる入れ替えを行う。

[0494] なお、この場合、入れ替えは行われず、符号ビットb_0及びb_1が、それぞれ、そのまま、シンボルビットy_0及びy_1とされると考えることもできる。

[0495] 図93は、LDPC符号が、符号長Nが16200又は64800ビットで、符号化率が3/5以外のLDPC符号であり、さらに、変調方式が16QAMで、倍数bが2である場合に採用することができるビット割り当てパターンの例を示している。

[0496] LDPC符号が、符号長Nが16200又は64800ビットで、符号化率が3/5以外のLDPC符号であり、さらに、変調方式が16QAMで、倍数bが2である場合、デマルチプレクサ25では、カラム方向×ロウ方向が(N/(4×2))×(4×2)ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、4×2(=mb)ビット単位で読み出され、入れ替え部32に供給される。

[0497] 入れ替え部32は、メモリ31から読み出される4×2(=mb)ビットの符号ビットb_0ないしb_7を、図93に示すように、連続する2(=b)個のシンボルの4×2(=mb)ビットのシンボルビットy_0ないしy_7に割り当てるように、4×2(=mb)ビットの符号ビットb_0ないしb_7を入れ替える。

[0498] すなわち、図93によれば、入れ替え部32は、

符号ビットb_0を、シンボルビットy_7に、

符号ビットb_1を、シンボルビットy_1に、

符号ビットb_2を、シンボルビットy_4に、

符号ビットb_3を、シンボルビットy_2に、

符号ビットb_4を、シンボルビットy_5に、

符号ビットb_5を、シンボルビットy_3に、

符号ビットb_6を、シンボルビットy_6に、

符号ビットb_7を、シンボルビットy_0に、

それぞれ割り当てる入れ替えを行う。

[0499] 図94は、変調方式が64QAMであり、かつ、LDPC符号が、符号長Nが16200又は64800ビットで、符号化率が3/5以外のLDPC符号であり、倍数bが2である場合に採用す

ることができるビット割り当てパターンの例を示している。

[0500] LDPC符号が、符号長Nが16200又は64800ビットで、符号化率が3/5以外のLDPC符号であり、さらに、変調方式が64QAMで、倍数bが2である場合、デマルチプレクサ25では、カラム方向×ロウ方向が(N/(6×2))×(6×2)ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、6×2(=mb)ビット単位で読み出され、入れ替え部32に供給される。

[0501] 入れ替え部32は、メモリ31から読み出される6×2(=mb)ビットの符号ビットb_0ないしb_{11}を、図94に示すように、連続する2(=b)個のシンボルの6×2(=mb)ビットのシンボルビットy_0ないしy_{11}に割り当てるように、6×2(=mb)ビットの符号ビットb_0ないしb_{11}を入れ替える。

[0502] すなわち、図94によれば、入れ替え部32は、

符号ビットb_0を、シンボルビットy_{11}に、
符号ビットb_1を、シンボルビットy_7に、
符号ビットb_2を、シンボルビットy_3に、
符号ビットb_3を、シンボルビットy_{10}に、
符号ビットb_4を、シンボルビットy_6に、
符号ビットb_5を、シンボルビットy_2に、
符号ビットb_6を、シンボルビットy_9に、
符号ビットb_7を、シンボルビットy_5に、
符号ビットb_8を、シンボルビットy_1に、
符号ビットb_9を、シンボルビットy_8に、
符号ビットb_{10}を、シンボルビットy_4に、
符号ビットb_{11}を、シンボルビットy_0に、
それぞれ割り当てる入れ替えを行う。

[0503] 図95は、変調方式が256QAMであり、かつ、LDPC符号が、符号長Nが64800ビットで、符号化率が3/5以外のLDPC符号であり、倍数bが2である場合に採用することができるビット割り当てパターンの例を示している。

[0504] LDPC符号が、符号長Nが64800ビットで、符号化率が3/5以外のLDPC符号であり、

さらに、変調方式が256QAMで、倍数bが2である場合、デマルチプレクサ25では、カラム方向×ロウ方向が(64800/(8×2))×(8×2)ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、8×2(=mb)ビット単位で読み出され、入れ替え部32に供給される。

[0505] 入れ替え部32は、メモリ31から読み出される8×2(=mb)ビットの符号ビットb_0ないしb_{15}を、図95に示すように、連続する2(=b)個のシンボルの8×2(=mb)ビットのシンボルビットy_0ないしy_{15}に割り当てるように、8×2(=mb)ビットの符号ビットb_0ないしb_{15}を入れ替える。

[0506] すなわち、図95によれば、入れ替え部32は、

符号ビットb_0を、シンボルビットy_{15}に、
符号ビットb_1を、シンボルビットy_1に、
符号ビットb_2を、シンボルビットy_{13}に、
符号ビットb_3を、シンボルビットy_3に、
符号ビットb_4を、シンボルビットy_8に、
符号ビットb_5を、シンボルビットy_{11}に、
符号ビットb_6を、シンボルビットy_9に、
符号ビットb_7を、シンボルビットy_5に、
符号ビットb_8を、シンボルビットy_{10}に、
符号ビットb_9を、シンボルビットy_6に、
符号ビットb_{10}を、シンボルビットy_4に、
符号ビットb_{11}を、シンボルビットy_7に、
符号ビットb_{12}を、シンボルビットy_{12}に、
符号ビットb_{13}を、シンボルビットy_2に、
符号ビットb_{14}を、シンボルビットy_{14}に、
符号ビットb_{15}を、シンボルビットy_0に、
それぞれ割り当てる入れ替えを行う。

[0507] 図96は、変調方式が256QAMであり、かつ、LDPC符号が、符号長Nが16200ビットで、符号化率が3/5以外のLDPC符号であり、倍数bが1である場合に採用することが

できるビット割り当てパターンの例を示している。

[0508] LDPC符号が、符号長Nが16200ビットで、符号化率が3/5以外のLDPC符号であり、さらに、変調方式が256QAMで、倍数bが1である場合、デマルチプレクサ25では、カラム方向×ロウ方向が(16200/(8×1))×(8×1)ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、8×1(=mb)ビット単位で読み出され、入れ替え部32に供給される。

[0509] 入れ替え部32は、メモリ31から読み出される8×1(=mb)ビットの符号ビットb_0ないしb_7を、図96に示すように、1(=b)個のシンボルの8×1(=mb)ビットのシンボルビットy_0ないしy_7に割り当てるように、8×1(=mb)ビットの符号ビットb_0ないしb_7を入れ替える。

[0510] すなわち、図96によれば、入れ替え部32は、

符号ビットb_0を、シンボルビットy_7に、
符号ビットb_1を、シンボルビットy_3に、
符号ビットb_2を、シンボルビットy_1に、
符号ビットb_3を、シンボルビットy_5に、
符号ビットb_4を、シンボルビットy_2に、
符号ビットb_5を、シンボルビットy_6に、
符号ビットb_6を、シンボルビットy_4に、
符号ビットb_7を、シンボルビットy_0に、
それぞれ割り当てる入れ替えを行う。

[0511] 図97は、LDPC符号が、符号長Nが16200又は64800ビットで、符号化率が3/5のLDPC符号であり、さらに、変調方式がQPSKで、倍数bが1である場合に採用することができるビット割り当てパターンの例を示している。

[0512] LDPC符号が、符号長Nが16200又は64800ビットで、符号化率が3/5のLDPC符号であり、さらに、変調方式がQPSKで、倍数bが1である場合、デマルチプレクサ25では、カラム方向×ロウ方向が(N/(2×1))×(2×1)ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、2×1(=mb)ビット単位で読み出され、入れ替え部32に供給される。

[0513] 入れ替え部32は、メモリ31から読み出される2×1(=mb)ビットの符号ビットb_0及びb_1

を、図97に示すように、1(=b)個のシンボルの2×1(=mb)ビットのシンボルビットy_0及びy_1に割り当てるように、2×1(=mb)ビットの符号ビットb_0及びb_1を入れ替える。

[0514] すなわち、図97によれば、入れ替え部32は、

符号ビットb_0を、シンボルビットy_0に、

符号ビットb_1を、シンボルビットy_1に、

それぞれ割り当てる入れ替えを行う。

[0515] なお、この場合、入れ替えは行われず、符号ビットb_0及びb_1が、それぞれ、そのまま、シンボルビットy_0及びy_1とされると考えることもできる。

[0516] 図98は、LDPC符号が、符号長Nが64800ビットで、符号化率が3/5のLDPC符号であり、さらに、変調方式が16QAMで、倍数bが2である場合に採用することができるビット割り当てパターンの例を示している。

[0517] LDPC符号が、符号長Nが64800ビットで、符号化率が3/5のLDPC符号であり、さらに、変調方式が16QAMで、倍数bが2である場合、デマルチプレクサ25では、カラム方向×ロウ方向が(64800/(4×2))×(4×2)ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、4×2(=mb)ビット単位で読み出され、入れ替え部32に供給される。

[0518] 入れ替え部32は、メモリ31から読み出される4×2(=mb)ビットの符号ビットb_0ないしb_7を、図98に示すように、連続する2(=b)個のシンボルの4×2(=mb)ビットのシンボルビットy_0ないしy_7に割り当てるように、4×2(=mb)ビットの符号ビットb_0ないしb_7を入れ替える。

[0519] すなわち、図98によれば、入れ替え部32は、

符号ビットb_0を、シンボルビットy_0に、

符号ビットb_1を、シンボルビットy_5に、

符号ビットb_2を、シンボルビットy_1に、

符号ビットb_3を、シンボルビットy_2に、

符号ビットb_4を、シンボルビットy_4に、

符号ビットb_5を、シンボルビットy_7に、

符号ビットb_6を、シンボルビットy_3に、

符号ビットb_7を、シンボルビットy_6に、

それぞれ割り当てる入れ替えを行う。

[0520] 図99は、LDPC符号が、符号長Nが16200ビットで、符号化率が3/5のLDPC符号であり、さらに、変調方式が16QAMで、倍数bが2である場合に採用することができるビット割り当てパターンの例を示している。

[0521] LDPC符号が、符号長Nが16200ビットで、符号化率が3/5のLDPC符号であり、さらに、変調方式が16QAMで、倍数bが2である場合、デマルチプレクサ25では、カラム方向×ロウ方向が(16200/(4×2))×(4×2)ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、4×2(=mb)ビット単位で読み出され、入れ替え部32に供給される。

[0522] 入れ替え部32は、メモリ31から読み出される4×2(=mb)ビットの符号ビットb_0ないしb_7を、図99に示すように、連続する2(=b)個のシンボルの4×2(=mb)ビットのシンボルビットy_0ないしy_7に割り当てるように、4×2(=mb)ビットの符号ビットb_0ないしb_7を入れ替える。

[0523] すなわち、図99によれば、入れ替え部32は、

符号ビットb_0を、シンボルビットy_7に、
符号ビットb_1を、シンボルビットy_1に、
符号ビットb_2を、シンボルビットy_4に、
符号ビットb_3を、シンボルビットy_2に、
符号ビットb_4を、シンボルビットy_5に、
符号ビットb_5を、シンボルビットy_3に、
符号ビットb_6を、シンボルビットy_6に、
符号ビットb_7を、シンボルビットy_0に、
それぞれ割り当てる入れ替えを行う。

[0524] 図100は、変調方式が64QAMであり、かつ、LDPC符号が、符号長Nが64800ビットで、符号化率が3/5のLDPC符号であり、倍数bが2である場合に採用することができるビット割り当てパターンの例を示している。

[0525] LDPC符号が、符号長Nが64800ビットで、符号化率が3/5のLDPC符号であり、さらに、変調方式が64QAMで、倍数bが2である場合、デマルチプレクサ25では、カラム方向×ロウ方向が(64800/(6×2))×(6×2)ビットのメモリ31に書き込まれた符号ビット

が、ロウ方向に、6×2(=mb)ビット単位で読み出され、入れ替え部32に供給される。

[0526] 入れ替え部32は、メモリ31から読み出される6×2(=mb)ビットの符号ビットb_0ないしb_1を、図100に示すように、連続する2(=b)個のシンボルの6×2(=mb)ビットのシンボルビットy_0ないしy_{11}に割り当てるように、6×2(=mb)ビットの符号ビットb_0ないしb_{11}を入れ替える。

[0527] すなわち、図100によれば、入れ替え部32は、

符号ビットb_0を、シンボルビットy_2に、
符号ビットb_1を、シンボルビットy_7に、
符号ビットb_2を、シンボルビットy_6に、
符号ビットb_3を、シンボルビットy_9に、
符号ビットb_4を、シンボルビットy_0に、
符号ビットb_5を、シンボルビットy_3に、
符号ビットb_6を、シンボルビットy_1に、
符号ビットb_7を、シンボルビットy_8に、
符号ビットb_8を、シンボルビットy_4に、
符号ビットb_9を、シンボルビットy_{11}に、
符号ビットb_{10}を、シンボルビットy_5に、
符号ビットb_{11}を、シンボルビットy_{10}に、
それぞれ割り当てる入れ替えを行う。

[0528] 図101は、変調方式が64QAMであり、かつ、LDPC符号が、符号長Nが16200ビットで、符号化率が3/5のLDPC符号であり、倍数bが2である場合に採用することができるビット割り当てパターンの例を示している。

[0529] LDPC符号が、符号長Nが16200ビットで、符号化率が3/5のLDPC符号であり、さらに、変調方式が64QAMで、倍数bが2である場合、デマルチプレクサ25では、カラム方向×ロウ方向が(16200/(6×2))×(6×2)ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、6×2(=mb)ビット単位で読み出され、入れ替え部32に供給される。

[0530] 入れ替え部32は、メモリ31から読み出される6×2(=mb)ビットの符号ビットb_0ないしb_1を、図101に示すように、連続する2(=b)個のシンボルの6×2(=mb)ビットのシンボル

ビットy_0ないしy_{11}に割り当てるように、6×2(=mb)ビットの符号ビットb_0ないしb_{11}を入れ替える。

[0531] すなわち、図101によれば、入れ替え部32は、

符号ビットb_0を、シンボルビットy_{11}に、
符号ビットb_1を、シンボルビットy_7に、
符号ビットb_2を、シンボルビットy_3に、
符号ビットb_3を、シンボルビットy_{10}に、
符号ビットb_4を、シンボルビットy_6に、
符号ビットb_5を、シンボルビットy_2に、
符号ビットb_6を、シンボルビットy_9に、
符号ビットb_7を、シンボルビットy_5に、
符号ビットb_8を、シンボルビットy_1に、
符号ビットb_9を、シンボルビットy_8に、
符号ビットb_{10}を、シンボルビットy_4に、
符号ビットb_{11}を、シンボルビットy_0に、
それぞれ割り当てる入れ替えを行う。

[0532] 図102は、変調方式が256QAMであり、かつ、LDPC符号が、符号長Nが64800ビットで、符号化率が3/5のLDPC符号であり、倍数bが2である場合に採用することができるビット割り当てパターンの例を示している。

[0533] LDPC符号が、符号長Nが64800ビットで、符号化率が3/5のLDPC符号であり、さらに、変調方式が256QAMで、倍数bが2である場合、デマルチプレクサ25では、カラム方向×ロウ方向が(64800/(8×2))×(8×2)ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、8×2(=mb)ビット単位で読み出され、入れ替え部32に供給される。

[0534] 入れ替え部32は、メモリ31から読み出される8×2(=mb)ビットの符号ビットb_0ないしb_{15}を、図102に示すように、連続する2(=b)個のシンボルの8×2(=mb)ビットのシンボルビットy_0ないしy_{15}に割り当てるように、8×2(=mb)ビットの符号ビットb_0ないしb_{15}を入れ替える。

[0535] すなわち、図102によれば、入れ替え部32は、

符号ビットb_0を、シンボルビットy_2に、

符号ビットb_1を、シンボルビットy_{11}に、

符号ビットb_2を、シンボルビットy_3に、

符号ビットb_3を、シンボルビットy_4に、

符号ビットb_4を、シンボルビットy_0に、

符号ビットb_5を、シンボルビットy_9に、

符号ビットb_6を、シンボルビットy_1に、

符号ビットb_7を、シンボルビットy_8に、

符号ビットb_8を、シンボルビットy_{10}に、

符号ビットb_9を、シンボルビットy_{13}に、

符号ビットb_{10}を、シンボルビットy_7に、

符号ビットb_{11}を、シンボルビットy_{14}に、

符号ビットb_{12}を、シンボルビットy_6に、

符号ビットb_{13}を、シンボルビットy_{15}に、

符号ビットb_{14}を、シンボルビットy_5に、

符号ビットb_{15}を、シンボルビットy_{12}に、

それぞれ割り当てる入れ替えを行う。

[0536] 図103は、変調方式が256QAMであり、かつ、LDPC符号が、符号長Nが16200ビットで、符号化率が3/5のLDPC符号であり、倍数bが1である場合に採用することができるビット割り当てパターンの例を示している。

[0537] LDPC符号が、符号長Nが16200ビットで、符号化率が3/5のLDPC符号であり、さらに、変調方式が256QAMで、倍数bが1である場合、デマルチプレクサ25では、カラム方向×ロウ方向が(16200/(8×1))×(8×1)ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、8×1(=mb)ビット単位で読み出され、入れ替え部32に供給される。

[0538] 入れ替え部32は、メモリ31から読み出される8×1(=mb)ビットの符号ビットb_0ないしb_7を、図103に示すように、1(=b)個のシンボルの8×1(=mb)ビットのシンボルビットy_0ないしy_7に割り当てるように、8×1(=mb)ビットの符号ビットb_0ないしb_7を入れ替える。

[0539] すなわち、図103によれば、入れ替え部32は、

符号ビットb_0を、シンボルビットy_7に、

符号ビットb_1を、シンボルビットy_3に、

符号ビットb_2を、シンボルビットy_1に、

符号ビットb_3を、シンボルビットy_5に、

符号ビットb_4を、シンボルビットy_2に、

符号ビットb_5を、シンボルビットy_6に、

符号ビットb_6を、シンボルビットy_4に、

符号ビットb_7を、シンボルビットy_0に、

それぞれ割り当てる入れ替えを行う。

[0540] 次に、受信装置12を構成するデインターリーバ53について説明する。

[0541] 図104は、デインターリーバ53を構成するマルチプレクサ54の処理を説明する図である。

[0542] すなわち、図104のAは、マルチプレクサ54の機能的な構成例を示している。

[0543] マルチプレクサ54は、逆入れ替え部1001、及びメモリ1002から構成される。

[0544] マルチプレクサ54は、前段のデマッピング部52から供給されるシンボルのシンボルビットを対象として、送信装置11のデマルチプレクサ25が行う入れ替え処理に対応する逆入れ替え処理(入れ替え処理の逆の処理)、すなわち、入れ替え処理によって入れ替えられたLDPC符号の符号ビット(シンボルビット)の位置を元の位置に戻す逆入れ替え処理を行い、その結果得られるLDPC符号を、後段のカラムツイストデインターリーバ55に供給する。

[0545] すなわち、マルチプレクサ54において、逆入れ替え部1001には、(連続する)b個のシンボルの単位で、そのb個のシンボルのmbビットのシンボルビット$y_0, y_1, \cdots, y_{mb-1}$が供給される。

[0546] 逆入れ替え部1001は、mbビットのシンボルビットy_0ないしy_{mb-1}を、元のmbビットの符号ビット$b_0, b_1, \cdots, b_{mb-1}$の並び(送信装置11側のデマルチプレクサ25を構成する入れ替え部32での入れ替えが行われる前の符号ビットb_0ないしb_{mb-1}の並び)に戻す逆入れ替えを行い、その結果得られるmbビットの符号ビットb_0ないしb_{mb-1}を出力する。

[0547] メモリ1002は、送信装置11側のデマルチプレクサ25を構成するメモリ31と同様に

、ロウ(row)(横)方向にmbビットを記憶するとともに、カラム(column)(縦)方向にN/(mb)ビットを記憶する記憶容量を有する。すなわち、メモリ1002は、N/(mb)ビットを記憶するmb個のカラムから構成される。

[0548] 但し、メモリ1002では、送信装置11のデマルチプレクサ25のメモリ31からの符号ビットの読み出しが行われる方向に、逆入れ替え部1001が出力するLDPC符号の符号ビットの書き込みが行われ、メモリ31への符号ビットの書き込みが行われる方向に、メモリ1002に書き込まれた符号ビットの読み出しが行われる。

[0549] すなわち、受信装置12のマルチプレクサ54では、図104のAに示すように、逆入れ替え部1001が出力するLDPC符号の符号ビットを、mbビット単位で、ロウ方向に書き込むことが、メモリ1002の1行目から下の行に向かって順次行われる。

[0550] そして、1符号長分の符号ビットの書き込みが終了すると、マルチプレクサ54では、メモリ1002から、符号ビットを、カラム方向に読み出して、後段のカラムツイストデインターリーバ55に供給する。

[0551] ここで、図104のBは、メモリ1002からの符号ビットの読み出しを示す図である。

[0552] マルチプレクサ54では、LDPC符号の符号ビットを、メモリ1002を構成するカラムの上から下方向(カラム方向)に読み出すことが、左から右方向のカラムに向かって行われる。

[0553] 次に、図105を参照して、受信装置12におけるデインターリーバ53を構成するカラムツイストデインターリーバ55の処理を説明する。

[0554] 図105は、マルチプレクサ54のメモリ1002の構成例を示している。

[0555] メモリ1002は、カラム(縦)方向にmbビットを記憶するとともに、ロウ(横)方向にN/(mb)ビットを記憶する記憶容量を有し、mb個のカラムから構成される。

[0556] カラムツイストデインターリーバ55は、メモリ1002に対して、LDPC符号の符号ビットを、ロウ方向に書き込み、カラム方向に読み出すときの読み出し始めの位置を制御することで、カラムツイストデインターリーブを行う。

[0557] すなわち、カラムツイストデインターリーバ55では、複数のカラムそれぞれについて、符号ビットの読み出しを開始する読み出し始めの位置を、適宜変更することで、カラムツイストインターリーブで並び替えられた符号ビットの並びを、元の並びに戻す逆並

び替え処理を行う。

[0558] ここで、図105は、変調方式が16QAMであり、かつ、倍数bが1である場合の、メモリ1002の構成例を示している。したがって、1シンボルのビット数mは、4ビットであり、また、メモリ1002は、4(=mb)個のカラムで構成される。

[0559] カラムツイストデインターリーバ55は、(マルチプレクサ54に代わり、)入れ替え部1001が出力するLDPC符号の符号ビットのロウ方向への書き込みを、メモリ1002の1行目から下の行に向かって順次行う。

[0560] そして、1符号長分の符号ビットの書き込みが終了すると、カラムツイストデインターリーバ55は、符号ビットを、メモリ1002の上から下方向(カラム方向)に読み出すことを、左から右方向のカラムに向かって行う。

[0561] 但し、カラムツイストデインターリーバ55は、送信装置11側のカラムツイストインターリーバ24が符号ビットを書き込む書き始めの位置を、符号ビットの読み出し始めの位置として、メモリ1002からの符号ビットの読み出しを行う。

[0562] すなわち、各カラムの先頭(一番上)の位置のアドレスを0として、カラム方向の各位置のアドレスを、昇順の整数で表すこととすると、変調方式が16QAMであり、かつ、倍数bが1である場合には、カラムツイストデインターリーバ55では、最も左のカラムについては、読み出し始めの位置を、アドレスが0の位置とし、(左から)2番目のカラムについては、読み出し始めの位置を、アドレスが2の位置とし、3番目のカラムについては、読み出し始めの位置を、アドレスが4の位置とし、4番目のカラムについては、読み出し始めの位置を、アドレスが7の位置とする。

[0563] なお、読み出し始めの位置が、アドレスが0の位置以外の位置のカラムについては、符号ビットの読み出しを、最も下の位置まで行った後は、先頭(アドレスが0の位置)に戻り、読み出し始めの位置の直前の位置までの読み出しが行われる。そして、その後、次(右)のカラムからの読み出しが行われる。

[0564] 以上のようなカラムツイストデインターリーブを行うことにより、カラムツイストインターリーブで並び替えられた符号ビットの並びが、元の並びに戻される。

[0565] 次に、図106は、受信装置12の他の構成例を示すブロック図である。

[0566] 図106において、受信装置12は、送信装置11からの変調信号を受信するデータ

処理装置であり、直交復調部51、デマッピング部52、デインターリーバ53、及びLDPC復号部1021から構成される。

[0567] 直交復調部51は、送信装置11からの変調信号を受信し、直交復調を行って、その結果得られるシンボル(I及びQ軸方向それぞれの値)を、デマッピング部52に供給する。

[0568] デマッピング部52は、直交復調部51からのシンボルを、LDPC符号の符号ビットにするデマッピングを行い、デインターリーバ53に供給する。

[0569] デインターリーバ53は、マルチプレクサ(MUX)54、カラムツイストデインターリーバ55、及び、パリティデインターリーバ1011から構成され、デマッピング部52からのLDPC符号の符号ビットのデインターリーブを行う。

[0570] すなわち、マルチプレクサ54は、デマッピング部52からのLDPC符号を対象として、送信装置11のデマルチプレクサ25が行う入れ替え処理に対応する逆入れ替え処理(入れ替え処理の逆の処理)、すなわち、入れ替え処理によって入れ替えられた符号ビットの位置を元の位置に戻す逆入れ替え処理を行い、その結果得られるLDPC符号を、カラムツイストデインターリーバ55に供給する。

[0571] カラムツイストデインターリーバ55は、マルチプレクサ54からのLDPC符号を対象として、送信装置11のカラムツイストインターリーバ24が行う並び替え処理としてのカラムツイストインターリーブに対応するカラムツイストデインターリーブを行う。

[0572] カラムツイストデインターリーブの結果得られるLDPC符号は、カラムツイストデインターリーバ55からパリティデインターリーバ1011に供給される。

[0573] パリティデインターリーバ1011は、カラムツイストデインターリーバ55でのカラムツイストデインターリーブ後の符号ビットを対象として、送信装置11のパリティインターリーバ23が行うパリティインターリーブに対応するパリティデインターリーブ(パリティインターリーブの逆の処理)、すなわち、パリティインターリーブによって並びが変更されたLDPC符号の符号ビットを、元の並びに戻すパリティデインターリーブを行う。

[0574] パリティデインターリーブの結果得られるLDPC符号は、パリティデインターリーバ1011からLDPC復号部1021に供給される。

[0575] したがって、図106の受信装置12では、LDPC復号部1021には、逆入れ替え処理

、カラムツイストデインターリーブ、及び、パリティデインターリーブが行われたLDPC符号、すなわち、検査行列Hに従ったLDPC符号化によって得られるLDPC符号が供給される。

[0576] LDPC復号部1021は、デインターリーバ53からのLDPC符号のLDPC復号を、送信装置11のLDPC符号化部21がLDPC符号化に用いた検査行列Hそのもの、又は、その検査行列Hに対して、パリティインターリーブに相当する列置換を少なくとも行って得られる変換検査行列を用いて行い、その結果得られるデータを、対象データの復号結果として出力する。

[0577] ここで、図106の受信装置12では、デインターリーバ53(のパリティデインターリーバ1011)からLDPC復号部1021に対して、検査行列Hに従ったLDPC符号化によって得られるLDPC符号が供給されるため、そのLDPC符号のLDPC復号を、送信装置11のLDPC符号化部21がLDPC符号化に用いた検査行列Hそのものを用いて行う場合には、LDPC復号部1021は、例えば、メッセージ(チェックノードメッセージ、バリバブルノードメッセージ)の演算を1個のノードずつ順次行うフルシリアルデコーディング(full serial decoding)方式によるLDPC復号を行う復号装置や、メッセージの演算をすべてのノードについて同時(並列)に行うフルパラレルデコーディング(full parallel decoding)方式によるLDPC復号を行う復号装置で構成することができる。

[0578] また、LDPC復号部1021において、LDPC符号のLDPC復号を、送信装置11のLDPC符号化部21がLDPC符号化に用いた検査行列Hに対して、パリティインターリーブに相当する列置換を少なくとも行って得られる変換検査行列を用いて行う場合には、チェックノード演算、及びバリアブルノード演算を、P(又はPの1以外の約数)個同時に行うアーキテクチャ(architecture)の復号装置であって、変換検査行列を得るための列置換と同様の列置換を、LDPC符号に施すことにより、そのLDPC符号の符号ビットを並び替える受信データ並べ替え部310を有する復号装置で構成することができる。

[0579] なお、図106では、説明の便宜のため、逆入れ替え処理を行うマルチプレクサ54、カラムツイストデインターリーブを行うカラムツイストデインターリーバ55、及び、パリティデインターリーブを行うパリティデインターリーバ1011それぞれを、別個に構成する

ようにしたが、マルチプレクサ54、カラムツイストデインターリーバ55、及び、パリティデインターリーバ1011の2以上は、送信装置11のパリティインターリーバ23、カラムツイストインターリーバ24、及び、デマルチプレクサ25と同様に、一体的に構成することができる。

[0580] 次に、図107は、受信装置12に適用可能な受信システムの第1の構成例を示すブロック図である。

[0581] 図107において、受信システムは、取得部1101、伝送路復号処理部1102、及び、情報源復号処理部1103から構成される。

[0582] 取得部1101は、番組の画像データや音声データ等の対象データを、少なくともLDPC符号化することで得られるLDPC符号を含む信号を、例えば、地上ディジタル放送、衛星ディジタル放送、CATV網、インターネットその他のネットワーク等の、図示せぬ伝送路を介して取得し、伝送路復号処理部1102に供給する。

[0583] ここで、取得部1101が取得する信号が、例えば、放送局から、地上波や、衛星波、CATV(Cable Television)網等を介して放送されてくる場合には、取得部1101は、チューナやSTB(Set Top Box)等で構成される。また、取得部1101が取得する信号が、例えば、webサーバから、IPTV(Internet Protocol Television)のようにマルチキャストで送信されてくる場合には、取得部11は、例えば、NIC(Network Interface Card)等のネットワークI/F(Inter face)で構成される。

[0584] 伝送路復号処理部1102は、取得部1101が伝送路を介して取得した信号に対して、伝送路で生じる誤りを訂正する処理を少なくとも含む伝送路復号処理を施し、その結果得られる信号を、情報源復号処理部1103に供給する。

[0585] すなわち、取得部1101が伝送路を介して取得した信号は、伝送路で生じる誤りを訂正するための誤り訂正符号化を、少なくとも行うことで得られた信号であり、伝送路復号処理部1102は、そのような信号に対して、例えば、誤り訂正処理等の伝送路復号処理を施す。

[0586] ここで、誤り訂正符号化としては、例えば、LDPC符号化や、リードソロモン符号化等がある。ここでは、誤り訂正符号化として、少なくとも、LDPC符号化が行われている。

[0587] また、伝送路復号処理には、変調信号の復調等が含まれることがある。

[0588] 情報源復号処理部1103は、伝送路復号処理が施された信号に対して、圧縮された情報を元の情報に伸張する処理を少なくとも含む情報源復号処理を施す。

[0589] すなわち、取得部1101が伝送路を介して取得した信号には、情報としての画像や音声等のデータ量を少なくするために、情報を圧縮する圧縮符号化が施されていることがあり、その場合、情報源復号処理部1103は、伝送路復号処理が施された信号に対して、圧縮された情報を元の情報に伸張する処理(伸張処理)等の情報源復号処理を施す。

[0590] なお、取得部1101が伝送路を介して取得した信号に、圧縮符号化が施されていない場合には、情報源復号処理部1103では、圧縮された情報を元の情報に伸張する処理は行われない。

[0591] ここで、伸張処理としては、例えば、MPEGデコード等がある。また、伝送路復号処理には、伸張処理の他、デスクランブル等が含まれることがある。

[0592] 以上のように構成される受信システムでは、取得部1101において、例えば、画像や音声等のデータに対して、MPEG符号化等の圧縮符号化が施され、さらに、LDPC符号化等の誤り訂正符号化が施された信号が、伝送路を介して取得され、伝送路復号処理部1102に供給される。

[0593] 伝送路復号処理部1102では、取得部1101からの信号に対して、例えば、直交復調部51や、デマッピング部52、デインターリーバ53、LDPC復号部56(又はLDPC復号部1021)と同様の処理が、伝送路復号処理として施され、その結果得られる信号が、情報源復号処理部1103に供給される。

[0594] 情報源復号処理部1103では、伝送路復号処理部1102からの信号に対して、MPEGデコード等の情報源復号処理が施され、その結果得られる画像、又は音声が出力される。

[0595] 以上のような図107の受信システムは、例えば、ディジタル放送としてのテレビジョン放送を受信するテレビチューナ等に適用することができる。

[0596] なお、取得部1101、伝送路復号処理部1102、及び、情報源復号処理部1103は、それぞれ、1つの独立した装置(ハードウェア(IC(Integrated Circuit)等))、又はソフトウエアモジュール)として構成することが可能である。

[0597] また、取得部1101、伝送路復号処理部1102、及び、情報源復号処理部1103については、取得部1101と伝送路復号処理部1102とのセットや、伝送路復号処理部1102と情報源復号処理部1103とのセット、取得部1101、伝送路復号処理部1102、及び、情報源復号処理部1103のセットを、1つの独立した装置として構成することが可能である。

[0598] 図108は、受信装置12に適用可能な受信システムの第2の構成例を示すブロック図である。

[0599] なお、図中、図107の場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

[0600] 図108の受信システムは、取得部1101、伝送路復号処理部1102、及び、情報源復号処理部1103を有する点で、図107の場合と共通し、出力部1111が新たに設けられている点で、図107の場合と相違する。

[0601] 出力部1111は、例えば、画像を表示する表示装置や、音声を出力するスピーカであり、情報源復号処理部1103から出力される信号としての画像や音声等を出力する。すなわち、出力部1111は、画像を表示し、あるいは、音声を出力する。

[0602] 以上のような図108の受信システムは、例えば、ディジタル放送としてのテレビジョン放送を受信するTV(テレビジョン受像機)や、ラジオ放送を受信するラジオ受信機等に適用することができる。

[0603] なお、取得部1101において取得された信号に、圧縮符号化が施されていない場合には、伝送路復号処理部1102が出力する信号が、出力部1111に供給される。

[0604] 図109は、受信装置12に適用可能な受信システムの第3の構成例を示すブロック図である。

[0605] なお、図中、図107の場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

[0606] 図109の受信システムは、取得部1101、及び、伝送路復号処理部1102を有する点で、図107の場合と共通する。

[0607] 但し、図109の受信システムは、情報源復号処理部1103が設けられておらず、記録部1121が新たに設けられている点で、図107の場合と相違する。

[0608] 記録部1121は、伝送路復号処理部1102が出力する信号（例えば、MPEGのTSのTSパケット）を、光ディスクや、ハードディスク（磁気ディスク）、フラッシュメモリ等の記録（記憶）媒体に記録する（記憶させる）。

[0609] 以上のような図109の受信システムは、テレビジョン放送を録画するレコーダ等に適用することができる。

[0610] なお、図109において、受信システムは、情報源復号処理部1103を設けて構成し、情報源復号処理部1103で、情報源復号処理が施された後の信号、すなわち、デコードによって得られる画像や音声を、記録部1121で記録することができる。

00 097

請求の範囲

[1] データをインターリーブするデータ処理装置において、

LDPC(Low Density Parity Check)符号のパリティビットに対応する部分であるパリティ行列が階段構造になっている検査行列に従ったLDPC符号化を行うことにより得られるLDPC符号のパリティビットを、他のパリティビットの位置にインターリーブするパリティインターリーブを行うパリティインターリーブ手段を備える

データ処理装置。

[2] 前記LDPC符号のパリティビットのビット数Mは、素数以外の値であり、

前記パリティビットのビット数Mの1とM以外の約数のうちの2つの約数であり、かつ、積が前記パリティビットのビット数Mとなる2つの約数をP及びqと、

前記LDPC符号の情報ビットのビット数をKと、

0以上P未満の整数をxと、

0以上q未満の整数をyと、

それぞれするとき、

前記パリティインターリーブ手段は、前記LDPC符号のK+1ないしK+M番目の符号ビットであるパリティビットのうちの、K+qx+y+1番目の符号ビットを、K+Py+x+1番目の符号ビットの位置にインターリーブする

請求項1に記載のデータ処理装置。

[3] 前記LDPC符号が、そのLDPC符号の2ビット以上の符号ビットを1個のシンボルとして送信される場合において、

前記検査行列の任意の1行にある1に対応する複数の符号ビットが、同一のシンボルに含まれないように、前記パリティインターリーブ後のLDPC符号の符号ビットを並び替える並び替え処理を行う並び替え手段をさらに備える

請求項2に記載のデータ処理装置。

[4] 前記LDPC符号は、前記LDPC符号の検査行列のうちの、前記LDPC符号の情報ビットに対応する部分である情報行列が巡回構造になっているLDPC符号であり、

ロウ方向とカラム方向にLDPC符号の符号ビットを記憶する記憶手段の前記カラム方向に書き込まれ、前記ロウ方向に読み出される前記LDPC符号の符号ビットがシン

ボルとされる場合において、前記記憶手段の前記カラム方向に、前記LDPC符号の符号ビットが書き込まれるときの書き始めの位置を、前記記憶手段のカラムごとに変更するカラムツイストインターリーブを、前記LDPC符号の符号ビットを並び替える並び替え処理として行う並び替え手段をさらに備える

請求項2に記載のデータ処理装置。

[5] 前記LDPC符号の検査行列のうちの前記パリティ行列は、前記パリティインターリーブに相当する列置換によって、前記パリティ行列の一部を除く部分が巡回構造になっている擬似巡回構造になる

請求項4に記載のデータ処理装置。

[6] 前記LDPC符号のmビットの符号ビットが、1個のシンボルにされる場合において、

前記LDPC符号の符号長をNビットとするとともに、所定の正の整数をbとするとき、

前記記憶手段は、前記ロウ方向にmbビットを記憶するとともに、前記カラム方向にN/(mb)ビットを記憶し、

前記LDPC符号の符号ビットは、前記記憶手段の前記カラム方向に書き込まれ、その後、前記ロウ方向に読み出され、

前記記憶手段の前記ロウ方向に読み出されたmbビットの符号ビットが、b個のシンボルにされる

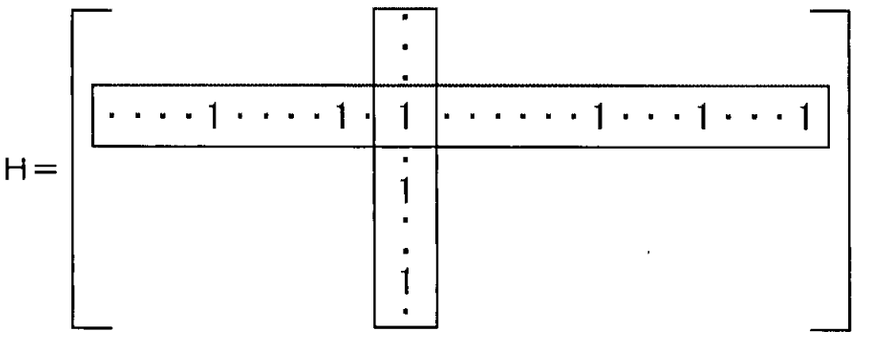
請求項5に記載のデータ処理装置。

[7] データをインターリーブするデータ処理装置のデータ処理方法において、

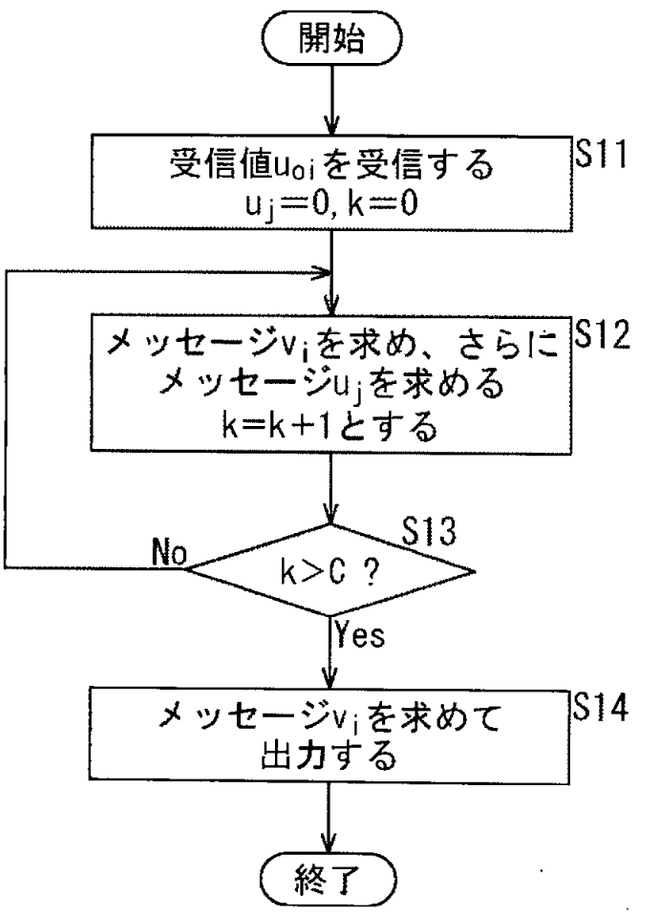
前記データ処理装置が、LDPC(Low Density Parity Check)符号のパリティビットに対応する部分であるパリティ行列が階段構造になっている検査行列に従ったLDPC符号化を行うことにより得られるLDPC符号のパリティビットを、他のパリティビットの位置にインターリーブするパリティインターリーブを行う

ステップを含むデータ処理方法。

[図1]
図1


H=

[図2]
図2


開始
受信値u_{oi}を受信する
u_j=0, k=0
S11
メッセージv_iを求め、さらに
メッセージu_jを求める
k=k+1とする
S12
S13
No
k>C ?
Yes
メッセージv_iを求めて
出力する
S14
終了

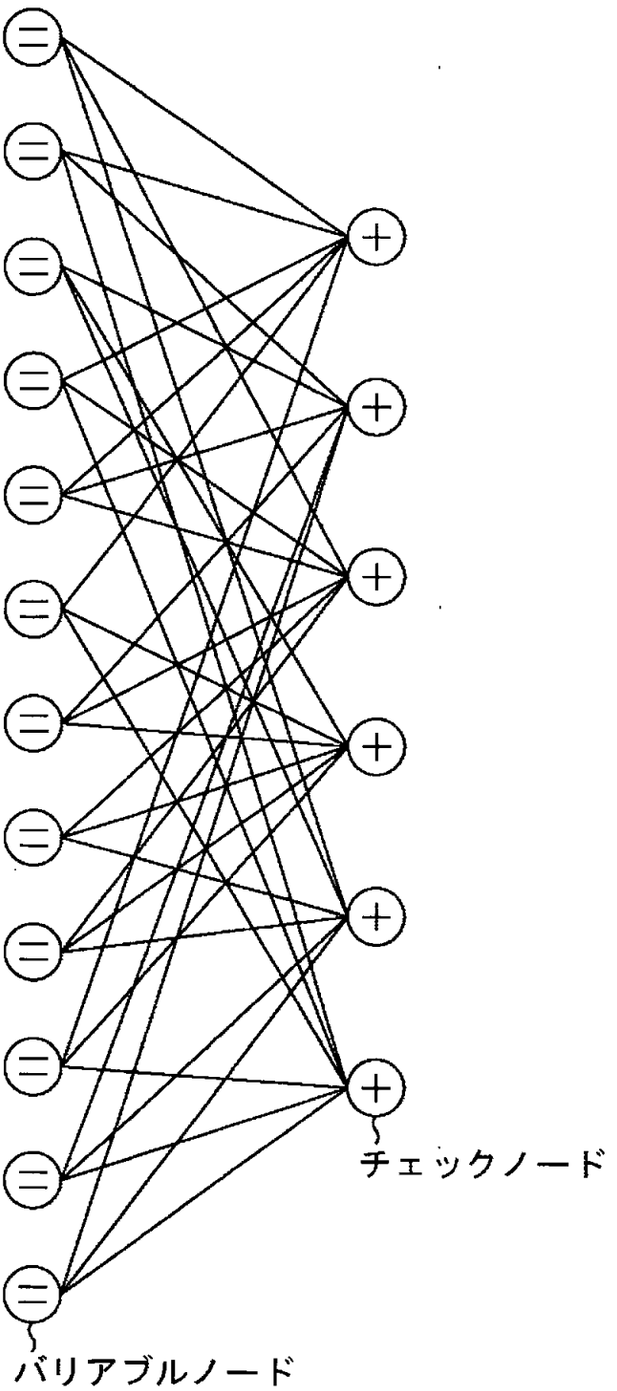
[図3]

図3

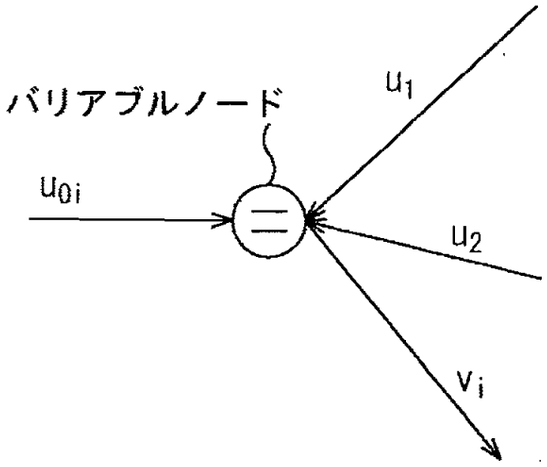
$$H = \begin{bmatrix} 1 & 1 & 1 & 0 & 0 & 0 & 1 & 0 & 1 & 1 & 0 & 0 \\ 1 & 1 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 1 & 1 \\ 0 & 0 & 1 & 1 & 1 & 1 & 1 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 1 & 1 & 0 & 1 & 1 & 0 & 0 & 1 \\ 1 & 1 & 0 & 0 & 0 & 1 & 0 & 1 & 0 & 1 & 1 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 1 & 1 & 1 & 0 & 1 & 1 \end{bmatrix}$$

[図4]

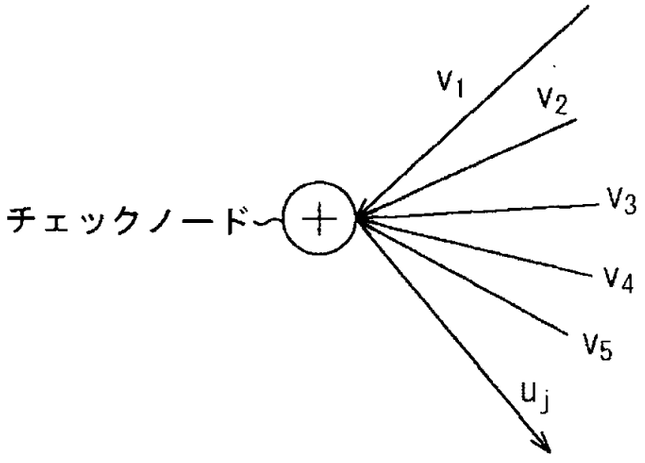
図4



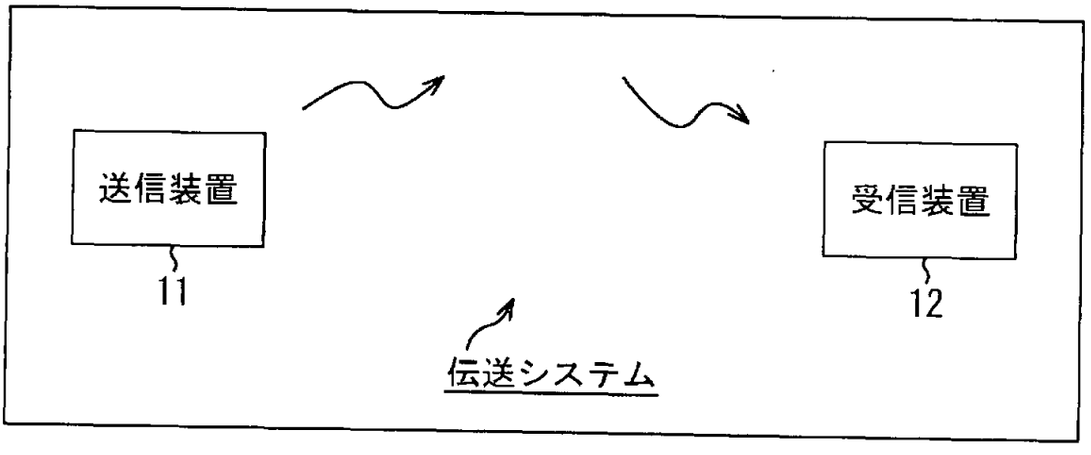
[図5]
図5



[図6]
図6

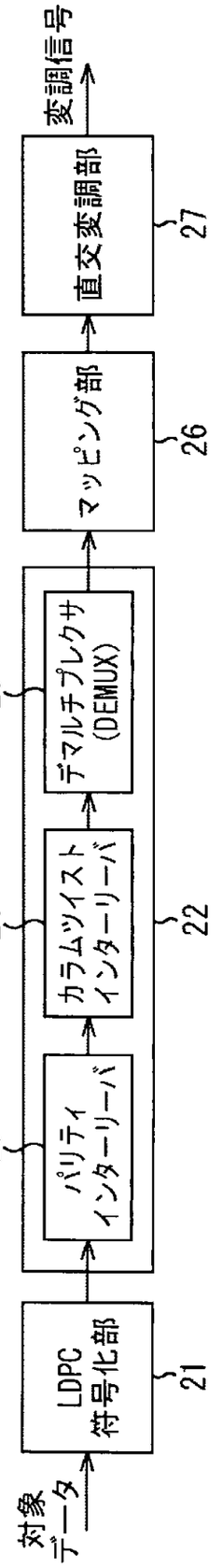


[図7]
図7



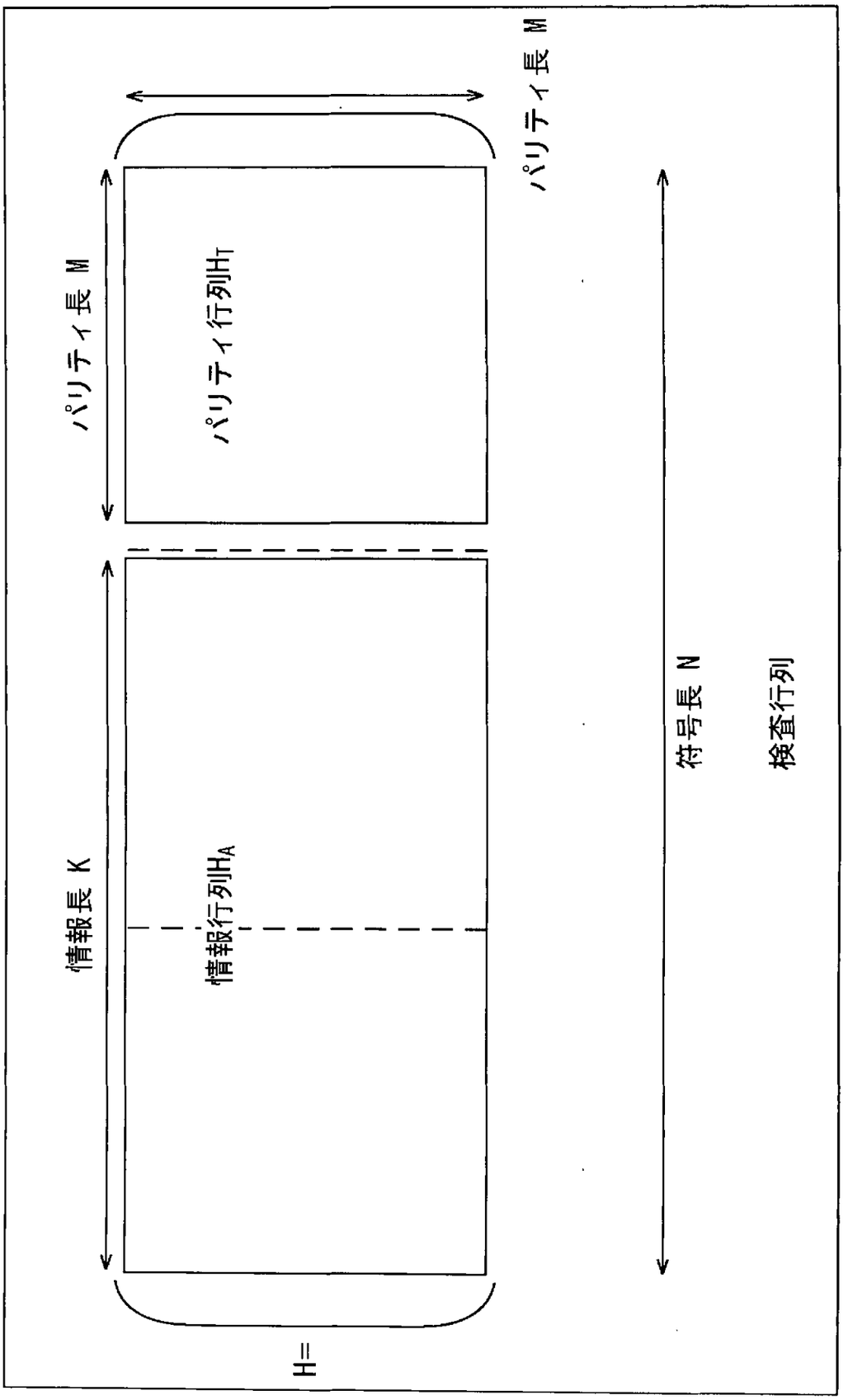
[図8]

図8

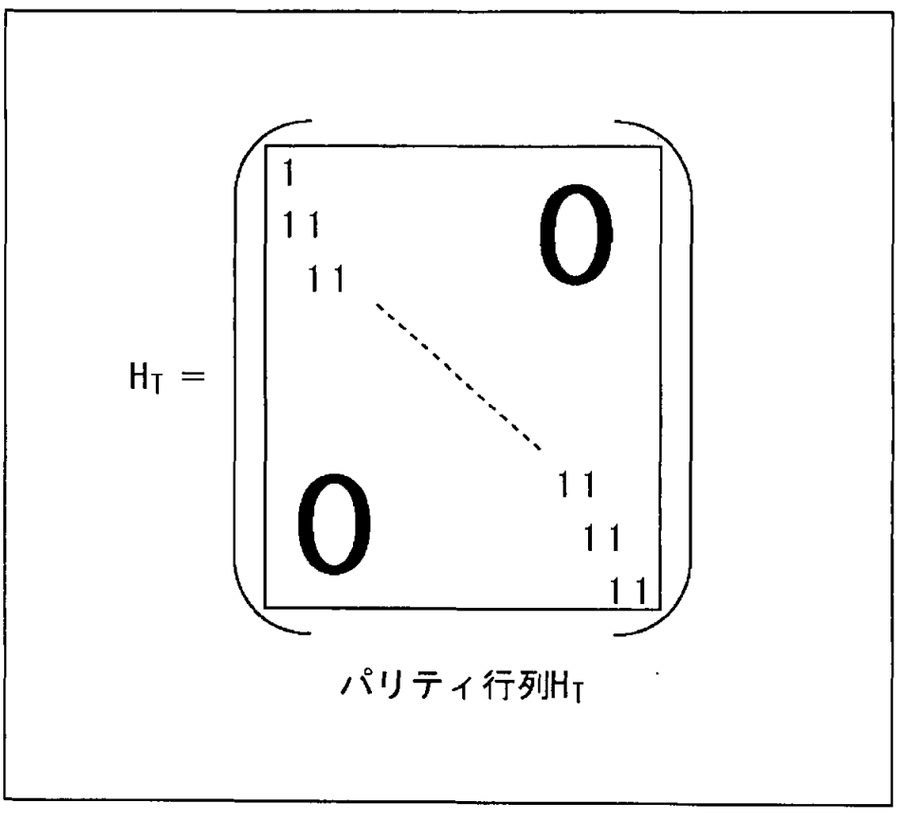

対象データ
LDPC符号化部
21
パリティインターリーバ
23
カラムツイストインターリーバ
24
デマルチプレクサ(DEMUX)
25
22
マッピング部
26
直交変調部
27
変調信号
11

[図9]

図9



[図10]
図10



パリティ行列H_T

[図11]

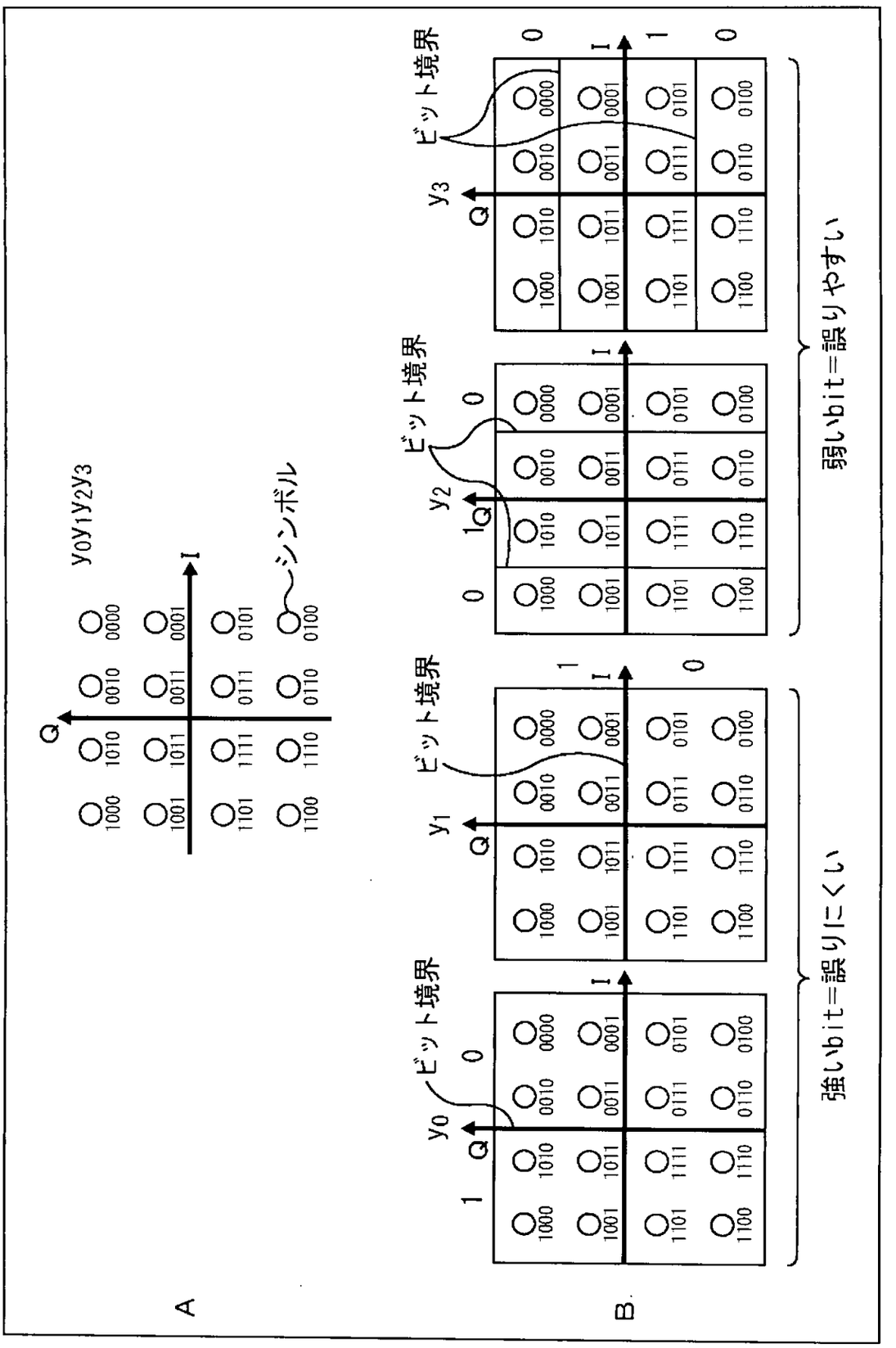
図11

B 各列重みの列数

	N=64800				N=16200			
Nominal 符号化率	X	KX	K3	M	x	KX	K3	M
1/4	12	5400	10800	48600	12	1440	1800	12960
1/3	12	7200	14400	43200	12	1800	3600	10800
2/5	12	8640	17280	38880	12	2160	4320	9720
1/2	8	12960	19440	32400	8	1800	5400	9000
3/5	12	12960	25920	25920	12	3240	6480	6480
2/3	13	4320	38880	21600	13	1080	9720	5400
3/4	12	5400	43200	16200	12	360	11520	4320
4/5	11	6480	45360	12960	-	0	12600	3600
5/6	13	5400	48600	10800	13	360	12960	2880
8/9	4	7200	50400	7200	4	1800	12600	1800
9/10	4	6480	51840	6480	---	---	---	---

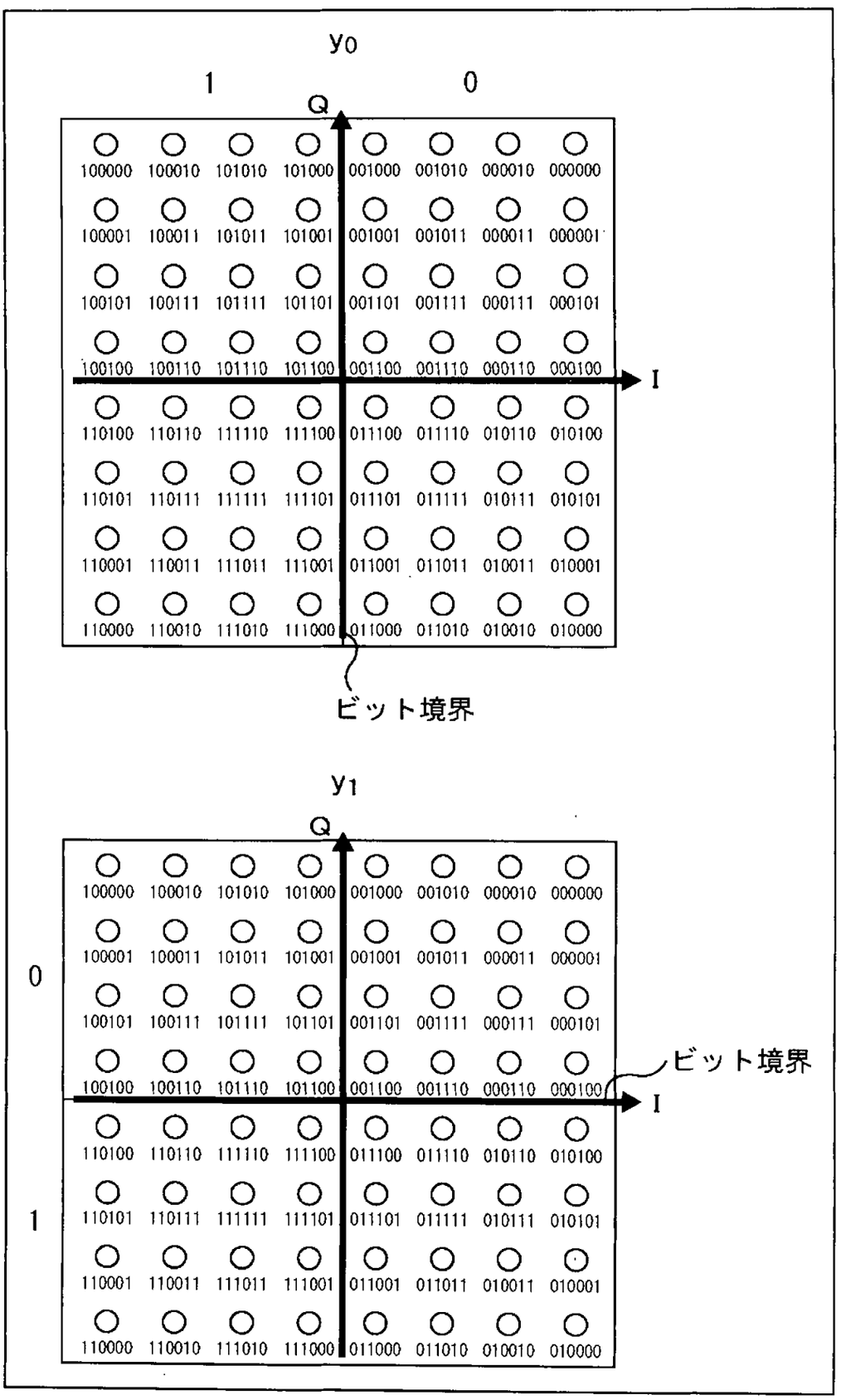
[図12]

図12



[図13]

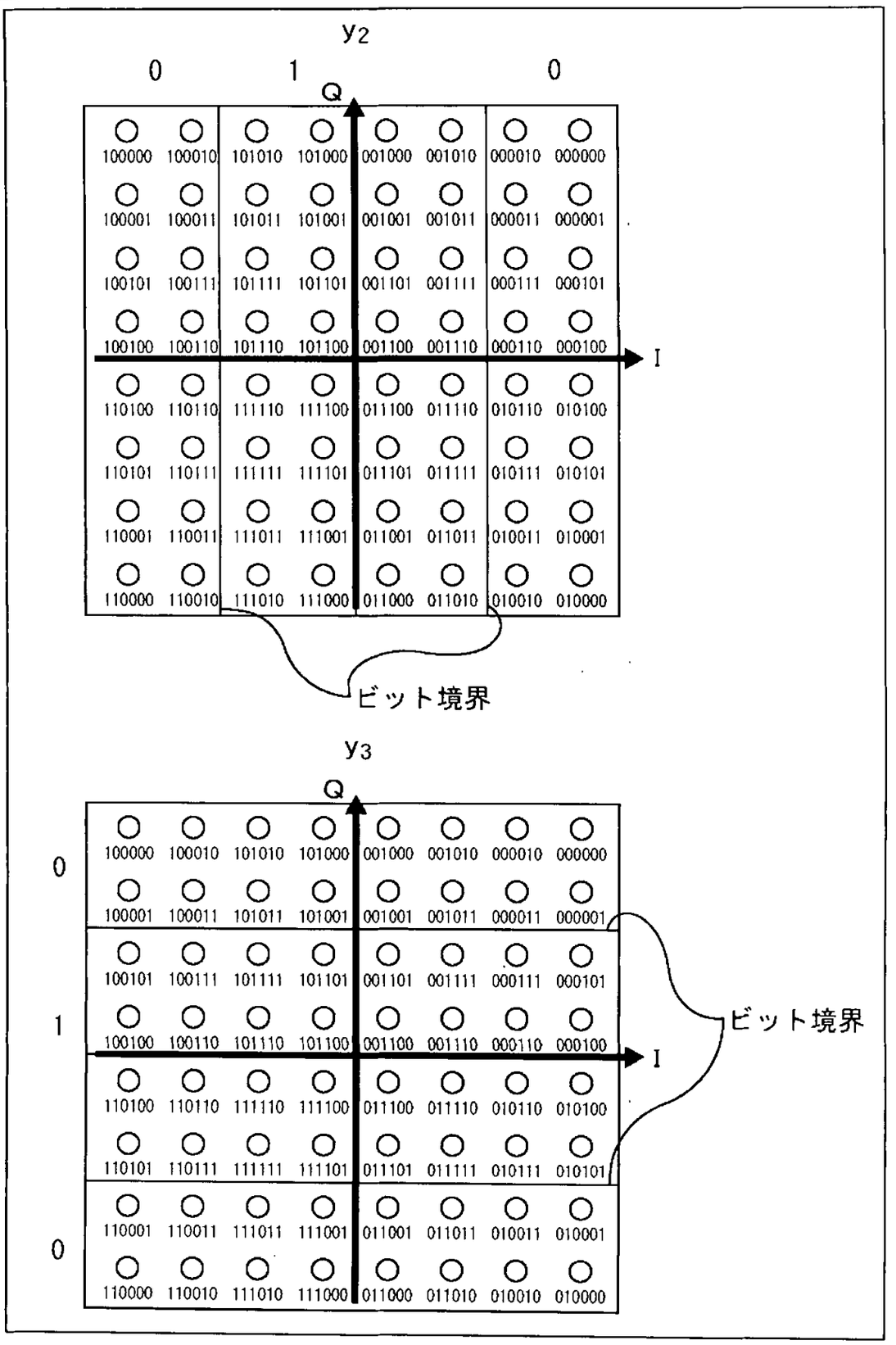
図13


y0
1
0
Q
I
100000 100010 101010 101000 001000 001010 000010 000000
100001 100011 101011 101001 001001 001011 000011 000001
100101 100111 101111 101101 001101 001111 000111 000101
100100 100110 101110 101100 001100 001110 000110 000100
110100 110110 111110 111100 011100 011110 010110 010100
110101 110111 111111 111101 011101 011111 010111 010101
110001 110011 111011 111001 011001 011011 010011 010001
110000 110010 111010 111000 011000 011010 010010 010000
ビット境界
y1
Q
0
1
I
ビット境界

00 109

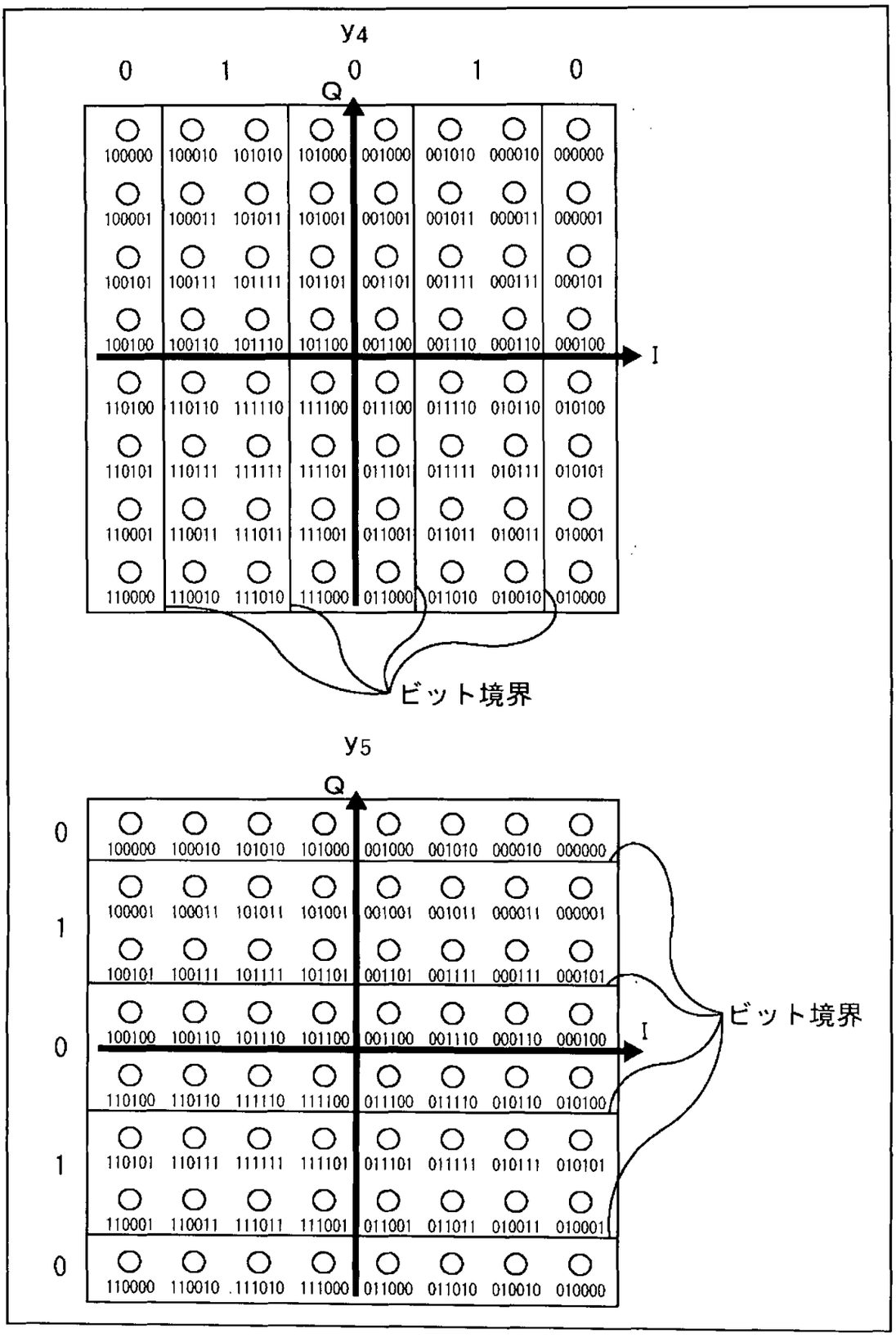
[図14]

図14



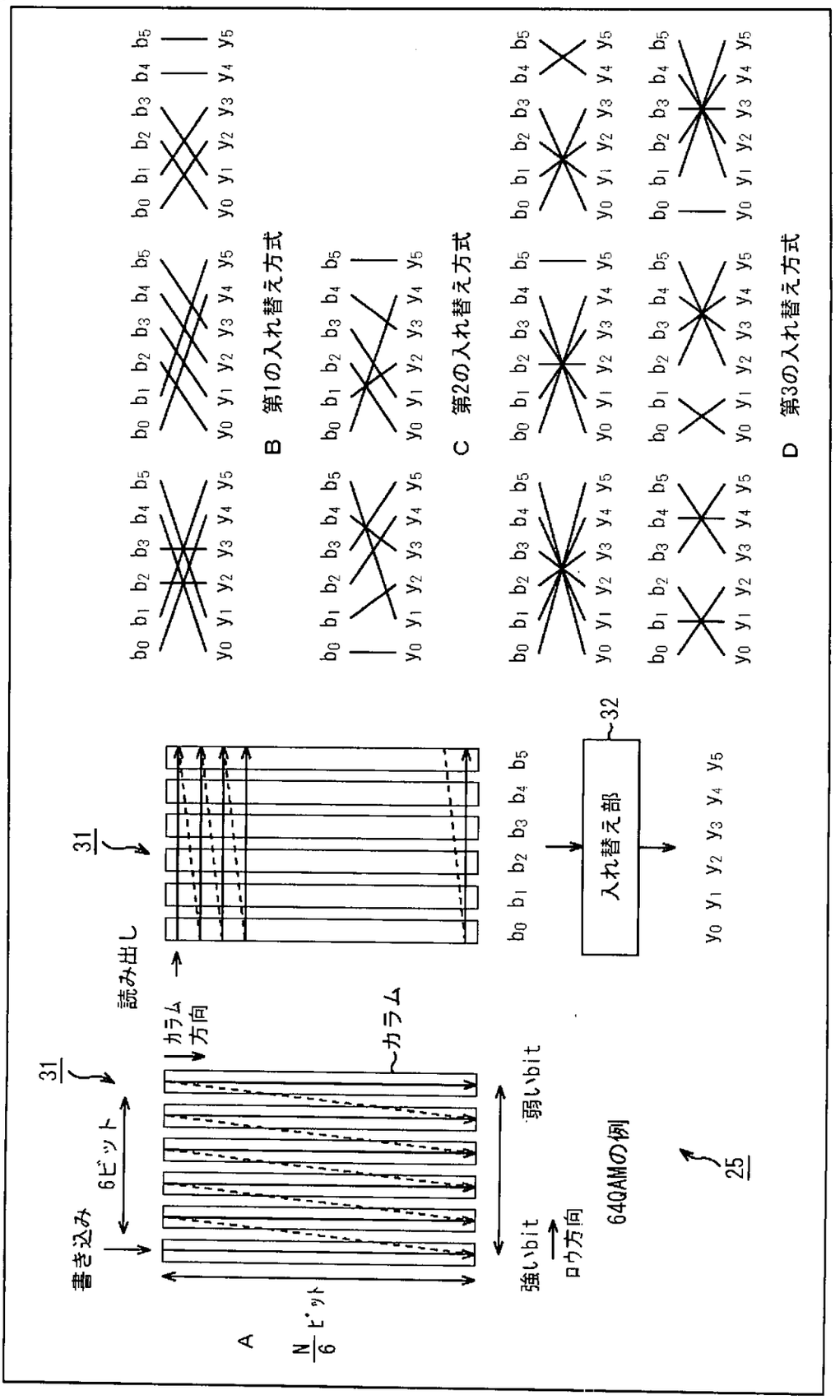
[図15]

図15

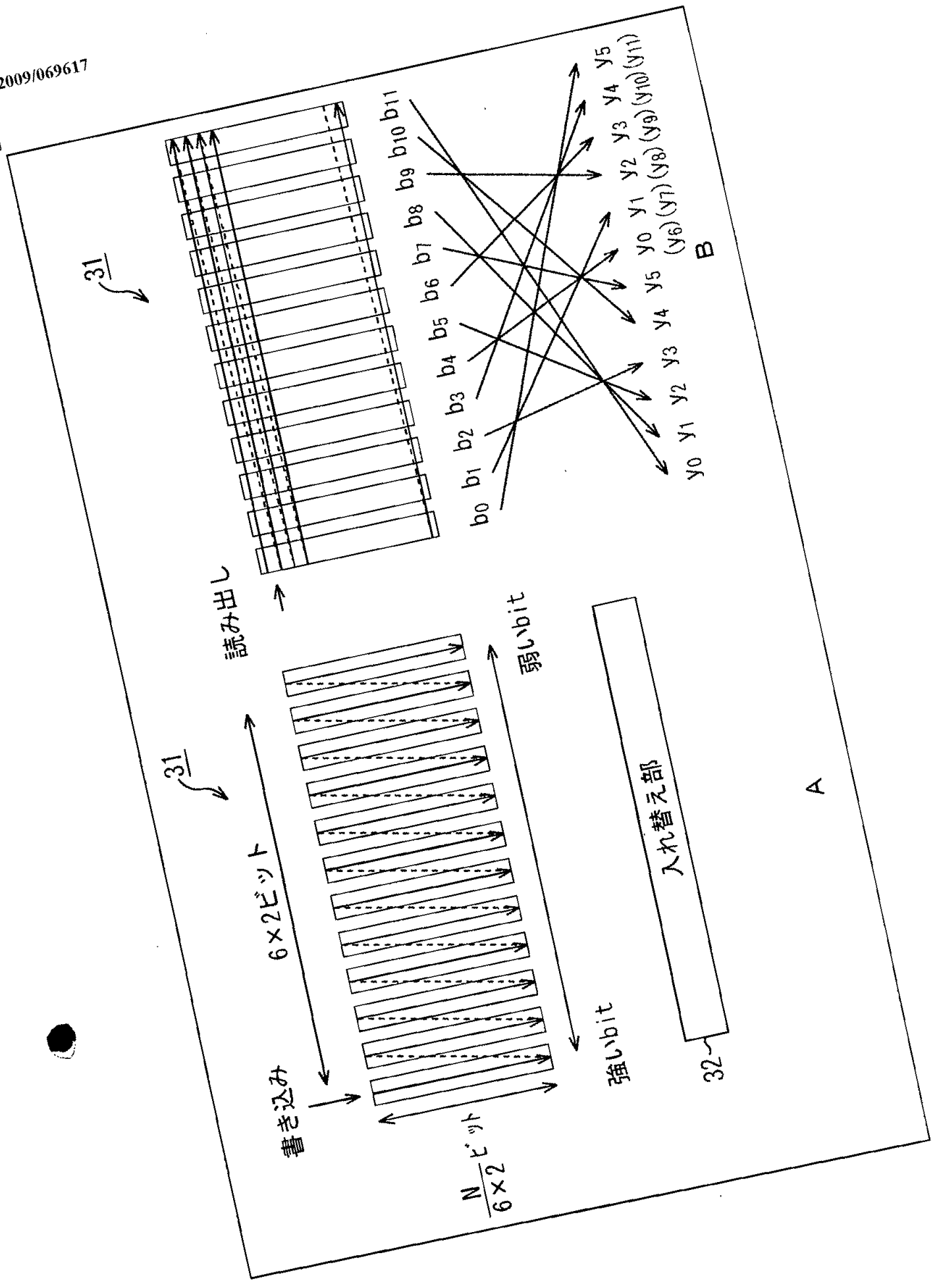

y4
0 1 0 1 0
Q
I
100000 100010 101010 101000 001000 001010 000010 000000
100001 100011 101011 101001 001001 001011 000011 000001
100101 100111 101111 101101 001101 001111 000111 000101
100100 100110 101110 101100 001100 001110 000110 000100
110100 110110 111110 111100 011100 011110 010110 010100
110101 110111 111111 111101 011101 011111 010111 010101
110001 110011 111011 111001 011001 011011 010011 010001
110000 110010 111010 111000 011000 011010 010010 010000
ビット境界
y5
Q
I
0 1 0 1 0
100000 100010 101010 101000 001000 001010 000010 000000
100001 100011 101011 101001 001001 001011 000011 000001
100101 100111 101111 101101 001101 001111 000111 000101
100100 100110 101110 101100 001100 001110 000110 000100
110100 110110 111110 111100 011100 011110 010110 010100
110101 110111 111111 111101 011101 011111 010111 010101
110001 110011 111011 111001 011001 011011 010011 010001
110000 110010 111010 111000 011000 011010 010010 010000
ビット境界

[図16]

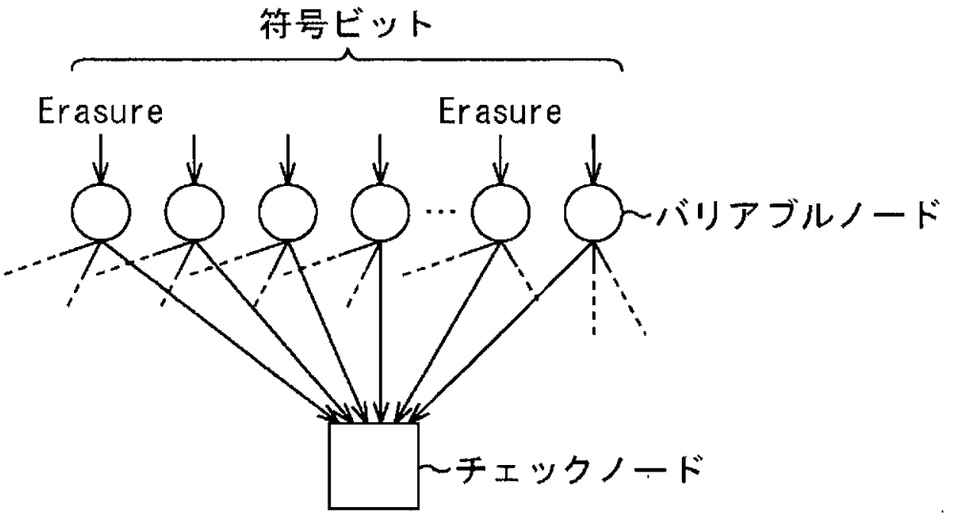
図16


A
書き込み
6ビット
N/6 ビット
カラム方向
カラム
読み出し
31
強いbit
弱いbit
ロウ方向
64QAMの例
25
入れ替え部
32
B 第1の入れ替え方式
C 第2の入れ替え方式
D 第3の入れ替え方式

[図17]
図17

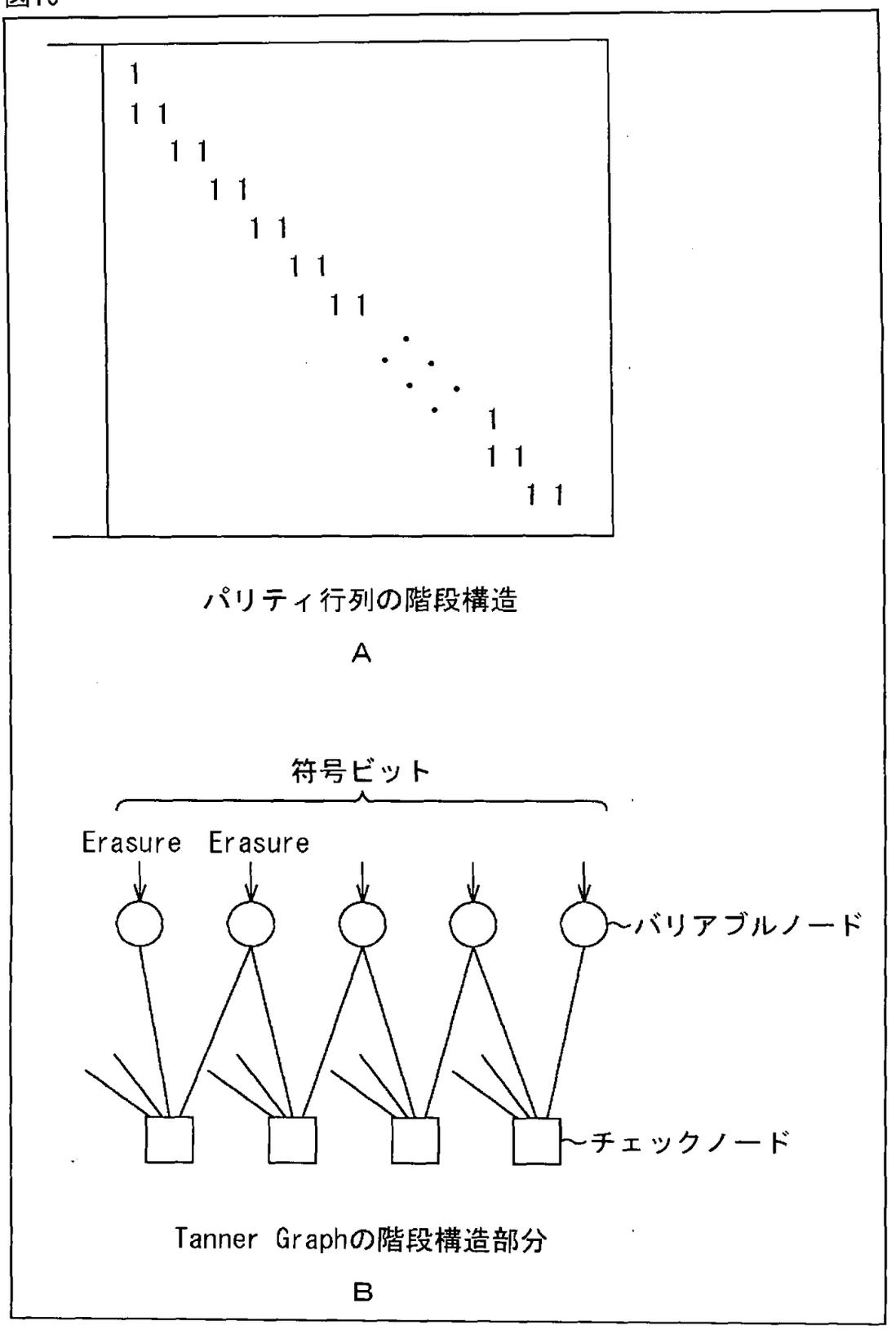

31
読み出し
b0 b1 b2 b3 b4 b5 b6 b7 b8 b9 b10 b11
B
y0 y1 y2 y3 y4 y5
(y6)(y7)(y8)(y9)(y10)(y11)
弱いbit
31
6×2ビット
書き込み
N/6×2ビット
強いbit
入れ替え部
32
A

[図18]
図18



[図19]

図19



パリティ行列の階段構造

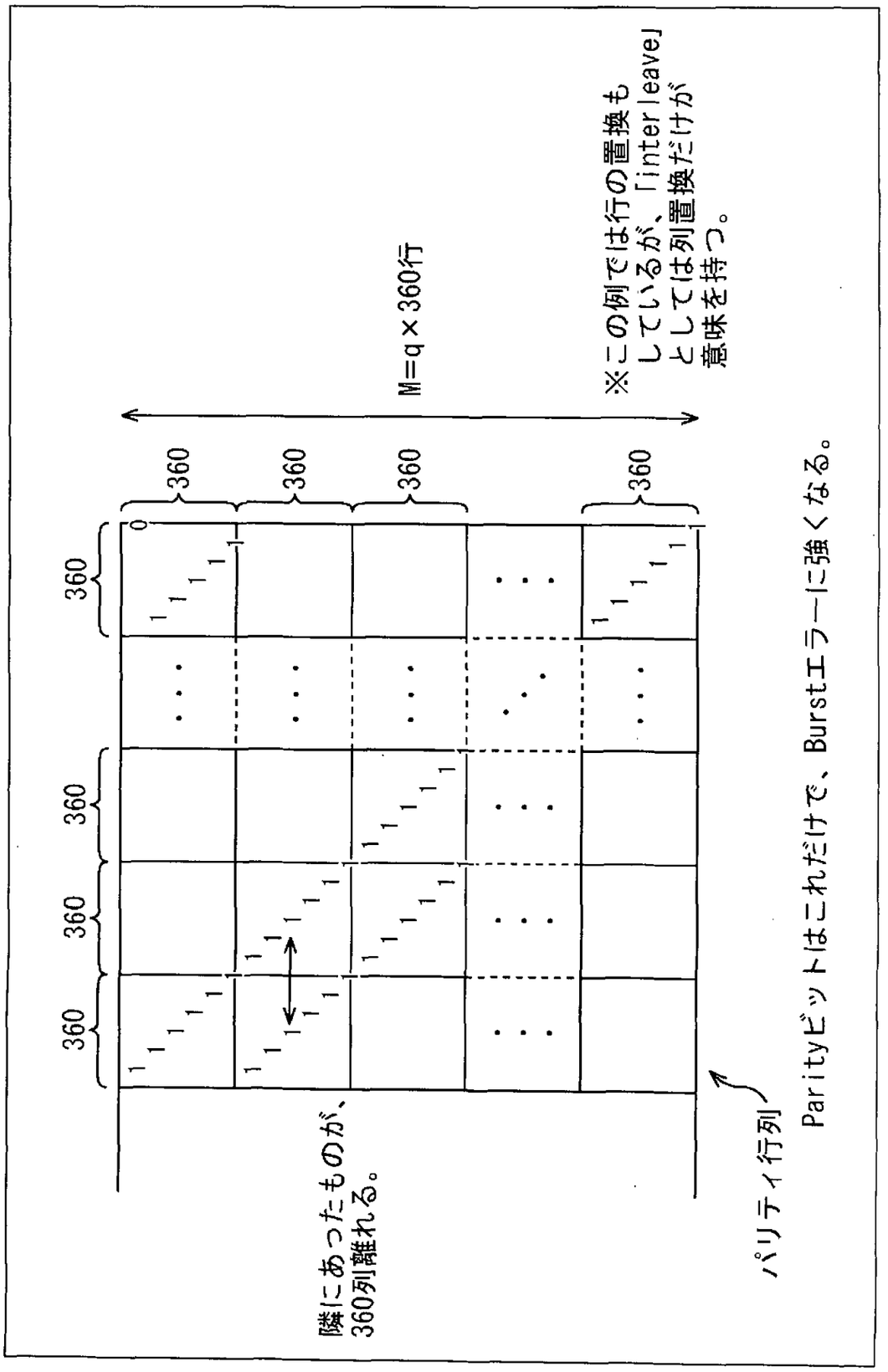
A

Tanner Graphの階段構造部分

B

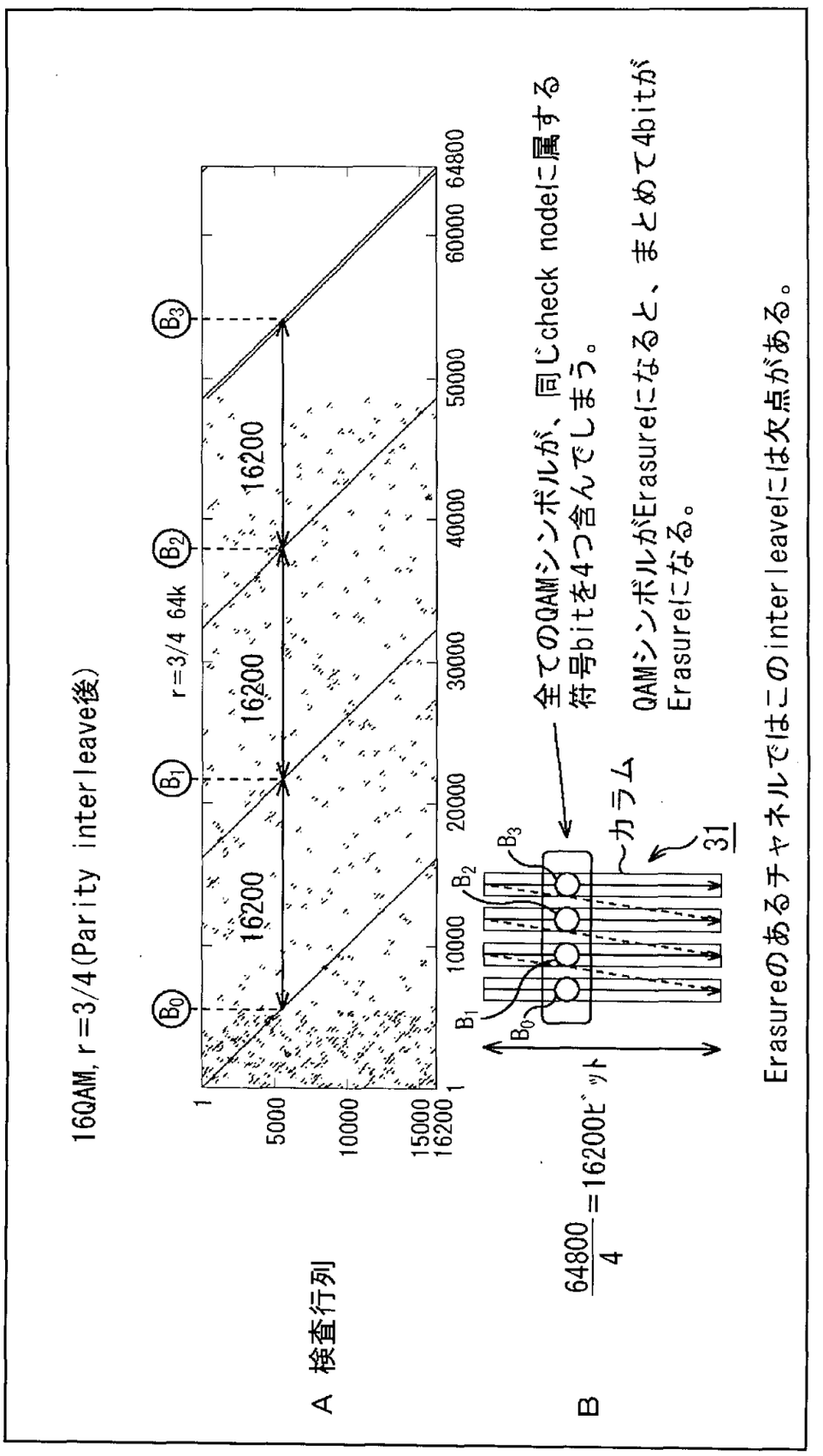
[図20]

図20

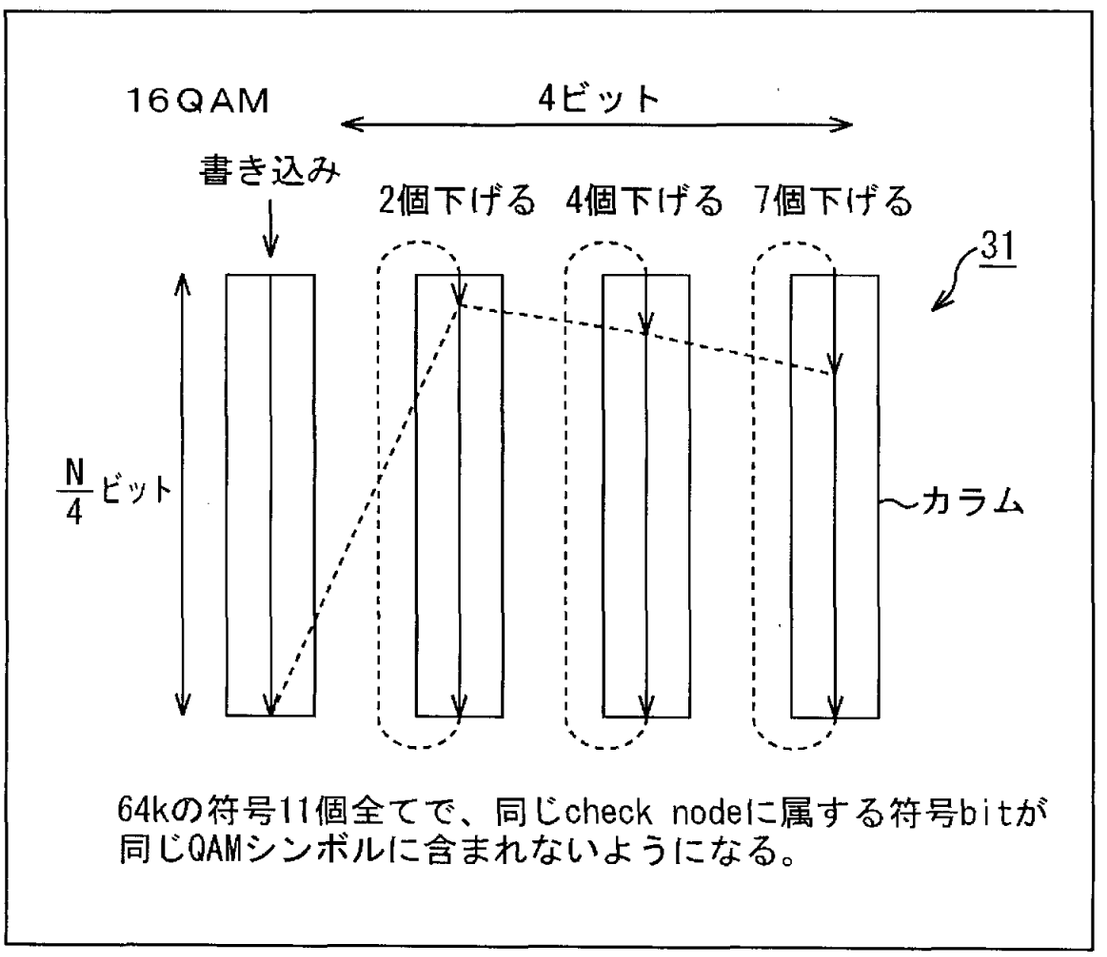

360
360
360
360
360
360
360
360
M=q×360行
※この例では行の置換もしているが、「interleave」としては列置換だけが意味を持つ。
隣にあったものが、360列離れる。
パリティ行列
Parityビットはこれだけで、Burstエラーに強くなる。

[図21]

図21


16QAM, r=3/4 (Parity interleave後)
r=3/4 64k
B0
B1
B2
B3
16200
16200
16200
1
5000
10000
15000
16200
1
10000
20000
30000
40000
50000
60000
64800
A 検査行列
B
64800/4 = 16200ビット
全てのQAMシンボルが、同じcheck nodeに属する符号bitを4つ含んでしまう。
QAMシンボルがErasureになると、まとめて4bitがErasureになる。
カラム
31
Erasureのあるチャネルではこのinterleaveには欠点がある。

[図22]
図22


16QAM
4ビット
書き込み
2個下げる
4個下げる
7個下げる
31
N/4 ビット
カラム
64kの符号11個全てで、同じcheck nodeに属する符号bitが
同じQAMシンボルに含まれないようになる。

[図23]

図23

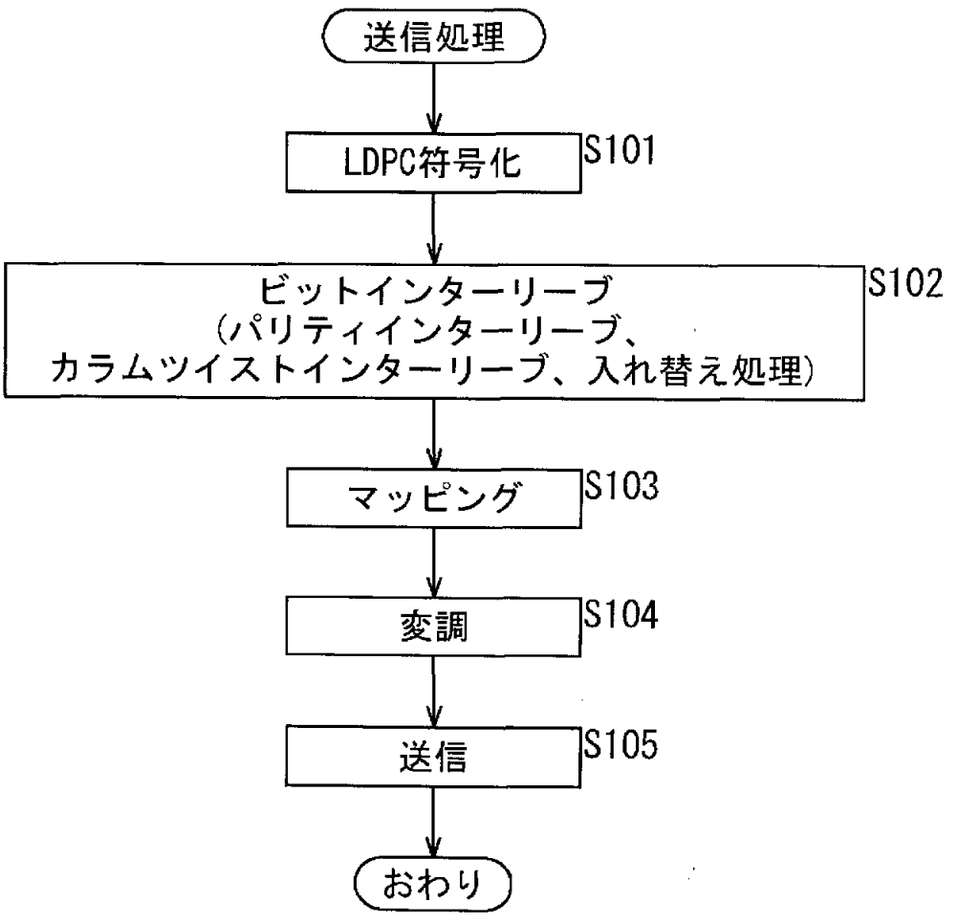
必要なメモリカラム数 mb	第1ないし第3の入れ替え方式	第4の入れ替え方式	mb個の各カラムの書き始めの位置																							
			1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
2	QPSK		0	2																						
4	16QAM	QPSK	0	2	4	7																				
6	64QAM		0	2	5	9	10	13																		
8	256QAM	16QAM	0	0	2	4	4	5	7	7																
10	1024QAM		0	3	6	8	11	13	15	17	18	20														
12	4096QAM	64QAM	0	0	2	2	3	4	4	5	5	7	8	9												
16		256QAM	0	2	2	2	2	3	7	15	16	20	22	22	27	27	28	32								
20		1024QAM	0	1	3	4	5	6	6	9	13	14	14	16	21	21	23	25	25	26	28	30				
24		4096QAM	0	5	8	8	8	8	10	10	10	12	13	16	17	19	21	22	23	26	37	39	40	41	41	41

[図24]

図24

必要なメモリカラム数 mb	第1ないし第3の入れ替え方式	第4の入れ替え方式	mb個の各カラムの書き始めの位置																							
			1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
2	QPSK		0	0																						
4	16QAM	QPSK	0	2	3	3																				
6	64QAM		0	0	2	3	7	7																		
8	256QAM	16QAM	0	0	0	1	7	20	20	21																
10	1024QAM		0	1	2	2	3	3	4	4	5	7														
12	4096QAM	64QAM	0	0	0	2	2	2	3	3	3	6	7	7												
20		1024QAM	0	0	0	2	2	2	2	2	5	5	5	5	5	7	7	7	7	8	8	10				
24		4096QAM	0	0	0	0	0	0	0	1	1	1	2	2	2	3	7	9	9	9	10	10	10	10	10	11

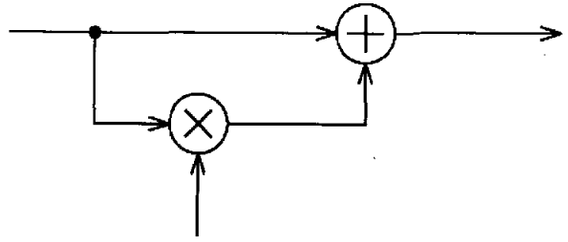
[図25]
図25


送信処理
LDPC符号化
S101
ビットインターリーブ
(パリティインターリーブ、
カラムツイストインターリーブ、入れ替え処理)
S102
マッピング
S103
変調
S104
送信
S105
おわり

[図26]
図26

Flutterの等価低減モデル

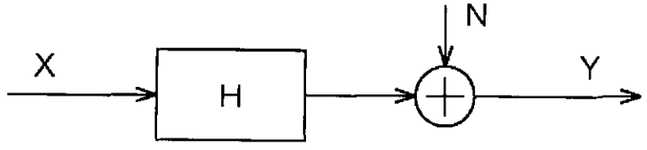
A



$1/\alpha^2 = D/U$
f_d:doppler freq.
t:time

このチャネルでOFDMシンボルを送り、受信側でFFT後に
1carrierだけ抜き出したモデルでsimulationを行った。

B



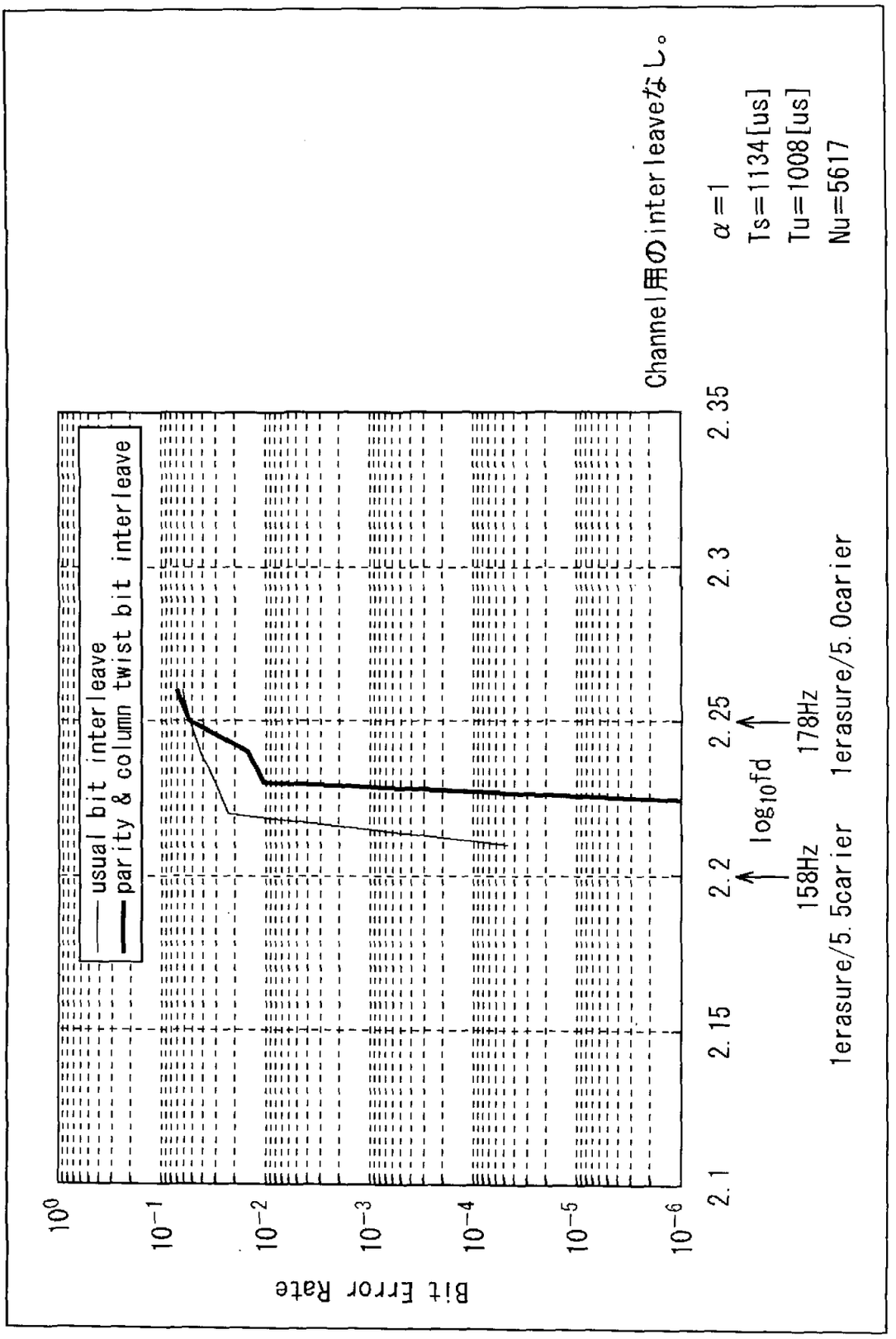
$$Y=\underbrace{\left[1+\alpha\cdot\exp\left(j2\pi\cdot m\cdot f_d\cdot Ts+j2\pi\cdot\frac{(Nu-1)\cdot f_d\cdot Tu}{Nu}\right)\cdot\frac{\mathrm{sinc}(\pi\cdot f_d\cdot Tu)}{\mathrm{sinc}(\pi\cdot f_d\cdot Tu/Nu)}\right]}_{H}\cdot X+N$$

$$E\left[N^2\right]=\underbrace{\alpha^2\cdot\left(1-\left|\frac{\mathrm{sinc}(\pi\cdot f_d\cdot Tu)}{\mathrm{sinc}(\pi\cdot f_d\cdot Tu/Nu)}\right|^2\right)}_{|C|\text{のパワー:AWGNで近似}}$$

m:symbol number
Ts:symbol length(sec)
Tu:effective symbol length(sec)
Nu:number of OFDM carriers

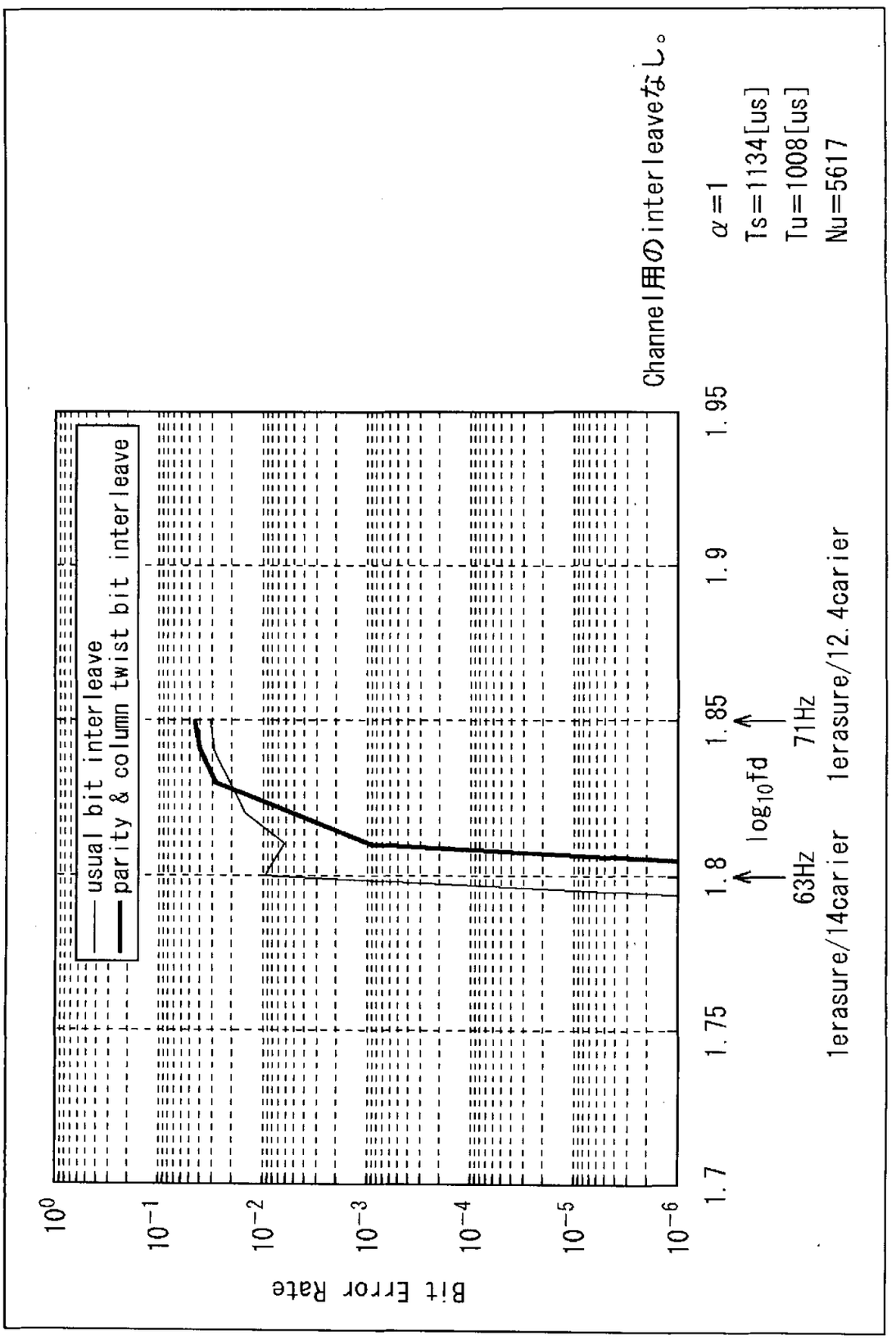
[図27]

図27


Bit Error Rate
10^{0}
10^{-1}
10^{-2}
10^{-3}
10^{-4}
10^{-5}
10^{-6}
2.1
2.15
2.2
2.25
2.3
2.35
$\log_{10}$fd
158Hz
178Hz
1erasure/5.5carier
1erasure/5.0carier
usual bit interleave
parity & column twist bit interleave
Channel用のinterleaveなし。
α=1
Ts=1134[us]
Tu=1008[us]
Nu=5617

[図28]

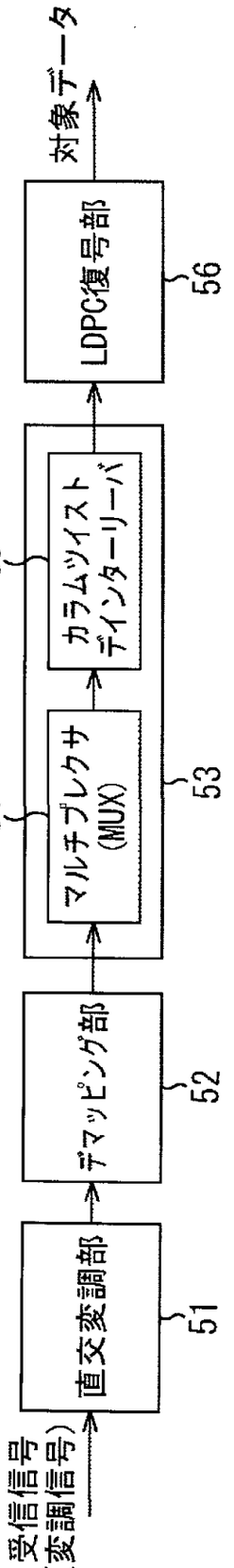
図28


Bit Error Rate
10^{0}
10^{-1}
10^{-2}
10^{-3}
10^{-4}
10^{-5}
10^{-6}
1.7
1.75
1.8
1.85
1.9
1.95
$\log_{10}$fd
63Hz
71Hz
usual bit interleave
parity & column twist bit interleave
Channel用のinterleaveなし。
α=1
Ts=1134[us]
Tu=1008[us]
Nu=5617
1erasure/14carrier
1erasure/12.4carrier

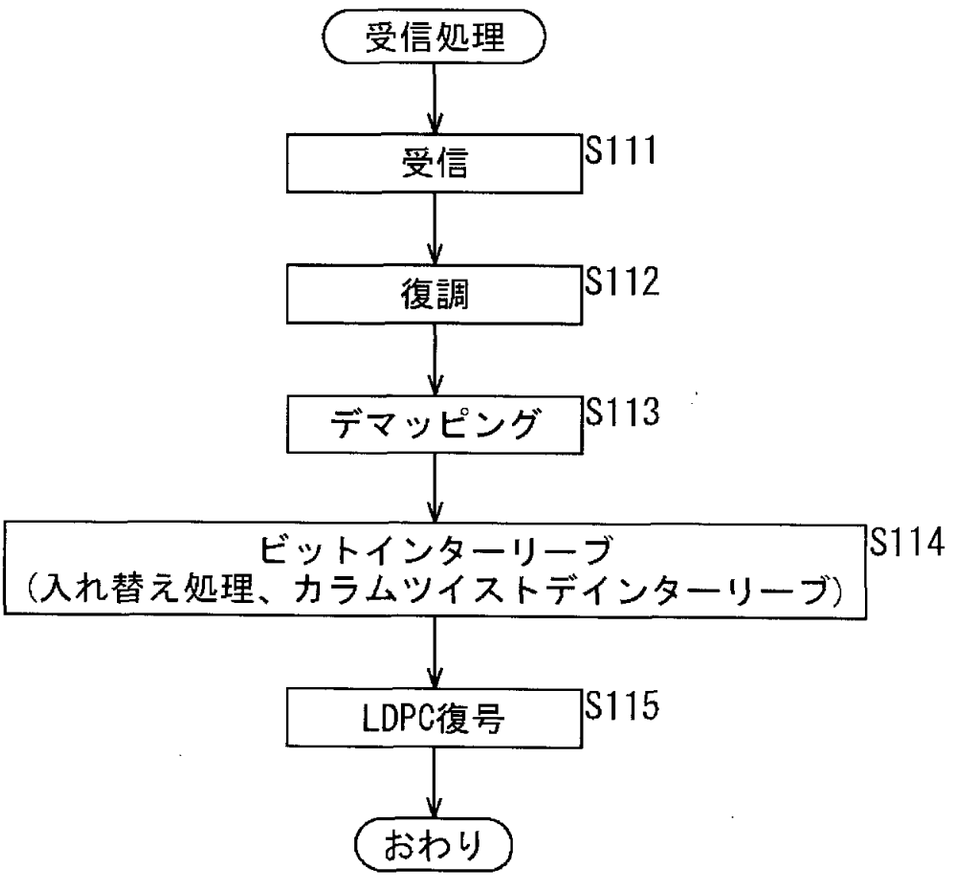
00 124

[図29]

図29



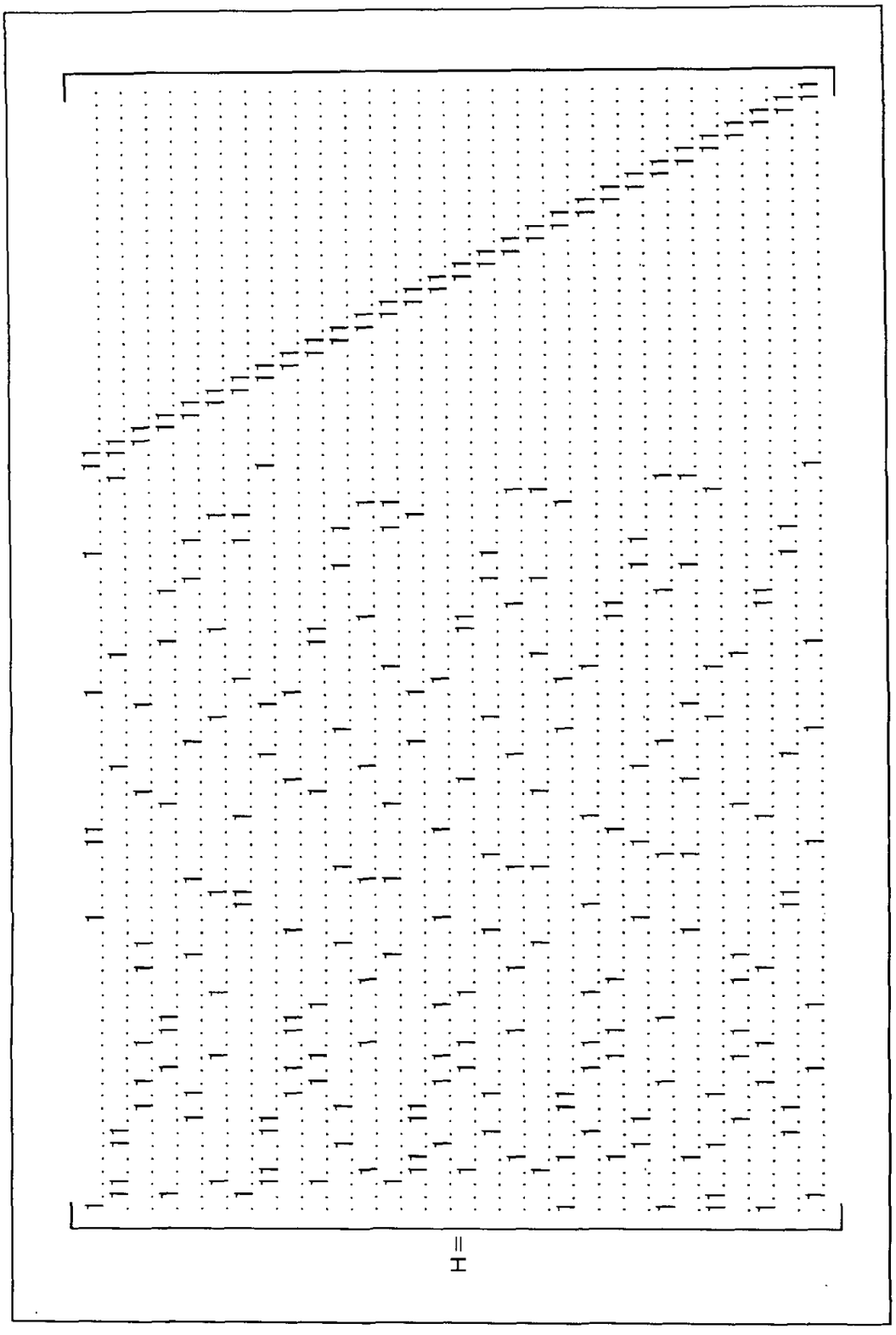
[図30]
図30


受信処理
受信
S111
復調
S112
デマッピング
S113
ビットインターリーブ
(入れ替え処理、カラムツイストデインターリーブ)
S114
LDPC復号
S115
おわり

00 126

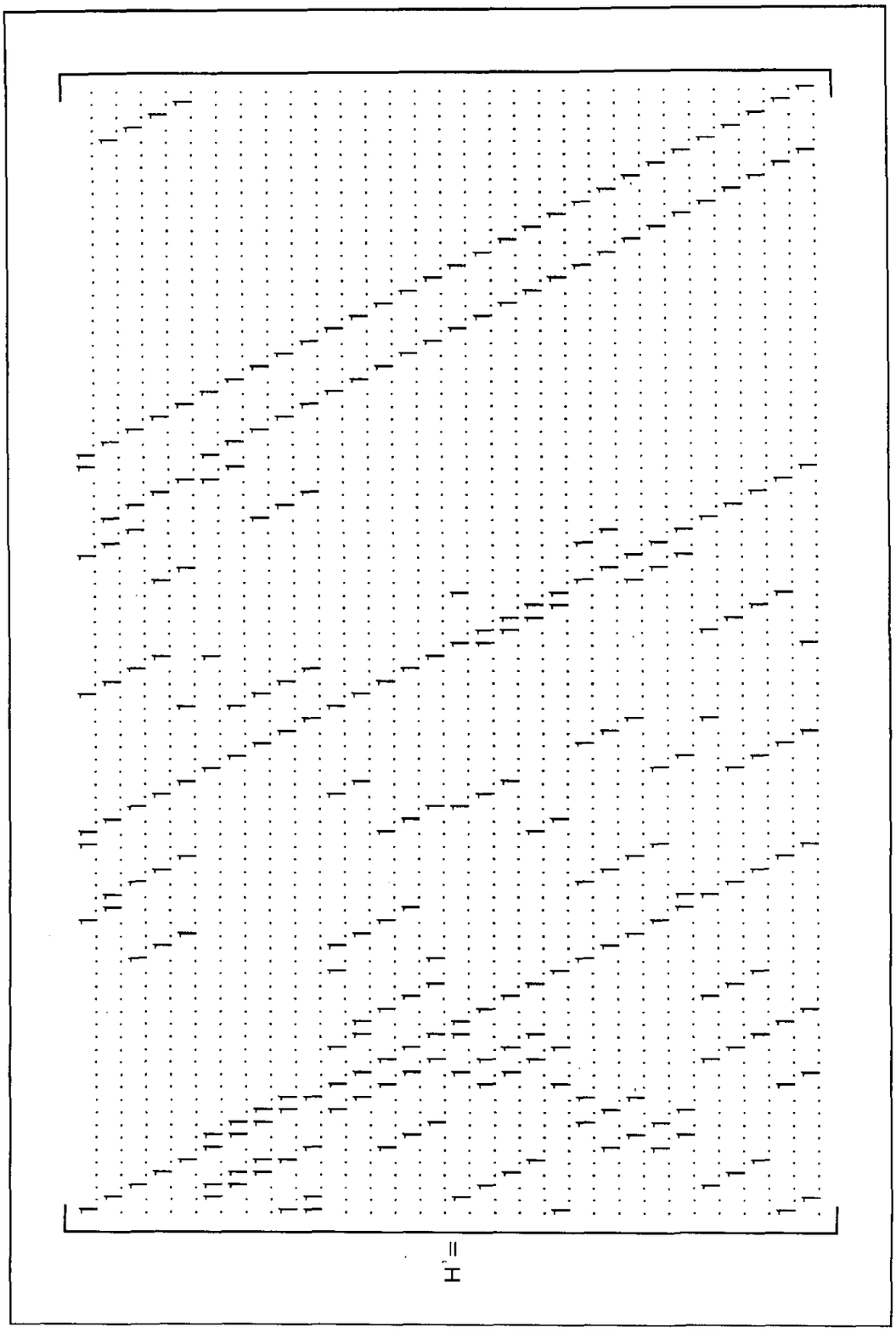
[図31]

図31



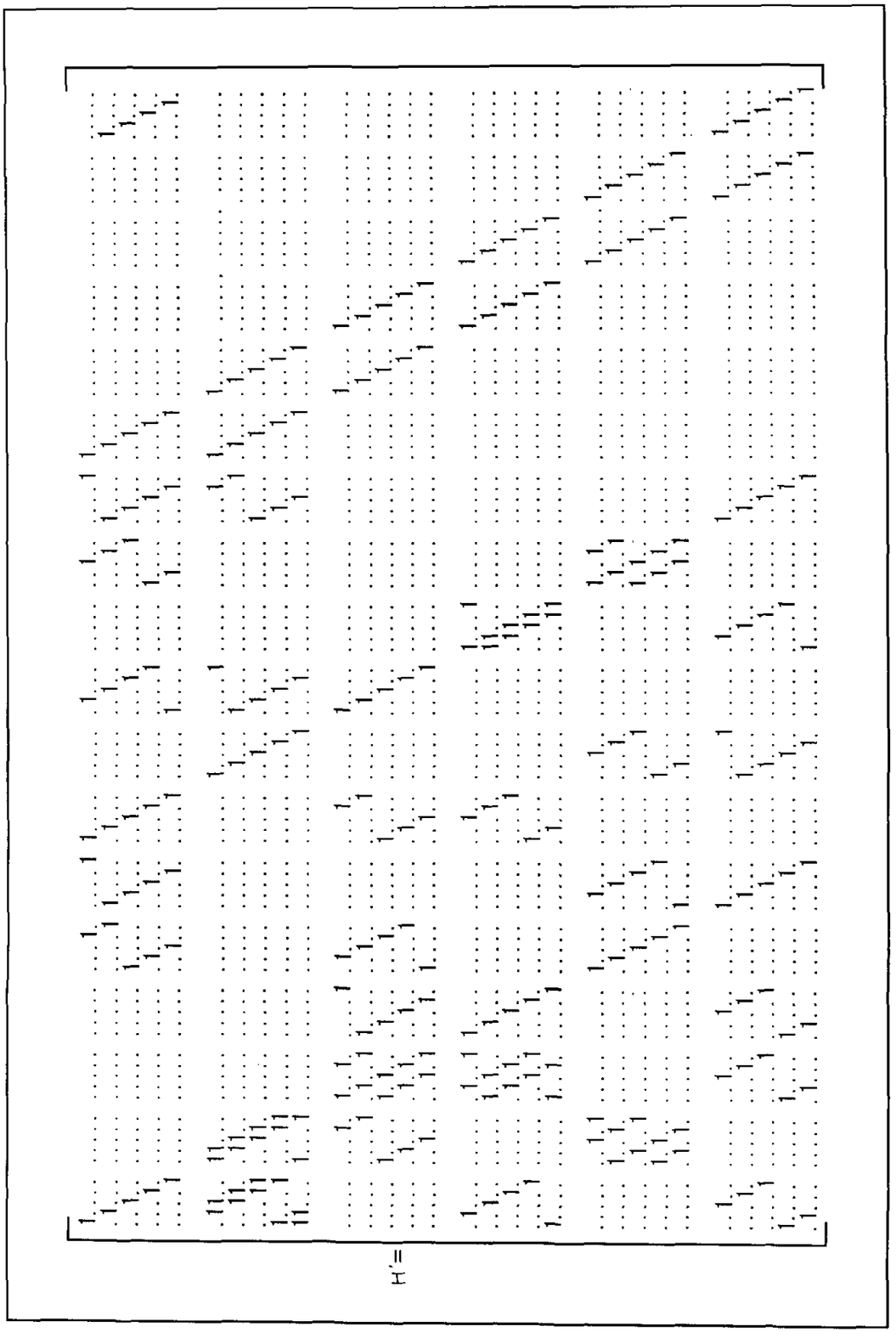
[図32]

図32



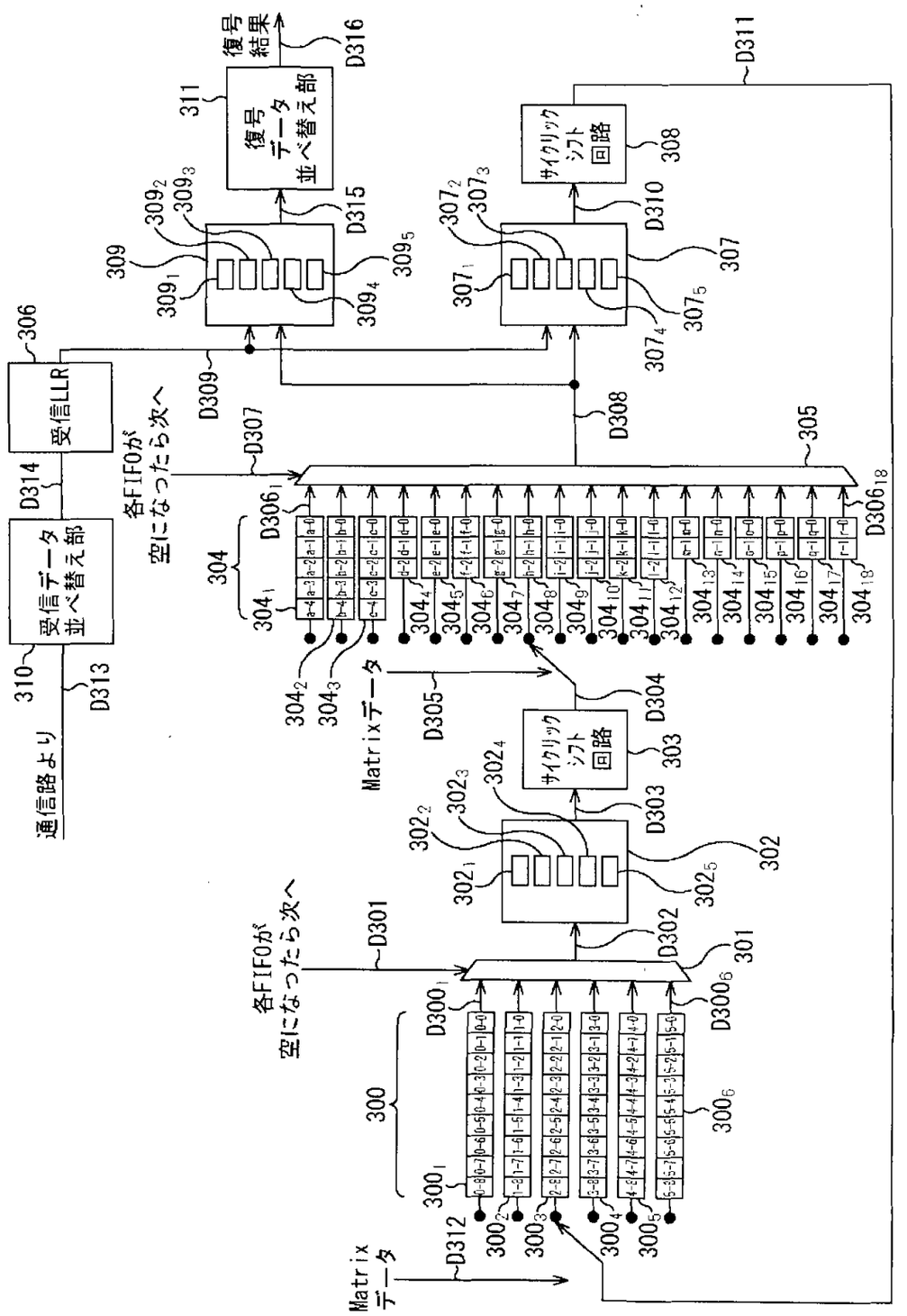
[図33]

図33



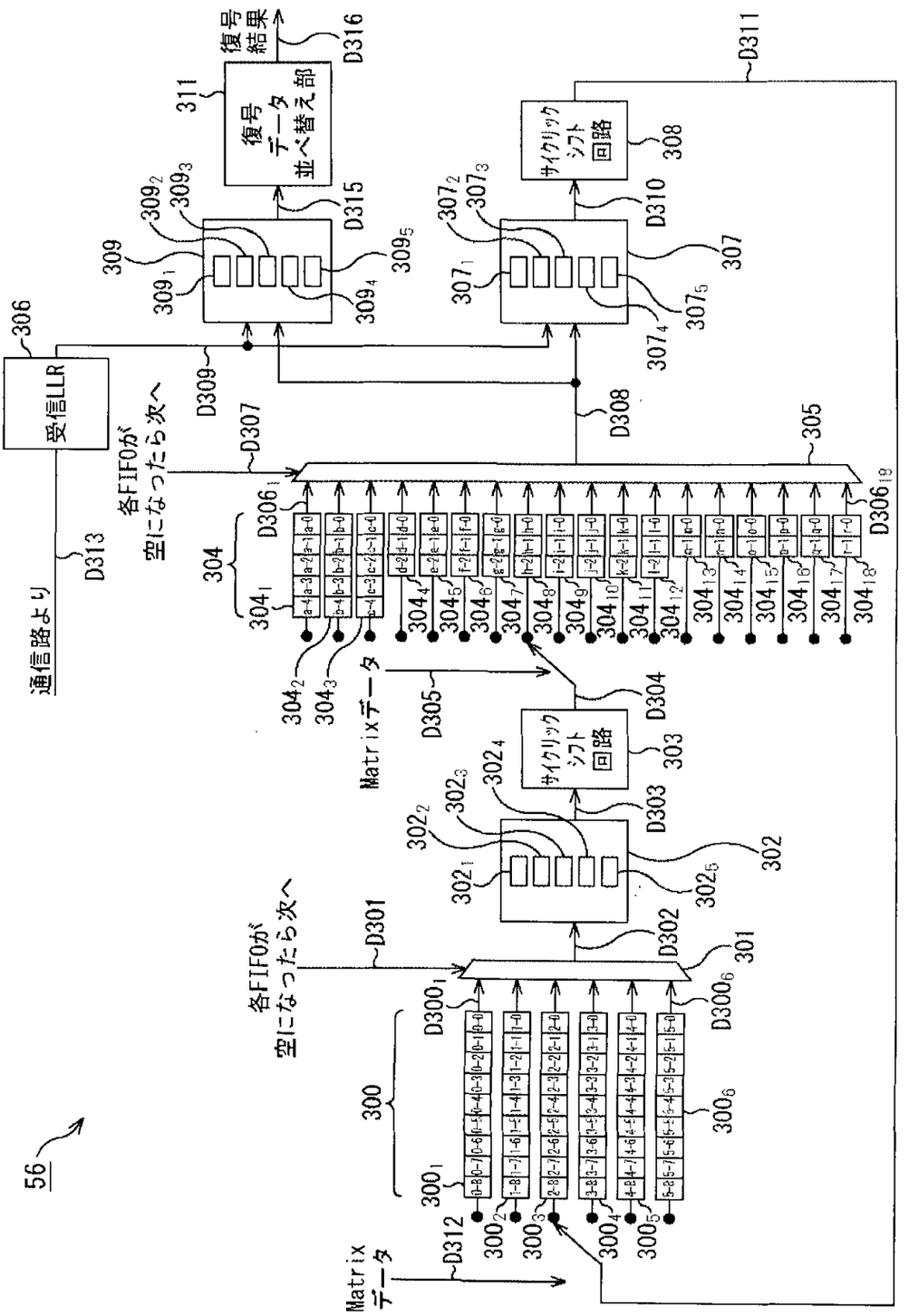
[図34]

図34

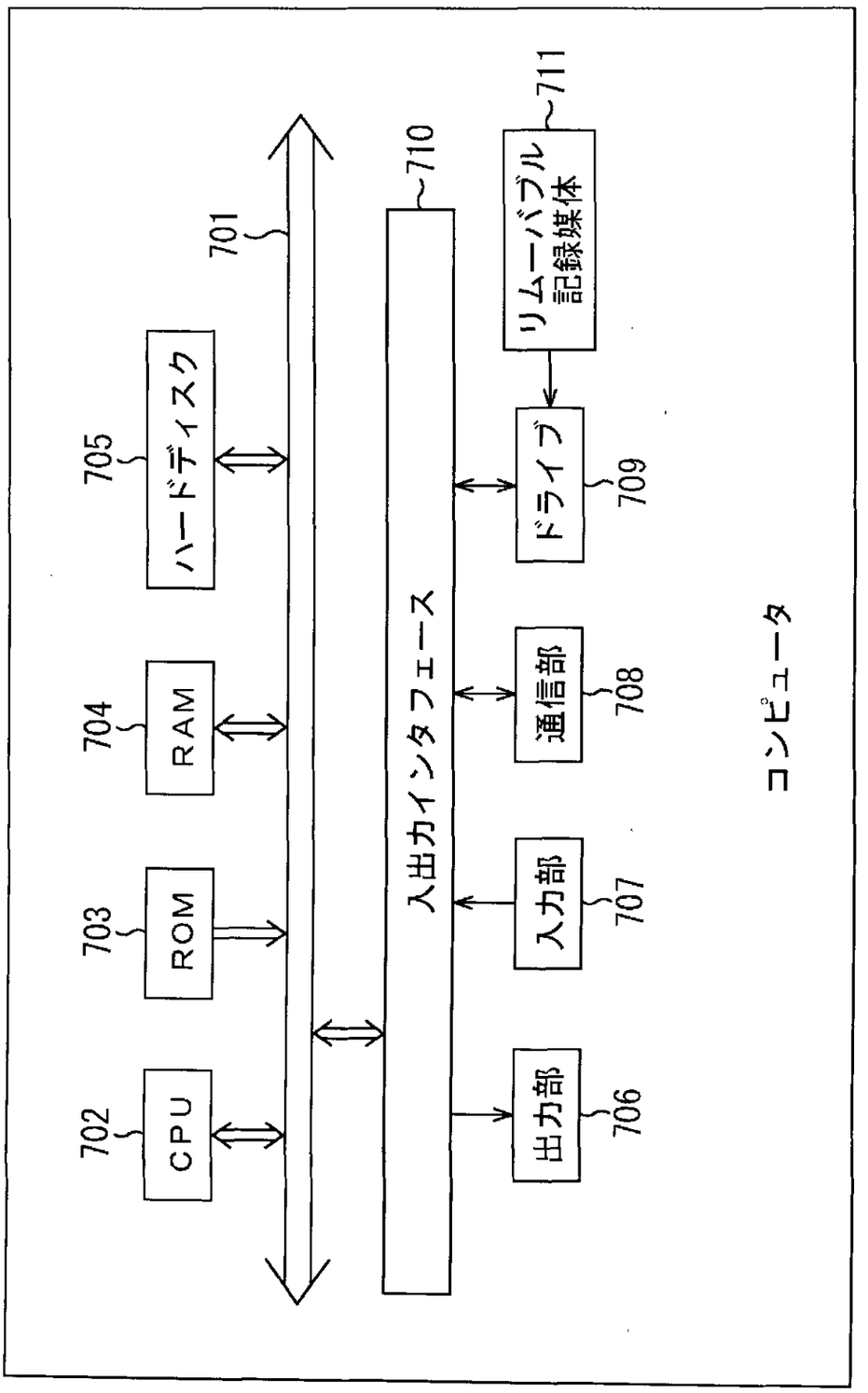

復号結果
D316
311
復号データ並べ替え部
D315
309
309₁
309₂
309₃
309₄
309₅
D309
D310
307
307₁
307₂
307₃
307₄
307₅
サイクリックシフト回路
308
D311
306
受信LLR
D314
受信データ並べ替え部
310
D313
通信路より
各FIFOが空になったら次へ
D307
D308
305
304
304₁
304₂
304₃
304₄
304₅
304₆
304₇
304₈
304₉
304₁₀
304₁₁
304₁₂
304₁₃
304₁₄
304₁₅
304₁₆
304₁₇
304₁₈
D306₁
D306₁₈
Matrixデータ
D305
D304
サイクリックシフト回路
303
302
302₁
302₂
302₃
302₄
302₅
D303
D302
301
D301
各FIFOが空になったら次へ
300
300₁
300₂
300₃
300₄
300₅
300₆
D300₁
D300₆
Matrixデータ
D312

[図35]

図35


56
受信LLR
306
通信路より
D313
各FIFOが空になったら次へ
D307
D309
D308
D311
D310
D315
D316
復号結果
復号データ並べ替え部
311
サイクリックシフト回路
308
307
309
304
305
303
302
301
300
D304
D305
D303
D302
D301
D312
Matrixデータ
Matrixデータ

[図36]
図36


コンピュータ
CPU
ROM
RAM
ハードディスク
入出力インタフェース
出力部
入力部
通信部
ドライブ
リムーバブル記録媒体
701
702
703
704
705
706
707
708
709
710
711

00 132

[図37]
図37

r2/3 16K
0 2084 1613 1548 1286 1460 3196 4297 2481 3369 3451 4620 2622
1 122 1516 3448 2880 1407 1847 3799 3529 373 971 4358 3108
2 259 3399 929 2650 864 3996 3833 107 5287 164 3125 2350
3 342 3529
4 4198 2147
5 1880 4836
6 3864 4910
7 243 1542
8 3011 1436
9 2167 2512
10 4606 1003
11 2835 705
12 3426 2365
13 3848 2474
14 1360 1743
0 163 2536
1 2583 1180
2 1542 509
3 4418 1005
4 5212 5117
5 2155 2922
6 347 2696
7 226 4296
8 1560 487
9 3926 1640
10 149 2928
11 2364 563
12 635 688
13 231 1684
14 1129 3894

$r=\frac{2}{3}$, N=16200の検査行列初期値テーブル

00 133

[図38]

図38 $r=\frac{2}{3}$, N=64800の検査行列初期値テーブル

r2/3 64K

0 10491 16043 506 12826 8065 8226 2767 240 18673 9279 10579 20928
1 17819 8313 6433 6224 5120 5824 12812 17187 9940 13447 13825 18483
2 17957 6024 8681 18628 12794 5915 14576 10970 12064 20437 4455 7151
3 19777 6183 9972 14536 8182 17749 11341 5556 4379 17434 15477 18532
4 4651 19689 1608 659 16707 14335 6143 3058 14618 17894 20684 5306
5 9778 2552 12096 12369 15198 16890 4851 3109 1700 18725 1997 15882
6 486 6111 13743 11537 5591 7433 15227 14145 1483 3887 17431 12430
7 20647 14311 11734 4180 8110 5525 12141 15761 18661 18441 10569 8192
8 3791 14759 15264 19918 10132 9062 10010 12786 10675 9682 19246 5454
9 19525 9485 7777 19999 8378 9209 3163 20232 6690 16518 716 7353
10 4588 6709 20202 10905 915 4317 11073 13576 16433 368 3508 21171
11 14072 4033 19959 12608 631 19494 14160 8249 10223 21504 12395 4322
12 13800 14161
13 2948 9647
14 14693 16027
15 20506 11082
16 1143 9020
17 13501 4014
18 1548 2190
19 12216 21556
20 2095 19897
21 4189 7958
22 15940 10048
23 515 12614
24 8501 8450
25 17595 16784
26 5913 8495
27 16394 10423
28 7409 6981
29 6678 15939
30 20344 12987
31 2510 14588
32 17918 6655
33 6703 19451
34 496 4217
35 7290 5766
36 10521 8925
37 20379 11905
38 4090 5838
39 19082 17040

[図39]
図39

40	20233	12352
41	19365	19546
42	6249	19030
43	11037	19193
44	19760	11772
45	19644	7428
46	16076	3521
47	11779	21062
48	13062	9682
49	8934	5217
50	11087	3319
51	18892	4356
52	7894	3898
53	5963	4360
54	7346	11726
55	5182	5609
56	2412	17295
57	9845	20494
58	6687	1864
59	20564	5216
0	18226	17207
1	9380	8266
2	7073	3065
3	18252	13437
4	9161	15642
5	10714	10153
6	11585	9078
7	5359	9418
8	9024	9515
9	1206	16354
10	14994	1102
11	9375	20796
12	15964	6027
13	14789	6452
14	8002	18591
15	14742	14089
16	253	3045
17	1274	19286
18	14777	2044
19	13920	9900
20	452	7374

[図40]
図40

21	18206	9921
22	6131	5414
23	10077	9726
24	12045	5479
25	4322	7990
26	15616	5550
27	15561	10661
28	20718	7387
29	2518	18804
30	8984	2600
31	6516	17909
32	11148	98
33	20559	3704
34	7510	1569
35	16000	11692
36	9147	10303
37	16650	191
38	15577	18685
39	17167	20917
40	4256	3391
41	20092	17219
42	9218	5056
43	18429	8472
44	12093	20753
45	16345	12748
46	16023	11095
47	5048	17595
48	18995	4817
49	16483	3536
50	1439	16148
51	3661	3039
52	19010	18121
53	8968	11793
54	13427	18003
55	5303	3083
56	531	16668
57	4771	6722
58	5695	7960
59	3589	14630

[図41]

図41

r3/4 16K

```
3 3198 478 4207 1481 1009 2616 1924 3437 554 683 1801
4 2681 2135
5 3107 4027
6 2637 3373
7 3830 3449
8 4129 2060
9 4184 2742
10 3946 1070
11 2239 984
0 1458 3031
1 3003 1328
2 1137 1716
3 132 3725
4 1817 638
5 1774 3447
6 3632 1257
7 542 3694
8 1015 1945
9 1948 412
10 995 2238
11 4141 1907
0 2480 3079
1 3021 1088
2 713 1379
3 997 3903
4 2323 3361
5 1110 986
6 2532 142
7 1690 2405
8 1298 1881
9 615 174
10 1648 3112
11 1415 2808
```

$r=\frac{3}{4}$, N=16200の検査行列初期値テーブル

[図42]

図42 $r=\frac{3}{4}$, N=64800の検査行列初期値テーブル

r3/4 64K

0	6385	7901	14611	13389	11200	3252	5243	2504	2722	821	7374
1	11359	2698	357	13824	12772	7244	6752	15310	852	2001	11417
2	7862	7977	6321	13612	12197	14449	15137	13860	1708	6399	13444
3	1560	11804	6975	13292	3646	3812	8772	7306	5795	14327	7866
4	7626	11407	14599	9689	1628	2113	10809	9283	1230	15241	4870
5	1610	5699	15876	9446	12515	1400	6303	5411	14181	13925	7358
6	4059	8836	3405	7853	7992	15336	5970	10368	10278	9675	4651
7	4441	3963	9153	2109	12683	7459	12030	12221	629	15212	406
8	6007	8411	5771	3497	543	14202	875	9186	6235	13908	3563
9	3232	6625	4795	546	9781	2071	7312	3399	7250	4932	12652
10	8820	10088	11090	7069	6585	13134	10158	7183	488	7455	9238
11	1903	10818	119	215	7558	11046	10615	11545	14784	7961	15619
12	3655	8736	4917	15874	5129	2134	15944	14768	7150	2692	1469
13	8316	3820	505	8923	6757	806	7957	4216	15589	13244	2622
14	14463	4852	15733	3041	11193	12860	13673	8152	6551	15108	8758
15	3149	11981									
16	13416	6906									
17	13098	13352									
18	2009	14460									
19	7207	4314									
20	3312	3945									
21	4418	6248									
22	2669	13975									
23	7571	9023									
24	14172	2967									
25	7271	7138									
26	6135	13670									
27	7490	14559									
28	8657	2466									
29	8599	12834									
30	3470	3152									
31	13917	4365									
32	6024	13730									
33	10973	14182									
34	2464	13167									
35	5281	15049									
36	1103	1849									
37	2058	1069									
38	9654	6095									
39	14311	7667									

[図43]

図43

40	15617 8146
41	4588 11218
42	13660 6243
43	8578 7874
44	11741 2686
0	1022 1264
1	12604 9965
2	8217 2707
3	3156 11793
4	354 1514
5	6978 14058
6	7922 16079
7	15087 12138
8	5053 6470
9	12687 14932
10	15458 1763
11	8121 1721
12	12431 549
13	4129 7091
14	1426 8415
15	9783 7604
16	6295 11329
17	1409 12061
18	8065 9087
19	2918 8438
20	1293 14115
21	3922 13851
22	3851 4000
23	5865 1768
24	2655 14957
25	5565 6332
26	4303 12631
27	11653 12236
28	16025 7632
29	4655 14128
30	9584 13123
31	13987 9597
32	15409 12110
33	8754 15490
34	7416 15325
35	2909 15549

[図44]

図44

36 2995 8257
37 9406 4791
38 11111 4854
39 2812 8521
40 8476 14717
41 7820 15360
42 1179 7939
43 2357 8678
44 7703 6216
0 3477 7067
1 3931 13845
2 7675 12899
3 1754 8187
4 7785 1400
5 9213 5891
6 2494 7703
7 2576 7902
8 4821 15682
9 10426 11935
10 1810 904
11 11332 9264
12 11312 3570
13 14916 2650
14 7679 7842
15 6089 13084
16 3938 2751
17 8509 4648
18 12204 8917
19 5749 12443
20 12613 4431
21 1344 4014
22 8488 13850
23 1730 14896
24 14942 7126
25 14983 8863
26 6578 8564
27 4947 396
28 297 12805
29 13878 6692
30 11857 11186
31 14395 11493

00 140

[図45]

図45

32	16145	12251
33	13462	7428
34	14526	13119
35	2535	11243
36	6465	12690
37	6872	9334
38	15371	14023
39	8101	10187
40	11963	4848
41	15125	6119
42	8051	14465
43	11139	5167
44	2883	14521

[図46]

図46

r4/5 16K

```
5 896 1565
6 2493 184
7 212 3210
8 727 1339
9 3428 612
0 2663 1947
1 230 2695
2 2025 2794
3 3039 283
4 862 2889
5 376 2110
6 2034 2286
7 951 2068
8 3108 3542
9 307 1421
0 2272 1197
1 1800 3280
2 331 2308
3 465 2552
4 1038 2479
5 1383 343
6 94 236
7 2619 121
8 1497 2774
9 2116 1855
0 722 1584
1 2767 1881
2 2701 1610
3 3283 1732
4 168 1099
5 3074 243
6 3460 945
7 2049 1746
8 566 1427
9 3545 1168
```

$r=\frac{4}{5}$, N=16200の検査行列初期値テーブル

[図47]

図47 $r=\frac{4}{5}$, N=64800の検査行列初期値テーブル

r4/5 64K

0 149 11212 5575 6360 12559 8108 8505 408 10026 12828
1 5237 490 10677 4998 3869 3734 3092 3509 7703 10305
2 8742 5553 2820 7085 12116 10485 564 7795 2972 2157
3 2699 4304 8350 712 2841 3250 4731 10105 517 7516
4 12067 1351 11992 12191 11267 5161 537 6166 4246 2363
5 6828 7107 2127 3724 5743 11040 10756 4073 1011 3422
6 11259 1216 9526 1466 10816 940 3744 2815 11506 11573
7 4549 11507 1118 1274 11751 5207 7854 12803 4047 6484
8 8430 4115 9440 413 4455 2262 7915 12402 8579 7052
9 3885 9126 5665 4505 2343 253 4707 3742 4166 1556
10 1704 8936 6775 8639 8179 7954 8234 7850 8883 8713
11 11716 4344 9087 11264 2274 8832 9147 11930 6054 5455
12 7323 3970 10329 2170 8262 3854 2087 12899 9497 11700
13 4418 1467 2490 5841 817 11453 533 11217 11962 5251
14 1541 4525 7976 3457 9536 7725 3788 2982 6307 5997
15 11484 2739 4023 12107 6516 551 2572 6628 8150 9852
16 6070 1761 4627 6534 7913 3730 11866 1813 12306 8249
17 12441 5489 8748 7837 7660 2102 11341 2936 6712 11977
18 10155 4210
19 1010 10483
20 8900 10250
21 10243 12278
22 7070 4397
23 12271 3887
24 11980 6836
25 9514 4356
26 7137 10281
27 11881 2526
28 1969 11477
29 3044 10921
30 2236 8724
31 9104 6340
32 7342 8582
33 11675 10405
34 6467 12775
35 3186 12198
0 9621 11445
1 7486 5611
2 4319 4879
3 2196 344

00 143

[図48]

図48

4	7527 6650
5	10693 2440
6	6755 2706
7	5144 5998
8	11043 8033
9	4846 4435
10	4157 9228
11	12270 6562
12	11954 7592
13	7420 2592
14	8810 9636
15	689 5430
16	920 1304
17	1253 11934
18	9559 6016
19	312 7589
20	4439 4197
21	4002 9555
22	12232 7779
23	1494 8782
24	10749 3969
25	4368 3479
26	6316 5342
27	2455 3493
28	12157 7405
29	6598 11495
30	11805 4455
31	9625 2090
32	4731 2321
33	3578 2608
34	8504 1849
35	4027 1151
0	5647 4935
1	4219 1870
2	10968 8054
3	6970 5447
4	3217 5638
5	8972 669
6	5618 12472
7	1457 1280
8	8868 3883

[図49]

図49

9	8866 1224
10	8371 5972
11	266 4405
12	3706 3244
13	6039 5844
14	7200 3283
15	1502 11282
16	12318 2202
17	4523 965
18	9587 7011
19	2552 2051
20	12045 10306
21	11070 5104
22	6627 6906
23	9889 2121
24	829 9701
25	2201 1819
26	6689 12925
27	2139 8757
28	12004 5948
29	8704 3191
30	8171 10933
31	6297 7116
32	616 7146
33	5142 9761
34	10377 8138
35	7616 5811
0	7285 9863
1	7764 10867
2	12343 9019
3	4414 8331
4	3464 642
5	6960 2039
6	786 3021
7	710 2086
8	7423 5601
9	8120 4885
10	12385 11990
11	9739 10034
12	424 10162
13	1347 7597

[図50]
図50

14	1450	112
15	7965	8478
16	8945	7397
17	6590	8316
18	6838	9011
19	6174	9410
20	255	113
21	6197	5835
22	12902	3844
23	4377	3505
24	5478	8672
25	4453	2132
26	9724	1380
27	12131	11526
28	12323	9511
29	8231	1752
30	497	9022
31	9288	3080
32	2481	7515
33	2696	268
34	4023	12341
35	7108	5553

[図51]

図51

r5/6 16K

```
3 2409 499 1481 908 559 716 1270 333 2508 2264 1702 2805
4 2447 1926
5 414 1224
6 2114 842
7 212 573
0 2383 2112
1 2286 2348
2 545 819
3 1264 143
4 1701 2258
5 964 166
6 114 2413
7 2243 81
0 1245 1581
1 775 169
2 1696 1104
3 1914 2831
4 532 1450
5 91 974
6 497 2228
7 2326 1579
0 2482 256
1 1117 1261
2 1257 1658
3 1478 1225
4 2511 980
5 2320 2675
6 435 1278
7 228 503
0 1885 2369
1 57 483
2 838 1050
3 1231 1990
4 1738 68
5 2392 951
6 163 645
7 2644 1704
```

$r=\frac{5}{6}$, N=16200の検査行列初期値テーブル

[図52]

図52 $r=\frac{5}{6}$, N=64800の検査行列初期値テーブル

r5/6 64K

0 4362 416 8909 4156 3216 3112 2560 2912 6405 8593 4969 6723
1 2479 1786 8978 3011 4339 9313 6397 2957 7288 5484 6031 10217
2 10175 9009 9889 3091 4985 7267 4092 8874 5671 2777 2189 8716
3 9052 4795 3924 3370 10058 1128 9996 10165 9360 4297 434 5138
4 2379 7834 4835 2327 9843 804 329 8353 7167 3070 1528 7311
5 3435 7871 348 3693 1876 6585 10340 7144 5870 2084 4052 2780
6 3917 3111 3476 1304 10331 5939 5199 1611 1991 699 8316 9960
7 6883 3237 1717 10752 7891 9764 4745 3888 10009 4176 4614 1567
8 10587 2195 1689 2968 5420 2580 2883 6496 111 6023 1024 4449
9 3786 8593 2074 3321 5057 1450 3840 5444 6572 3094 9892 1512
10 8548 1848 10372 4585 7313 6536 6379 1766 9462 2456 5606 9975
11 8204 10593 7935 3636 3882 394 5968 8561 2395 7289 9267 9978
12 7795 74 1633 9542 6867 7352 6417 7568 10623 725 2531 9115
13 7151 2482 4260 5003 10105 7419 9203 6691 8798 2092 8263 3755
14 3600 570 4527 200 9718 6771 1995 8902 5446 768 1103 6520
15 6304 7621
16 6498 9209
17 7293 6786
18 5950 1708
19 8521 1793
20 6174 7854
21 9773 1190
22 9517 10268
23 2181 9349
24 1949 5560
25 1556 555
26 8600 3827
27 5072 1057
28 7928 3542
29 3226 3762
0 7045 2420
1 9645 2641
2 2774 2452
3 5331 2031
4 9400 7503
5 1850 2338
6 10456 9774
7 1692 9276
8 10037 4038
9 3964 338

[図53]

図53

10	2640	5087
11	858	3473
12	5582	5683
13	9523	916
14	4107	1559
15	4506	3491
16	8191	4182
17	10192	6157
18	5668	3305
19	3449	1540
20	4766	2697
21	4069	6675
22	1117	1016
23	5619	3085
24	8483	8400
25	8255	394
26	6338	5042
27	6174	5119
28	7203	1989
29	1781	5174
0	1464	3559
1	3376	4214
2	7238	67
3	10595	8831
4	1221	6513
5	5300	4652
6	1429	9749
7	7878	5131
8	4435	10284
9	6331	5507
10	6662	4941
11	9614	10238
12	8400	8025
13	9156	5630
14	7067	8878
15	9027	3415
16	1690	3866
17	2854	8469
18	6206	630
19	363	5453
20	4125	7008

00149

[図54]

図54

21	1612	6702
22	9069	9226
23	5767	4060
24	3743	9237
25	7018	5572
26	8892	4536
27	853	6064
28	8069	5893
29	2051	2885
0	10691	3153
1	3602	4055
2	328	1717
3	2219	9299
4	1939	7898
5	617	206
6	8544	1374
7	10676	3240
8	6672	9489
9	3170	7457
10	7868	5731
11	6121	10732
12	4843	9132
13	580	9591
14	6267	9290
15	3009	2268
16	195	2419
17	8016	1557
18	1516	9195
19	8062	9064
20	2095	8968
21	753	7326
22	6291	3833
23	2614	7844
24	2303	646
25	2075	611
26	4687	362
27	8684	9940
28	4830	2065
29	7038	1363
0	1769	7837
1	3801	1689

[図55]

図55

2 10070 2359
3 3667 9918
4 1914 6920
5 4244 5669
6 10245 7821
7 7648 3944
8 3310 5488
9 6346 9666
10 7088 6122
11 1291 7827
12 10592 8945
13 3609 7120
14 9168 9112
15 6203 8052
16 3330 2895
17 4264 10563
18 10556 6496
19 8807 7645
20 1999 4530
21 9202 6818
22 3403 1734
23 2106 9023
24 6881 3883
25 3895 2171
26 4062 6424
27 3755 9536
28 4683 2131
29 7347 8027

[図56]

図56 $r=\frac{8}{9}$, N=16200の検査行列初期値テーブル

r8/9 16K

```
0 1558 712 805
1 1450 873 1337
2 1741 1129 1184
3 294 806 1566
4 482 605 923
0 926 1578
1 777 1374
2 608 151
3 1195 210
4 1484 692
0 427 488
1 828 1124
2 874 1366
3 1500 835
4 1496 502
0 1006 1701
1 1155 97
2 657 1403
3 1453 624
4 429 1495
0 809 385
1 367 151
2 1323 202
3 960 318
4 1451 1039
0 1098 1722
1 1015 1428
2 1261 1564
3 544 1190
4 1472 1246
0 508 630
1 421 1704
2 284 898
3 392 577
4 1155 556
0 631 1000
1 732 1368
2 1328 329
3 1515 506
4 1104 1172
```

[図57]

図57 $r=\frac{8}{9}$, N=64800の検査行列初期値テーブル

r8/9 64K

0 6235 2848 3222
1 5800 3492 5348
2 2757 927 90
3 6961 4516 4739
4 1172 3237 6264
5 1927 2425 3683
6 3714 6309 2495
7 3070 6342 7154
8 2428 613 3761
9 2906 264 5927
10 1716 1950 4273
11 4613 6179 3491
12 4865 3286 6005
13 1343 5923 3529
14 4589 4035 2132
15 1579 3920 6737
16 1644 1191 5998
17 1482 2381 4620
18 6791 6014 6596
19 2738 5918 3786
0 5156 6166
1 1504 4356
2 130 1904
3 6027 3187
4 6718 759
5 6240 2870
6 2343 1311
7 1039 5465
8 6617 2513
9 1588 5222
10 6561 535
11 4765 2054
12 5966 6892
13 1969 3869
14 3571 2420
15 4632 981
16 3215 4163
17 973 3117
18 3802 6198
19 3794 3948

[図58]

図58

0	3196	6126
1	573	1909
2	850	4034
3	5622	1601
4	6005	524
5	5251	5783
6	172	2032
7	1875	2475
8	497	1291
9	2566	3430
10	1249	740
11	2944	1948
12	6528	2899
13	2243	3616
14	867	3733
15	1374	4702
16	4698	2285
17	4760	3917
18	1859	4058
19	6141	3527
0	2148	5066
1	1306	145
2	2319	871
3	3463	1061
4	5554	6647
5	5837	339
6	5821	4932
7	6356	4756
8	3930	418
9	211	3094
10	1007	4928
11	3584	1235
12	6982	2869
13	1612	1013
14	953	4964
15	4555	4410
16	4925	4842
17	5778	600
18	6509	2417
19	1260	4903
0	3369	3031

[図59]

図59

1	3557	3224
2	3028	583
3	3258	440
4	6226	6655
5	4895	1094
6	1481	6847
7	4433	1932
8	2107	1649
9	2119	2065
10	4003	6388
11	6720	3622
12	3694	4521
13	1164	7050
14	1965	3613
15	4331	66
16	2970	1796
17	4652	3218
18	1762	4777
19	5736	1399
0	970	2572
1	2062	6599
2	4597	4870
3	1228	6913
4	4159	1037
5	2916	2362
6	395	1226
7	6911	4548
8	4618	2241
9	4120	4280
10	5825	474
11	2154	5558
12	3793	5471
13	5707	1595
14	1403	325
15	6601	5183
16	6369	4569
17	4846	896
18	7092	6184
19	6764	7127
0	6358	1951
1	3117	6960

[図60]

図60

2 2710 7062
3 1133 3604
4 3694 657
5 1355 110
6 3329 6736
7 2505 3407
8 2462 4806
9 4216 214
10 5348 5619
11 6627 6243
12 2644 5073
13 4212 5088
14 3463 3889
15 5306 478
16 4320 6121
17 3961 1125
18 5699 1195
19 6511 792
0 3934 2778
1 3238 6587
2 1111 6596
3 1457 6226
4 1446 3885
5 3907 4043
6 6839 2873
7 1733 5615
8 5202 4269
9 3024 4722
10 5445 6372
11 370 1828
12 4695 1600
13 680 2074
14 1801 6690
15 2669 1377
16 2463 1681
17 5972 5171
18 5728 4284
19 1696 1459

[図61]

図61 $r=\frac{9}{10}$, N=64800の検査行列初期値テーブル

r9/10 64K

```
0 5611 2563 2900
1 5220 3143 4813
2 2481 834 81
3 6265 4064 4265
4 1055 2914 5638
5 1734 2182 3315
6 3342 5678 2246
7 2185 552 3385
8 2615 236 5334
9 1546 1755 3846
10 4154 5561 3142
11 4382 2957 5400
12 1209 5329 3179
13 1421 3528 6063
14 1480 1072 5398
15 3843 1777 4369
16 1334 2145 4163
17 2368 5055 260
0 6118 5405
1 2994 4370
2 3405 1669
3 4640 5550
4 1354 3921
5 117 1713
6 5425 2866
7 6047 683
8 5616 2582
9 2108 1179
10 933 4921
11 5953 2261
12 1430 4699
13 5905 480
14 4289 1846
15 5374 6208
16 1775 3476
17 3216 2178
0 4165 884
1 2896 3744
2 874 2801
3 3423 5579
```

[図62]

図62

4	3404	3552
5	2876	5515
6	516	1719
7	765	3631
8	5059	1441
9	5629	598
10	5405	473
11	4724	5210
12	155	1832
13	1689	2229
14	449	1164
15	2308	3088
16	1122	669
17	2268	5758
0	5878	2609
1	782	3359
2	1231	4231
3	4225	2052
4	4286	3517
5	5531	3184
6	1935	4560
7	1174	131
8	3115	956
9	3129	1088
10	5238	4440
11	5722	4280
12	3540	375
13	191	2782
14	906	4432
15	3225	1111
16	6296	2583
17	1457	903
0	855	4475
1	4097	3970
2	4433	4361
3	5198	541
4	1146	4426
5	3202	2902
6	2724	525
7	1083	4124
8	2326	6003

08 158

[図63]

図63

9	5605	5990
10	4376	1579
11	4407	984
12	1332	6163
13	5359	3975
14	1907	1854
15	3601	5748
16	6056	3266
17	3322	4085
0	1768	3244
1	2149	144
2	1589	4291
3	5154	1252
4	1855	5939
5	4820	2706
6	1475	3360
7	4266	693
8	4156	2018
9	2103	752
10	3710	3853
11	5123	931
12	6146	3323
13	1939	5002
14	5140	1437
15	1263	293
16	5949	4665
17	4548	6380
0	3171	4690
1	5204	2114
2	6384	5565
3	5722	1757
4	2805	6264
5	1202	2616
6	1018	3244
7	4018	5289
8	2257	3067
9	2483	3073
10	1196	5329
11	649	3918
12	3791	4581
13	5028	3803

[図64]
図64

00 159

14 3119 3506
15 4779 431
16 3888 5510
17 4387 4084
0 5836 1692
1 5126 1078
2 5721 6165
3 3540 2499
4 2225 6348
5 1044 1484
6 6323 4042
7 1313 5603
8 1303 3496
9 3516 3639
10 5161 2293
11 4682 3845
12 3045 643
13 2818 2616
14 3267 649
15 6236 593
16 646 2948
17 4213 1442
0 5779 1596
1 2403 1237
2 2217 1514
3 5609 716
4 5155 3858
5 1517 1312
6 2554 3158
7 5280 2643
8 4990 1353
9 5648 1170
10 1152 4366
11 3561 5368
12 3581 1411
13 5647 4661
14 1542 5401
15 5078 2687
16 316 1755
17 3392 1991

00 160

[図65]

図65

r1/4 64K

23606 36098 1140 28859 18148 18510 6226 540 42014 20879 23802 47088
16419 24928 16609 17248 7693 24997 42587 16858 34921 21042 37024 20692
1874 40094 18704 14474 14004 11519 13106 28826 38669 22363 30255 31105
22254 40564 22645 22532 6134 9176 39998 23892 8937 15608 16854 31009
8037 40401 13550 19526 41902 28782 13304 32796 24679 27140 45980 10021
40540 44498 13911 22435 32701 18405 39929 25521 12497 9851 39223 34823
15233 45333 5041 44979 45710 42150 19416 1892 23121 15860 8832 10308
10468 44296 3611 1480 37581 32254 13817 6883 32892 40258 46538 11940
6705 21634 28150 43757 895 6547 20970 28914 30117 25736 41734 11392
22002 5739 27210 27828 34192 37992 10915 6998 3824 42130 4494 35739
8515 1191 13642 30950 25943 12673 16726 34261 31828 3340 8747 39225
18979 17058 43130 4246 4793 44030 19454 29511 47929 15174 24333 19354
16694 8381 29642 46516 32224 26344 9405 18292 12437 27316 35466 41992
15642 5871 46489 26723 23396 7257 8974 3156 37420 44823 35423 13541
42858 32008 41282 38773 26570 2702 27260 46974 1469 20887 27426 38553
22152 24261 8297
19347 9978 27802
34991 6354 33561
29782 30875 29523
9278 48512 14349
38061 4165 43878
8548 33172 34410
22535 28811 23950
20439 4027 24186
38618 8187 30947
35538 43880 21459
7091 45616 15063
5505 9315 21908
36046 32914 11836
7304 39782 33721
16905 29962 12980
11171 23709 22460
34541 9937 44500
14035 47316 8815
15057 45482 24461
30518 36877 879
7583 13364 24332
448 27056 4682
12083 31378 21670
1159 18031 2221
17028 38715 9350
17343 24530 29574

[図66]

図66

46128 31039 32818
20373 36967 18345
46685 20622 32806

[図67]

図67

r1/3 64K

34903 20927 32093 1052 25611 16093 16454 5520 506 37399 18518 21120
11636 14594 22158 14763 15333 6838 22222 37856 14985 31041 18704 32910
17449 1665 35639 16624 12867 12449 10241 11650 25622 34372 19878 26894
29235 19780 36056 20129 20029 5457 8157 35554 21237 7943 13873 14980
9912 7143 35911 12043 17360 37253 25588 11827 29152 21936 24125 40870
40701 36035 39556 12366 19946 29072 16365 35495 22686 11106 8756 34863
19165 15702 13536 40238 4465 40034 40590 37540 17162 1712 20577 14138
31338 19342 9301 39375 3211 1316 33409 28670 12282 6118 29236 35787
11504 30506 19558 5100 24188 24738 30397 33775 9699 6215 3397 37451
34689 23126 7571 1058 12127 27518 23064 11265 14867 30451 28289 2966
11660 15334 16867 15160 38343 3778 4265 39139 17293 26229 42604 13486
31497 1365 14828 7453 26350 41346 28643 23421 8354 16255 11055 24279
15687 12467 13906 5215 41328 23755 20800 6447 7970 2803 33262 39843
5363 22469 38091 28457 36696 34471 23619 2404 24229 41754 1297 18563
3673 39070 14480 30279 37483 7580 29519 30519 39831 20252 18132 20010
34386 7252 27526 12950 6875 43020 31566 39069 18985 15541 40020 16715
1721 37332 39953 17430 32134 29162 10490 12971 28581 29331 6489 35383
736 7022 42349 8783 6767 11871 21675 10325 11548 25978 431 24085
1925 10602 28585 12170 15156 34404 8351 13273 20208 5800 15367 21764
16279 37832 34792 21250 34192 7406 41488 18346 29227 26127 25493 7048
39948 28229 24899
17408 14274 38993
38774 15968 28459
41404 27249 27425
41229 6082 43114
13957 4979 40654
3093 3438 34992
34082 6172 28760
42210 34141 41021
14705 17783 10134
41755 39884 22773
14615 15593 1642
29111 37061 39860
9579 33552 633
12951 21137 39608
38244 27361 29417
2939 10172 36479
29094 5357 19224
9562 24436 28637

[図68]
図68

40177 2326 13504
6834 21583 42516
40651 42810 25709
31557 32138 38142
18624 41867 39296
37560 14295 16245
6821 21679 31570
25339 25083 22081
8047 697 35268
9884 17073 19995
26848 35245 8390
18658 16134 14807
12201 32944 5035
25236 1216 38986
42994 24782 8681
28321 4932 34249
4107 29382 32124
22157 2624 14468
38788 27081 7936
4368 26148 10578
25353 4122 39751

[図69]

図69

r2/5 64K

31413 18834 28884 947 23050 14484 14809 4968 455 33659 16666 19008
13172 19939 13354 13719 6132 20086 34040 13442 27958 16813 29619 16553
1499 32075 14962 11578 11204 9217 10485 23062 30936 17892 24204 24885
32490 18086 18007 4957 7285 32073 19038 7152 12486 13483 24808 21759
32321 10839 15620 33521 23030 10646 26236 19744 21713 36784 8016 12869
35597 11129 17948 26160 14729 31943 20416 10000 7882 31380 27858 33356
14125 12131 36199 4058 35992 36594 33698 15475 1566 18498 12725 7067
17406 8372 35437 2888 1184 30068 25802 11056 5507 26313 32205 37232
15254 5365 17308 22519 35009 718 5240 16778 23131 24092 20587 33385
27455 17602 4590 21767 22266 27357 30400 8732 5596 3060 33703 3596
6882 873 10997 24738 20770 10067 13379 27409 25463 2673 6998 31378
15181 13645 34501 3393 3840 35227 15562 23615 38342 12139 19471 15483
13350 6707 23709 37204 25778 21082 7511 14588 10010 21854 28375 33591
12514 4695 37190 21379 18723 5802 7182 2529 29936 35860 28338 10835
34283 25610 33026 31017 21259 2165 21807 37578 1175 16710 21939 30841
27292 33730 6836 26476 27539 35784 18245 16394 17939 23094 19216 17432
11655 6183 38708 28408 35157 17089 13998 36029 15052 16617 5638 36464
15693 28923 26245 9432 11675 25720 26405 5838 31851 26898 8090 37037
24418 27583 7959 35562 37771 17784 11382 11156 37855 7073 21685 34515
10977 13633 30969 7516 11943 18199 5231 13825 19589 23661 11150 35602
19124 30774 6670 37344 16510 26317 23518 22957 6348 34069 8845 20175
34985 14441 25668 4116 3019 21049 37308 24551 24727 20104 24850 12114
38187 28527 13108 13985 1425 21477 30807 8613 26241 33368 35913 32477
5903 34390 24641 26556 23007 27305 38247 2621 9122 32806 21554 18685
17287 27292 19033
25796 31795 12152
12184 35088 31226
38263 33386 24892
23114 37995 29796
34336 10551 36245
35407 175 7203
14654 38201 22605
28404 6595 1018
19932 3524 29305
31749 20247 8128
18026 36357 26735
7543 29767 13588
13333 25965 8463
14504 36796 19710
4528 25299 7318
35091 25550 14798

[図70]
図70

7824 215 1248
30848 5362 17291
28932 30249 27073
13062 2103 16206
7129 32062 19612
9512 21936 38833
35849 33754 23450
18705 28656 18111
22749 27456 32187
28229 31684 30160
15293 8483 28002
14880 13334 12584
28646 2558 19687
6259 4499 26336
11952 28386 8405
10609 961 7582
10423 13191 26818
15922 36654 21450
10492 1532 1205
30551 36482 22153
5156 11330 34243
28616 35369 13322
8962 1485 21186
23541 17445 35561
33133 11593 19895
33917 7863 33651
20063 28331 10702
13195 21107 21859
4364 31137 4804
5585 2037 4830
30672 16927 14800

[図71]

図71

r1/2 64K

54 9318 14392 27561 26909 10219 2534 8597
55 7263 4635 2530 28130 3033 23830 3651
56 24731 23583 26036 17299 5750 792 9169
57 5811 26154 18653 11551 15447 13685 16264
58 12610 11347 28768 2792 3174 29371 12997
59 16789 16018 21449 6165 21202 15850 3186
60 31016 21449 17618 6213 12166 8334 18212
61 22836 14213 11327 5896 718 11727 9308
62 2091 24941 29966 23634 9013 15587 5444
63 22207 3983 16904 28534 21415 27524 25912
64 25687 4501 22193 14665 14798 16158 5491
65 4520 17094 23397 4264 22370 16941 21526
66 10490 6182 32370 9597 30841 25954 2762
67 22120 22865 29870 15147 13668 14955 19235
68 6689 18408 18346 9918 25746 5443 20645
69 29982 12529 13858 4746 30370 10023 24828
70 1262 28032 29888 13063 24033 21951 7863
71 6594 29642 31451 14831 9509 9335 31552
72 1358 6454 16633 20354 24598 624 5265
73 19529 295 18011 3080 13364 8032 15323
74 11981 1510 7960 21462 9129 11370 25741
75 9276 29656 4543 30699 20646 21921 28050
76 15975 25634 5520 31119 13715 21949 19605
77 18688 4608 31755 30165 13103 10706 29224
78 21514 23117 12245 26035 31656 25631 30699
79 9674 24966 31285 29908 17042 24588 31857
80 21856 27777 29919 27000 14897 11409 7122
81 29773 23310 263 4877 28622 20545 22092
82 15605 5651 21864 3967 14419 22757 15896
83 30145 1759 10139 29223 26086 10556 5098
84 18815 16575 2936 24457 26738 6030 505
85 30326 22298 27562 20131 26390 6247 24791
86 928 29246 21246 12400 15311 32309 18608
87 20314 6025 26689 16302 2296 3244 19613
88 6237 11943 22851 15642 23857 15112 20947
89 26403 25168 19038 18384 8882 12719 7093
0 14567 24965
1 3908 100
2 10279 240

00 167

[図72]
図72

3	24102	764
4	12383	4173
5	13861	15918
6	21327	1046
7	5288	14579
8	28158	8069
9	16583	11098
10	16681	28363
11	13980	24725
12	32169	17989
13	10907	2767
14	21557	3818
15	26676	12422
16	7676	8754
17	14905	20232
18	15719	24646
19	31942	8589
20	19978	27197
21	27060	15071
22	6071	26649
23	10393	11176
24	9597	13370
25	7081	17677
26	1433	19513
27	26925	9014
28	19202	8900
29	18152	30647
30	20803	1737
31	11804	25221
32	31683	17783
33	29694	9345
34	12280	26611
35	6526	26122
36	26165	11241
37	7666	26962
38	16290	8480
39	11774	10120
40	30051	30426
41	1335	15424
42	6865	17742
43	31779	12489
44	32120	21001
45	14508	6996

[図73]
図73

46 979 25024
47 4554 21896
48 7989 21777
49 4972 20661
50 6612 2730
51 12742 4418
52 29194 595
53 19267 20113

[図74]

図74

r3/5 64K

22422 10282 11626 19997 11161 2922 3122 99 5625 17064 8270 179
25087 16218 17015 828 20041 25656 4186 11629 22599 17305 22515 6463
11049 22853 25706 14388 5500 19245 8732 2177 13555 11346 17265 3069
16581 22225 12563 19717 23577 11555 25496 6853 25403 5218 15925 21766
16529 14487 7643 10715 17442 11119 5679 14155 24213 21000 1116 15620
5340 8636 16693 1434 5635 6516 9482 20189 1066 15013 25361 14243
18506 22236 20912 8952 5421 15691 6126 21595 500 6904 13059 6802
8433 4694 5524 14216 3685 19721 25420 9937 23813 9047 25651 16826
21500 24814 6344 17382 7064 13929 4004 16552 12818 8720 5286 2206
22517 2429 19065 2921 21611 1873 7507 5661 23006 23128 20543 19777
1770 4636 20900 14931 9247 12340 11008 12966 4471 2731 16445 791
6635 14556 18865 22421 22124 12697 9803 25485 7744 18254 11313 9004
19982 23963 18912 7206 12500 4382 20067 6177 21007 1195 23547 24837
756 11158 14646 20534 3647 17728 11676 11843 12937 4402 8261 22944
9306 24009 10012 11081 3746 24325 8060 19826 842 8836 2898 5019
7575 7455 25244 4736 14400 22981 5543 8006 24203 13053 1120 5128
3482 9270 13059 15825 7453 23747 3656 24585 16542 17507 22462 14670
15627 15290 4198 22748 5842 13395 23918 16985 14929 3726 25350 24157
24896 16365 16423 13461 16615 8107 24741 3604 25904 8716 9604 20365
3729 17245 18448 9862 20831 25326 20517 24618 13282 5099 14183 8804
16455 17646 15376 18194 25528 1777 6066 21855 14372 12517 4488 17490
1400 8135 23375 20879 8476 4084 12936 25536 22309 16582 6402 24360
25119 23586 128 4761 10443 22536 8607 9752 25446 15053 1856 4040
377 21160 13474 5451 17170 5938 10256 11972 24210 17833 22047 16108
13075 9648 24546 13150 23867 7309 19798 2988 16858 4825 23950 15125
20526 3553 11525 23366 2452 17626 19265 20172 18060 24593 13255 1552
18839 21132 20119 15214 14705 7096 10174 5663 18651 19700 12524 14033
4127 2971 17499 16287 22368 21463 7943 18880 5567 8047 23363 6797
10651 24471 14325 4081 7258 4949 7044 1078 797 22910 20474 4318
21374 13231 22985 5056 3821 23718 14178 9978 19030 23594 8895 25358
6199 22056 7749 13310 3999 23697 16445 22636 5225 22437 24153 9442
7978 12177 2893 20778 3175 8645 11863 24623 10311 25767 17057 3691
20473 11294 9914 22815 2574 8439 3699 5431 24840 21908 16088 18244
8208 5755 19059 8541 24924 6454 11234 10492 16406 10831 11436 9649
16264 11275 24953 2347 12667 19190 7257 7174 24819 2938 2522 11749
3627 5969 13862 1538 23176 6353 2855 17720 2472 7428 573 15036
0 18539 18661
1 10502 3002
2 9368 10761

00 170

[図75]

図75

3	12299	7828
4	15048	13362
5	18444	24640
6	20775	19175
7	18970	10971
8	5329	19982
9	11296	18655
10	15046	20659
11	7300	22140
12	22029	14477
13	11129	742
14	13254	13813
15	19234	13273
16	6079	21122
17	22782	5828
18	19775	4247
19	1660	19413
20	4403	3649
21	13371	25851
22	22770	21784
23	10757	14131
24	16071	21617
25	6393	3725
26	597	19968
27	5743	8084
28	6770	9548
29	4285	17542
30	13568	22599
31	1786	4617
32	23238	11648
33	19627	2030
34	13601	13458
35	13740	17328
36	25012	13944
37	22513	6687
38	4934	12587
39	21197	5133
40	22705	6938
41	7534	24633
42	24400	12797
43	21911	25712
44	12039	1140
45	24306	1021

[図76]
図76

```
46 14012 20747
47 11265 15219
48 4670 15531
49 9417 14359
50 2415 6504
51 24964 24690
52 14443 8816
53 6926 1291
54 6209 20806
55 13915 4079
56 24410 13196
57 13505 6117
58 9869 8220
59 1570 6044
60 25780 17387
61 20671 24913
62 24558 20591
63 12402 3702
64 8314 1357
65 20071 14616
66 17014 3688
67 19837 946
68 15195 12136
69 7758 22808
70 3564 2925
71 3434 7769
```

[図77]
図77

```
r1/4 16K
6295 9626 304 7695 4839 4936 1660 144 11203 5567 6347 12557
10691 4988 3859 3734 3071 3494 7687 10313 5964 8069 8296 11090
10774 3613 5208 11177 7676 3549 8746 6583 7239 12265 2674 4292
11869 3708 5981 8718 4908 10650 6805 3334 2627 10461 9285 11120
7844 3079 10773
3385 10854 5747
1360 12010 12202
6189 4241 2343
9840 12726 4977
```

[図78]

図78

r1/3 16K

```
416 8909 4156 3216 3112 2560 2912 6405 8593 4969 6723 6912
8978 3011 4339 9312 6396 2957 7288 5485 6031 10218 2226 3575
3383 10059 1114 10008 10147 9384 4290 434 5139 3536 1965 2291
2797 3693 7615 7077 743 1941 8716 6215 3840 5140 4582 5420
6110 8551 1515 7404 4879 4946 5383 1831 3441 9569 10472 4306
1505 5682 7778
7172 6830 6623
7281 3941 3505
10270 8669 914
3622 7563 9388
9930 5058 4554
4844 9609 2707
6883 3237 1714
4768 3878 10017
10127 3334 8267
```

[図79]

図79

r2/5 16K

```
5650 4143 8750 583 6720 8071 635 1767 1344 6922 738 6658
5696 1685 3207 415 7019 5023 5608 2605 857 6915 1770 8016
3992 771 2190 7258 8970 7792 1802 1866 6137 8841 886 1931
4108 3781 7577 6810 9322 8226 5396 5867 4428 8827 7766 2254
4247 888 4367 8821 9660 324 5864 4774 227 7889 6405 8963
9693 500 2520 2227 1811 9330 1928 5140 4030 4824 806 3134
1652 8171 1435
3366 6543 3745
9286 8509 4645
7397 5790 8972
6597 4422 1799
9276 4041 3847
8683 7378 4946
5348 1993 9186
6724 9015 5646
4502 4439 8474
5107 7342 9442
1387 8910 2660
```

[図80]

図80

r1/2 16K

20 712 2386 6354 4061 1062 5045 5158
21 2543 5748 4822 2348 3089 6328 5876
22 926 5701 269 3693 2438 3190 3507
23 2802 4520 3577 5324 1091 4667 4449
24 5140 2003 1263 4742 6497 1185 6202
0 4046 6934
1 2855 66
2 6694 212
3 3439 1158
4 3850 4422
5 5924 290
6 1467 4049
7 7820 2242
8 4606 3080
9 4633 7877
10 3884 6868
11 8935 4996
12 3028 764
13 5988 1057
14 7411 3450

00 174

[図81]

図81

r3/5 16K

2765 5713 6426 3596 1374 4811 2182 544 3394 2840 4310 771
4951 211 2208 723 1246 2928 398 5739 265 5601 5993 2615
210 4730 5777 3096 4282 6238 4939 1119 6463 5298 6320 4016
4167 2063 4757 3157 5664 3956 6045 563 4284 2441 3412 6334
4201 2428 4474 59 1721 736 2997 428 3807 1513 4732 6195
2670 3081 5139 3736 1999 5889 4362 3806 4534 5409 6384 5809
5516 1622 2906 3285 1257 5797 3816 817 875 2311 3543 1205
4244 2184 5415 1705 5642 4886 2333 287 1848 1121 3595 6022
2142 2830 4069 5654 1295 2951 3919 1356 884 1786 396 4738
0 2161 2653
1 1380 1461
2 2502 3707
3 3971 1057
4 5985 6062
5 1733 6028
6 3786 1936
7 4292 956
8 5692 3417
9 266 4878
10 4913 3247
11 4763 3937
12 3590 2903
13 2566 4215
14 5208 4707
15 3940 3388
16 5109 4556
17 4908 4177

[図82]

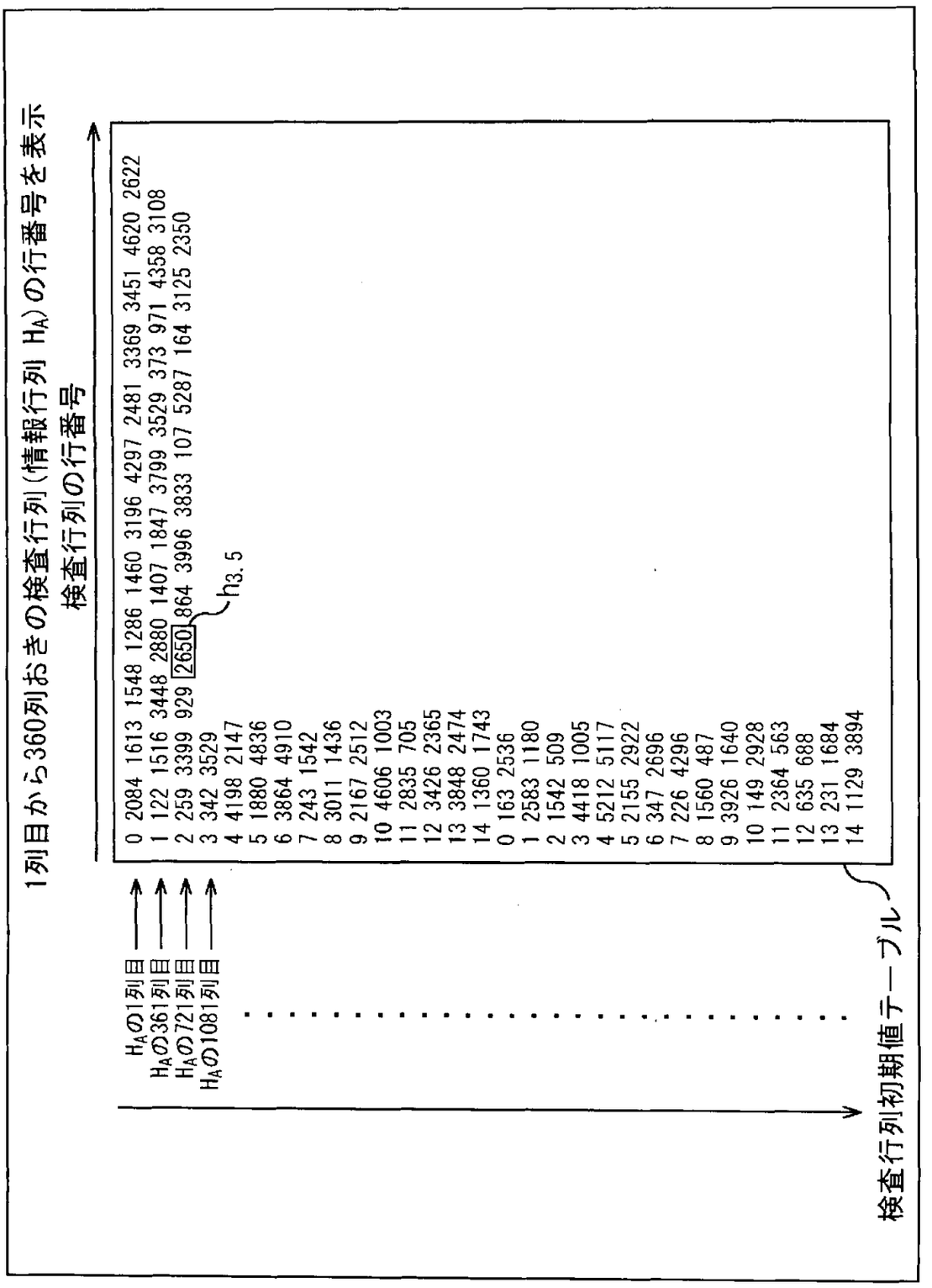
図82

r3/5 16K

71 1478 1901 2240 2649 2725 3592 3708 3965 4080 5733 6198
393 1384 1435 1878 2773 3182 3586 5465 6091 6110 6114 6327
160 1149 1281 1526 1566 2129 2929 3095 3223 4250 4276 4612
289 1446 1602 2421 3559 3796 5590 5750 5763 6168 6271 6340
947 1227 2008 2020 2266 3365 3588 3867 4172 4250 4865 6290
3324 3704 4447
1206 2565 3089
529 4027 5891
141 1187 3206
1990 2972 5120
752 796 5976
1129 2377 4030
6077 6108 6231
61 1053 1781
2820 4109 5307
2088 5834 5988
3725 3945 4010
1081 2780 3389
659 2221 4822
3033 6060 6160
756 1489 2350
3350 3624 5470
357 1825 5242
585 3372 6062
561 1417 2348
971 3719 5567
1005 1675 2062

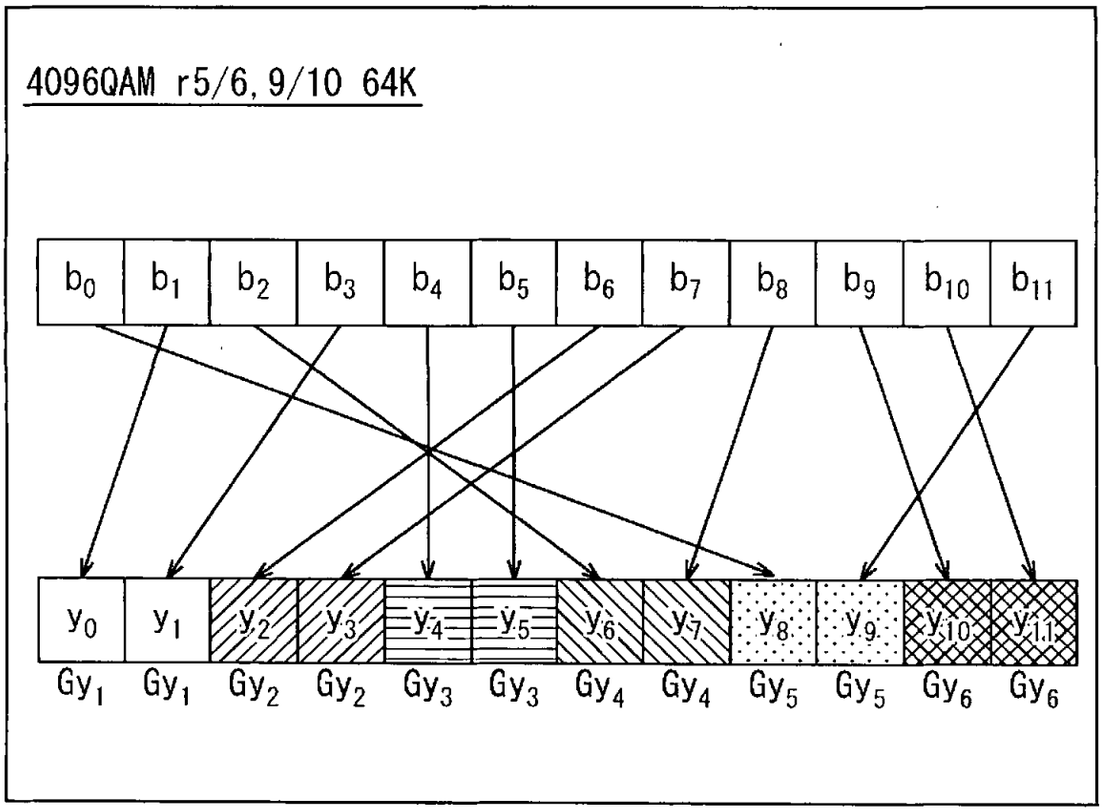
[図83]

図83


1列目から360列おきの検査行列(情報行列 H_A)の行番号を表示
検査行列の行番号
H_Aの1列目
H_Aの361列目
H_Aの721列目
H_Aの1081列目
0 2084 1613 1548 1286 1460 3196 4297 2481 3369 3451 4620 2622
1 122 1516 3448 2880 1407 1847 3799 3529 373 971 4358 3108
2 259 3399 929 2650 864 3996 3833 107 5287 164 3125 2350
3 342 3529
4 4198 2147
5 1880 4836
6 3864 4910
7 243 1542
8 3011 1436
9 2167 2512
10 4606 1003
11 2835 705
12 3426 2365
13 3848 2474
14 1360 1743
0 163 2536
1 2583 1180
2 1542 509
3 4418 1005
4 5212 5117
5 2155 2922
6 347 2696
7 226 4296
8 1560 487
9 3926 1640
10 149 2928
11 2364 563
12 635 688
13 231 1684
14 1129 3894
$h_{3,5}$
検査行列初期値テーブル

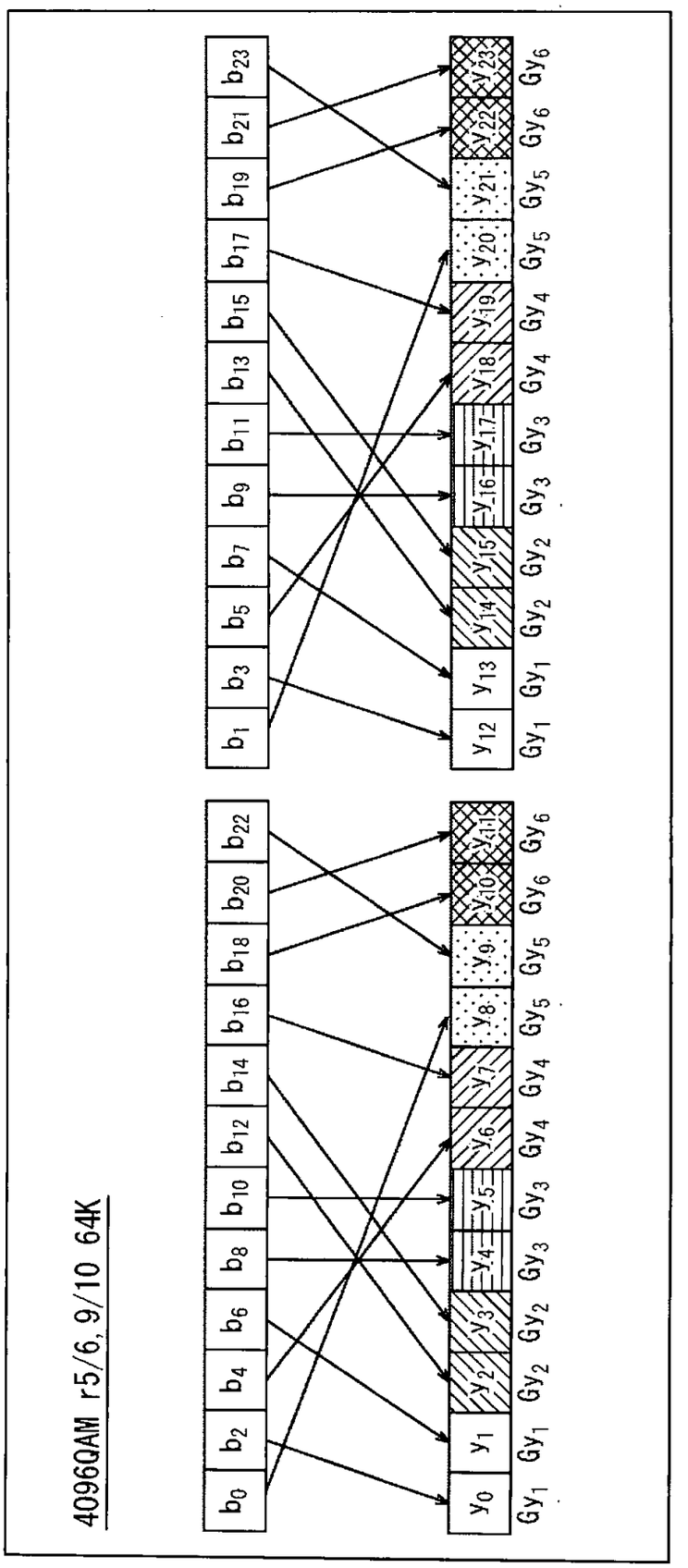
[図84]

図84


4096QAM r5/6, 9/10 64K
b0 b1 b2 b3 b4 b5 b6 b7 b8 b9 b10 b11
y0 y1 y2 y3 y4 y5 y6 y7 y8 y9 y10 y11
Gy1 Gy1 Gy2 Gy2 Gy3 Gy3 Gy4 Gy4 Gy5 Gy5 Gy6 Gy6

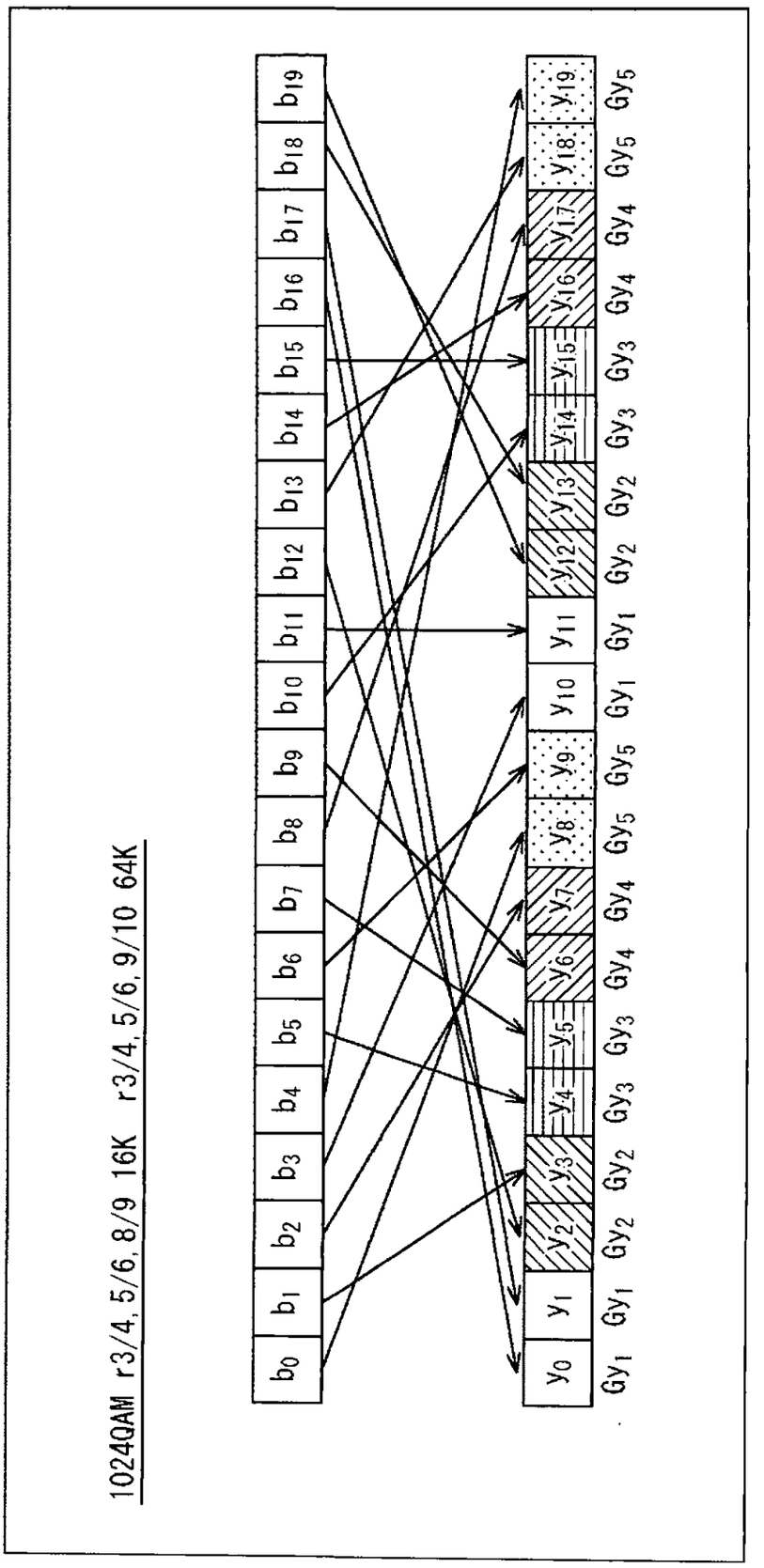
[図85]

図85


4096QAM r5/6, 9/10 64K
b0 b2 b4 b6 b8 b10 b12 b14 b16 b18 b20 b22
b1 b3 b5 b7 b9 b11 b13 b15 b17 b19 b21 b23
y0 y1 y2 y3 y4 y5 y6 y7 y8 y9 y10 y11
y12 y13 y14 y15 y16 y17 y18 y19 y20 y21 y22 y23
Gy1 Gy1 Gy2 Gy2 Gy3 Gy3 Gy4 Gy4 Gy5 Gy5 Gy6 Gy6
Gy1 Gy1 Gy2 Gy2 Gy3 Gy3 Gy4 Gy4 Gy5 Gy5 Gy6 Gy6

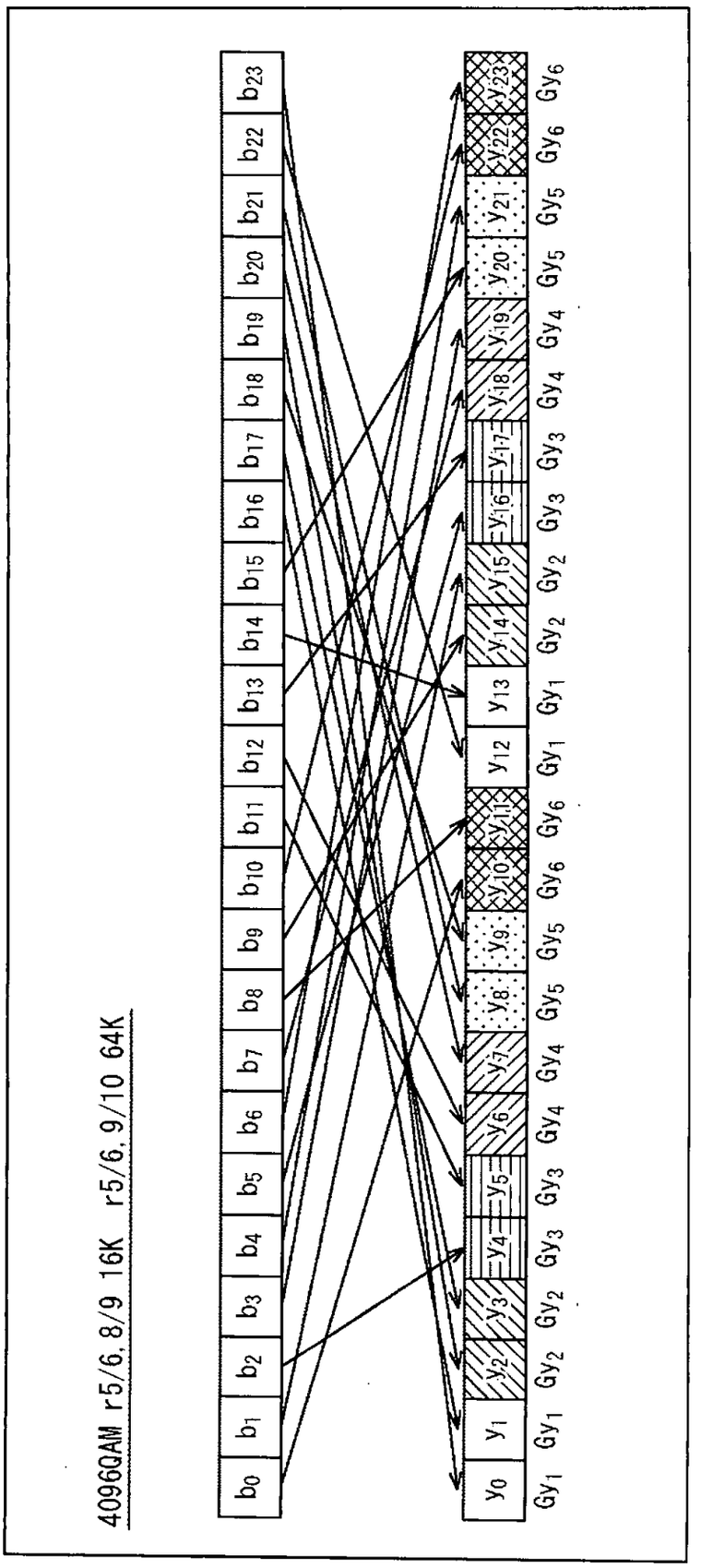
[図86]

図86


1024QAM r3/4, 5/6, 8/9 16K r3/4, 5/6, 9/10 64K
b0 b1 b2 b3 b4 b5 b6 b7 b8 b9 b10 b11 b12 b13 b14 b15 b16 b17 b18 b19
y0 y1 y2 y3 y4 y5 y6 y7 y8 y9 y10 y11 y12 y13 y14 y15 y16 y17 y18 y19
Gy1 Gy1 Gy2 Gy2 Gy3 Gy3 Gy4 Gy4 Gy5 Gy5 Gy1 Gy1 Gy2 Gy2 Gy3 Gy3 Gy4 Gy4 Gy5 Gy5

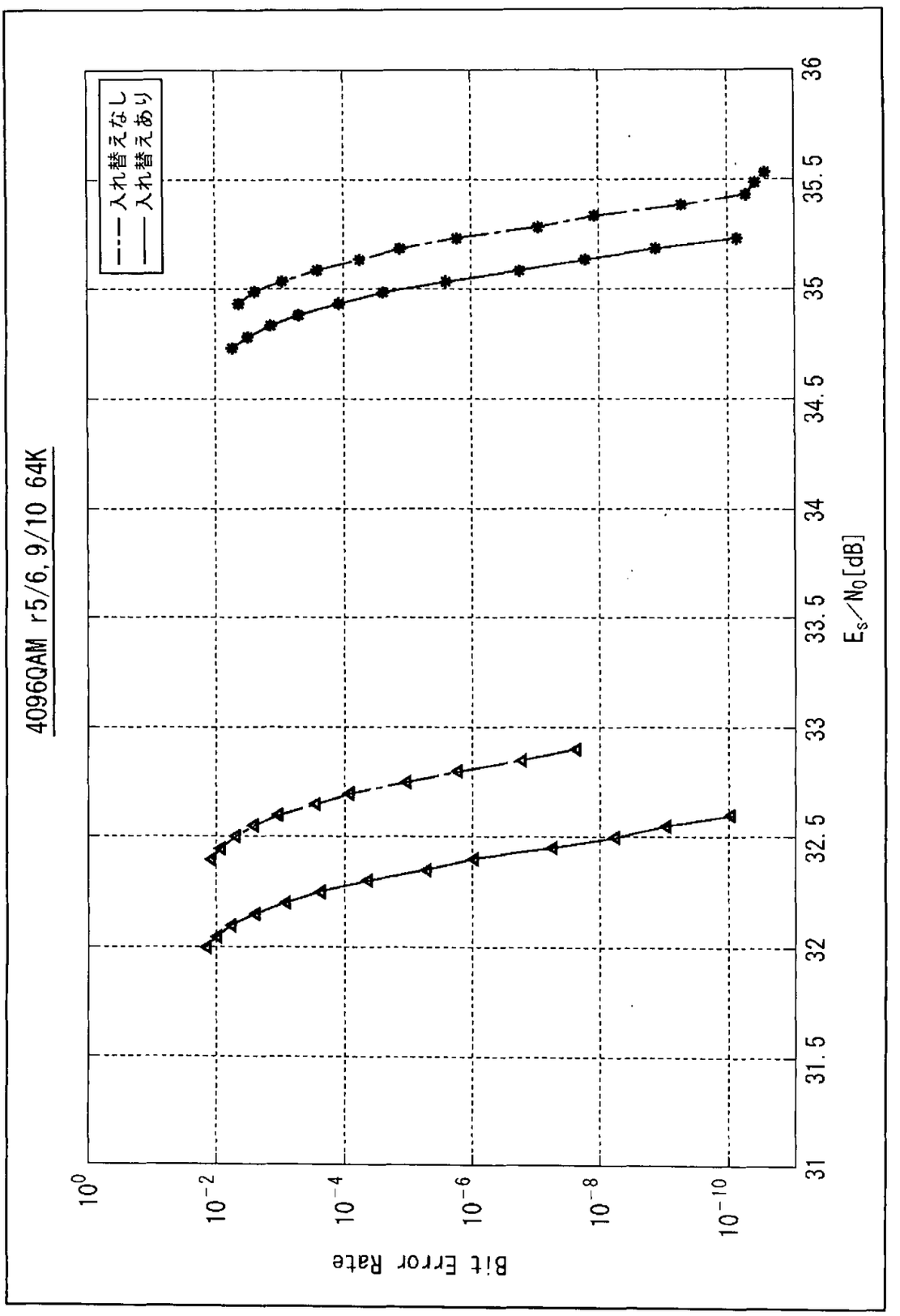
[図87]

図87


4096QAM r5/6,8/9 16K r5/6,9/10 64K
b0 b1 b2 b3 b4 b5 b6 b7 b8 b9 b10 b11 b12 b13 b14 b15 b16 b17 b18 b19 b20 b21 b22 b23
y0 y1 y2 y3 y4 y5 y6 y7 y8 y9 y10 y11 y12 y13 y14 y15 y16 y17 y18 y19 y20 y21 y22 y23
Gy1 Gy1 Gy2 Gy2 Gy3 Gy3 Gy4 Gy4 Gy5 Gy5 Gy6 Gy6 Gy1 Gy1 Gy2 Gy2 Gy3 Gy3 Gy4 Gy4 Gy5 Gy5 Gy6 Gy6

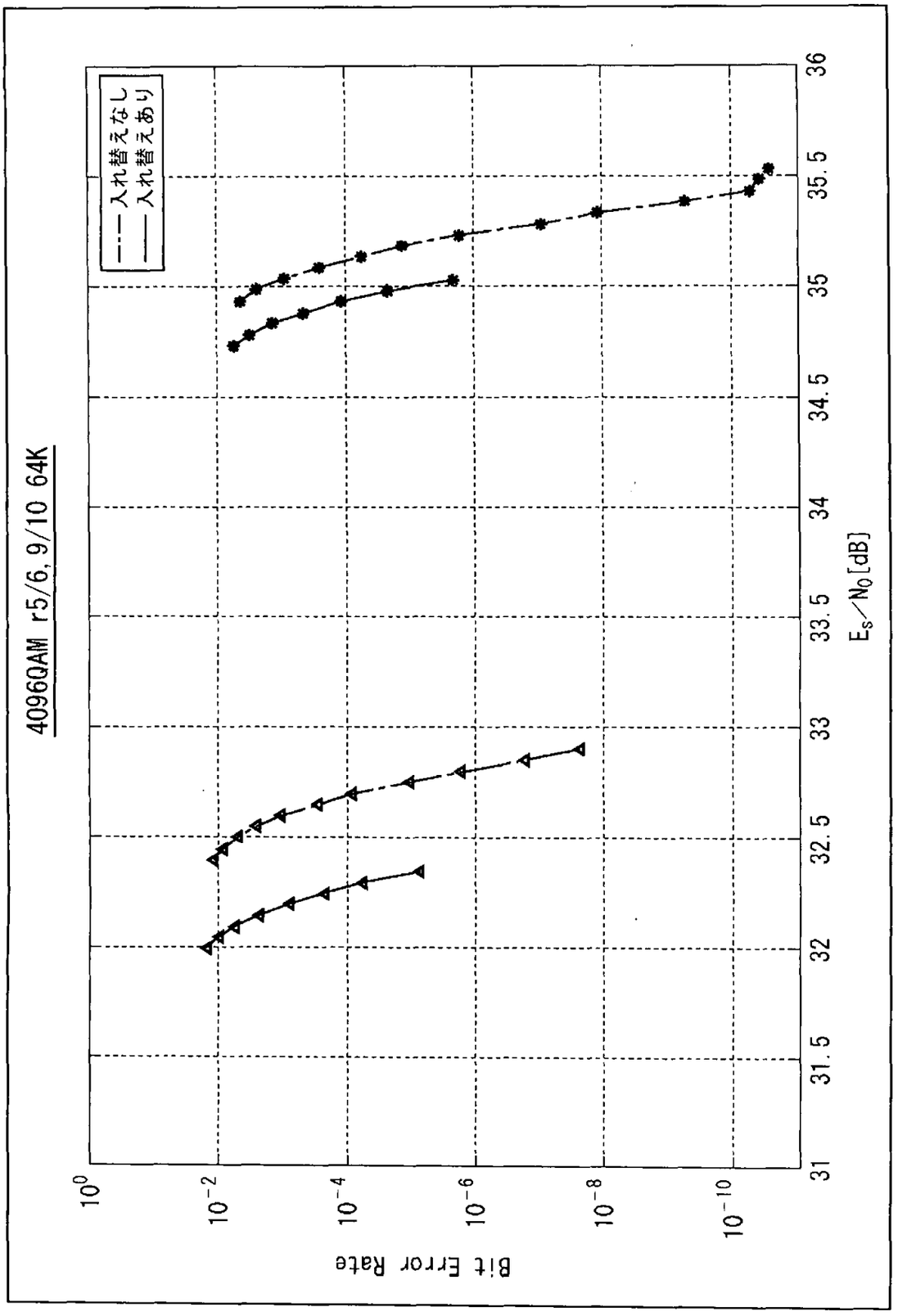
[図88]

図88


4096QAM r5/6, 9/10 64K
入れ替えなし
入れ替えあり
Bit Error Rate
10^{0}
10^{-2}
10^{-4}
10^{-6}
10^{-8}
10^{-10}
31
31.5
32
32.5
33
33.5
34
34.5
35
35.5
36
E_s/N_0[dB]

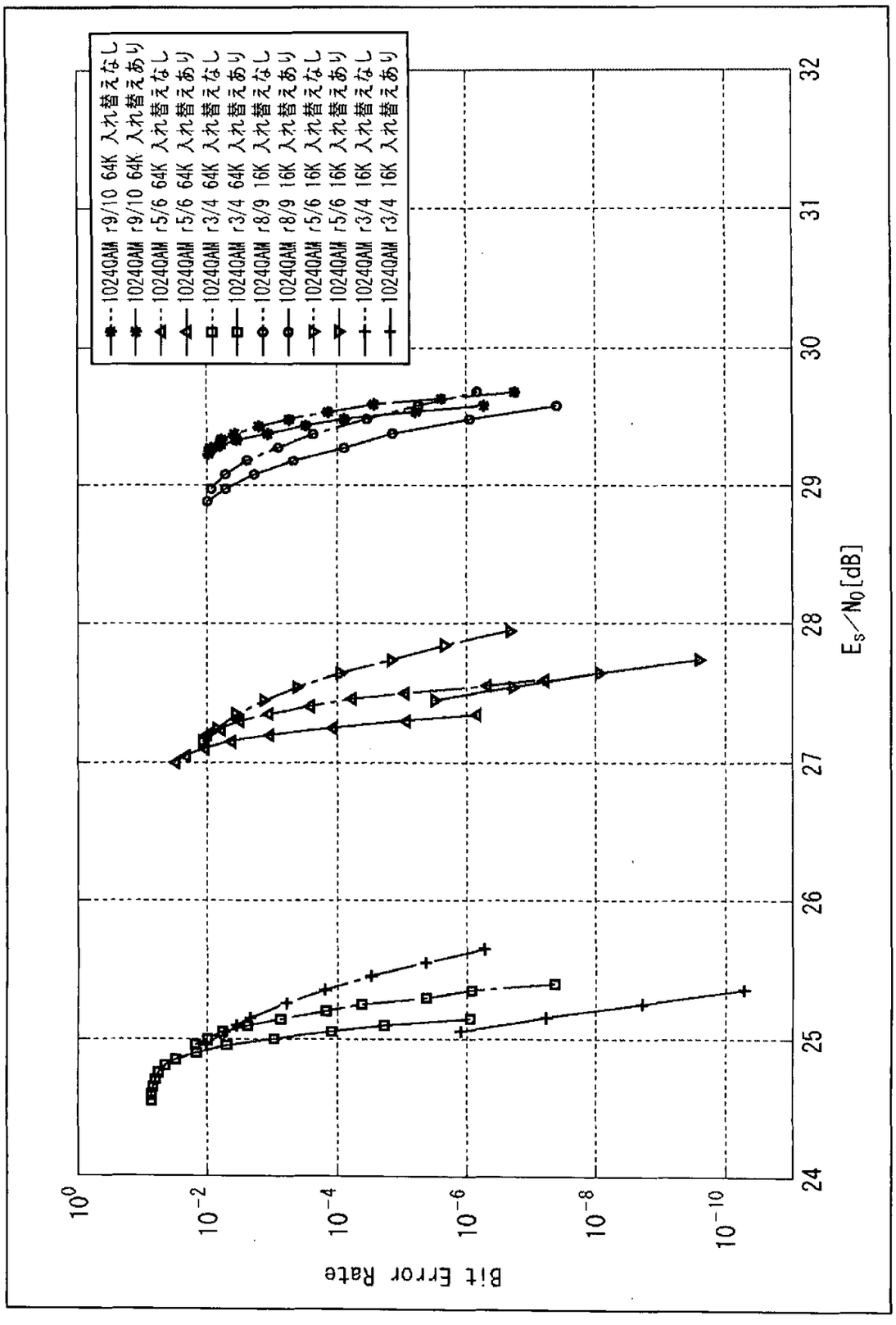
[図89]

図89


入れ替えなし
入れ替えあり
4096QAM r5/6, 9/10 64K
Bit Error Rate
10^{0}
10^{-2}
10^{-4}
10^{-6}
10^{-8}
10^{-10}
31
31.5
32
32.5
33
33.5
34
34.5
35
35.5
36
E_s/N_0[dB]

[図90]

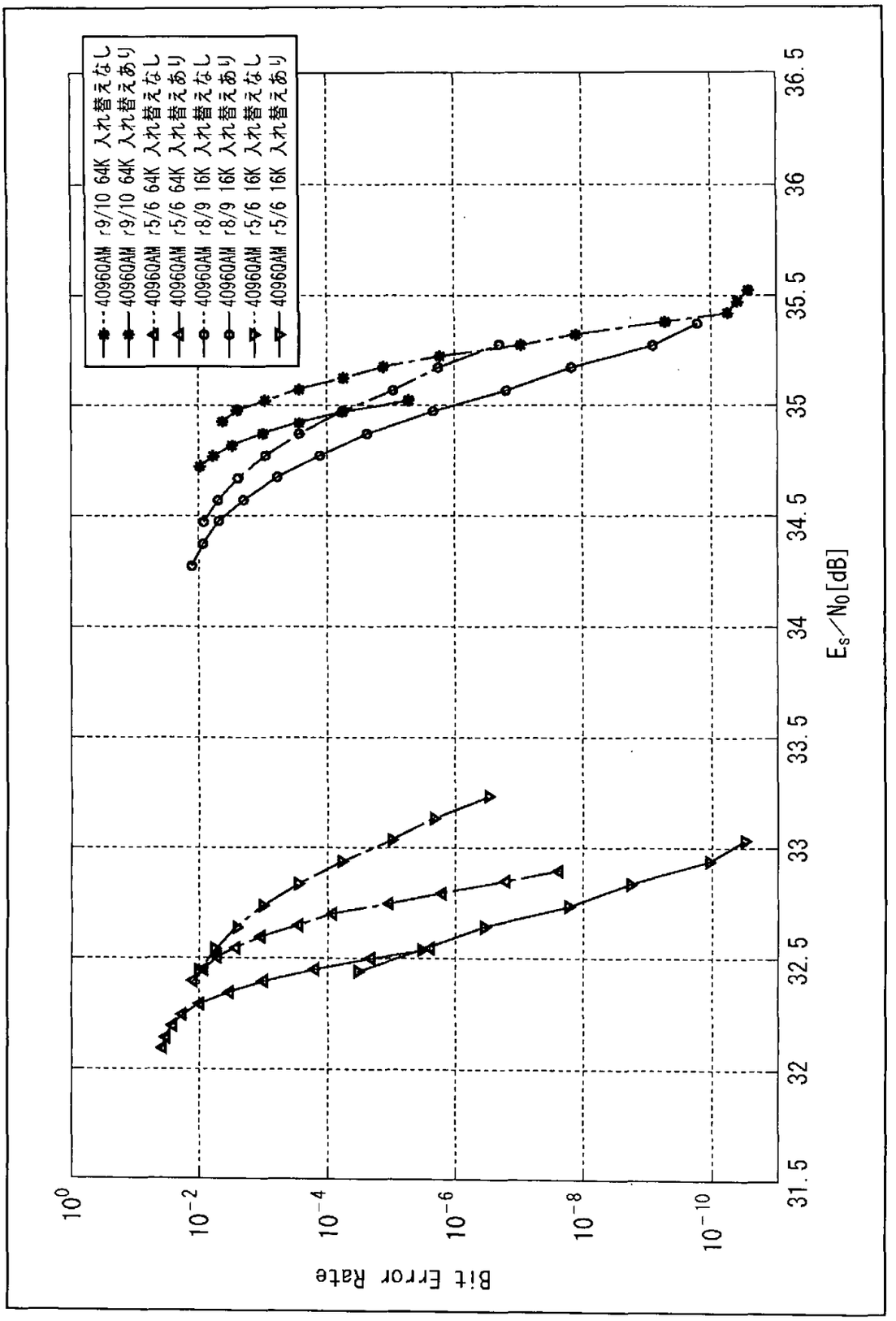
図90


1024QAM r9/10 64K 入れ替えなし
1024QAM r9/10 64K 入れ替えあり
1024QAM r5/6 64K 入れ替えなし
1024QAM r5/6 64K 入れ替えあり
1024QAM r3/4 64K 入れ替えなし
1024QAM r3/4 64K 入れ替えあり
1024QAM r8/9 16K 入れ替えなし
1024QAM r8/9 16K 入れ替えあり
1024QAM r5/6 16K 入れ替えなし
1024QAM r5/6 16K 入れ替えあり
1024QAM r3/4 16K 入れ替えなし
1024QAM r3/4 16K 入れ替えあり
Bit Error Rate
10^{0}
10^{-2}
10^{-4}
10^{-6}
10^{-8}
10^{-10}
24
25
26
27
28
29
30
31
32
E_s/N_0[dB]

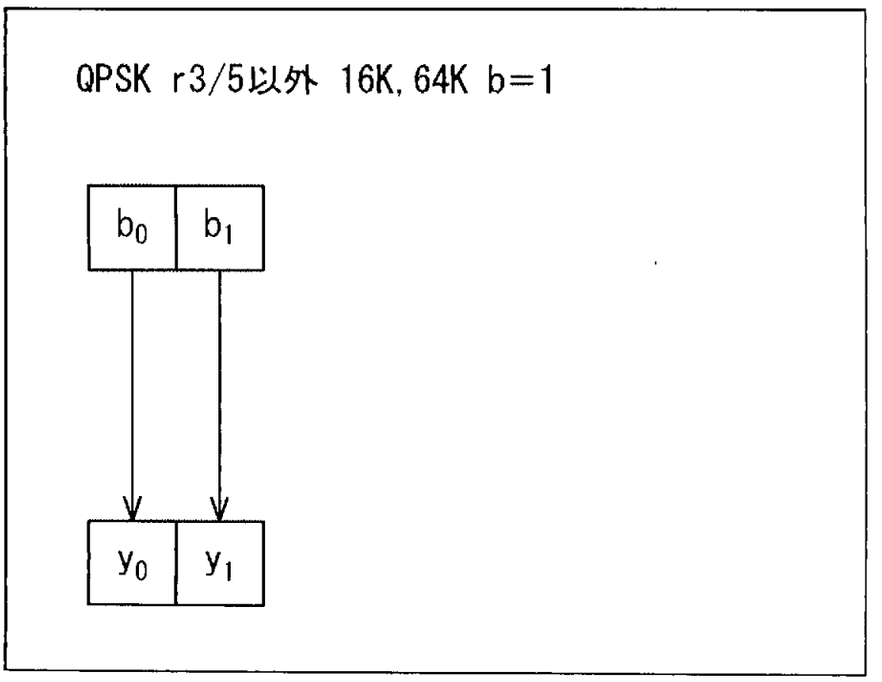
00 184

[図91]

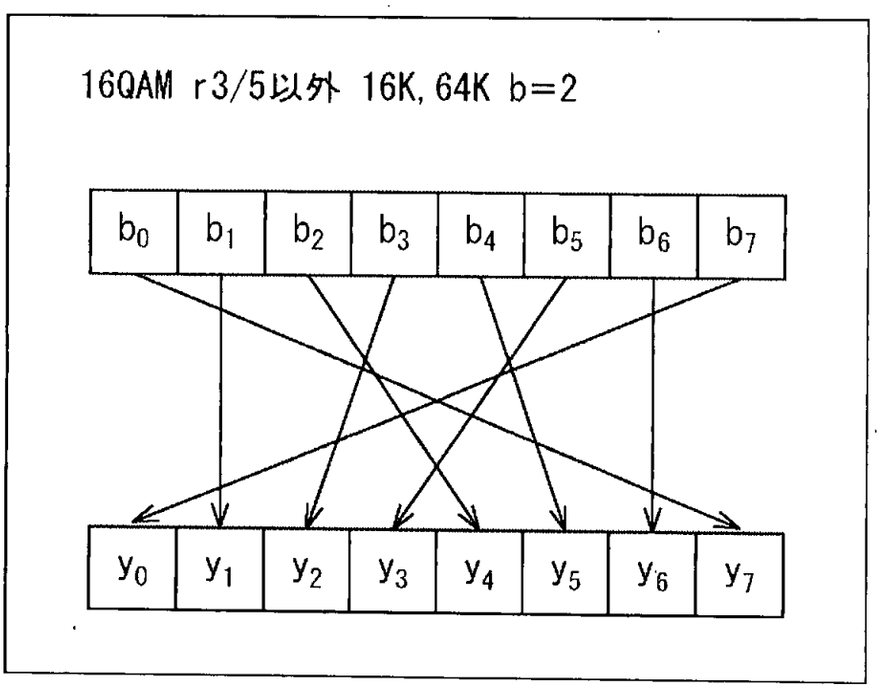
図91



[図92]
図92



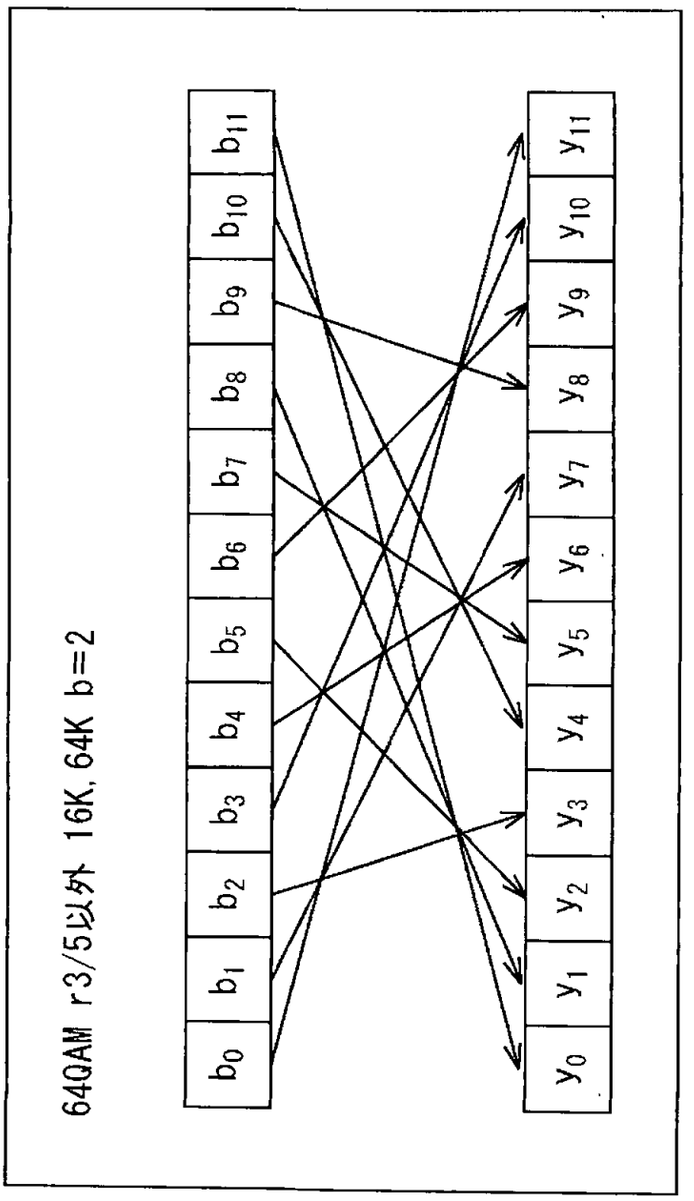
[図93]
図93



00 136

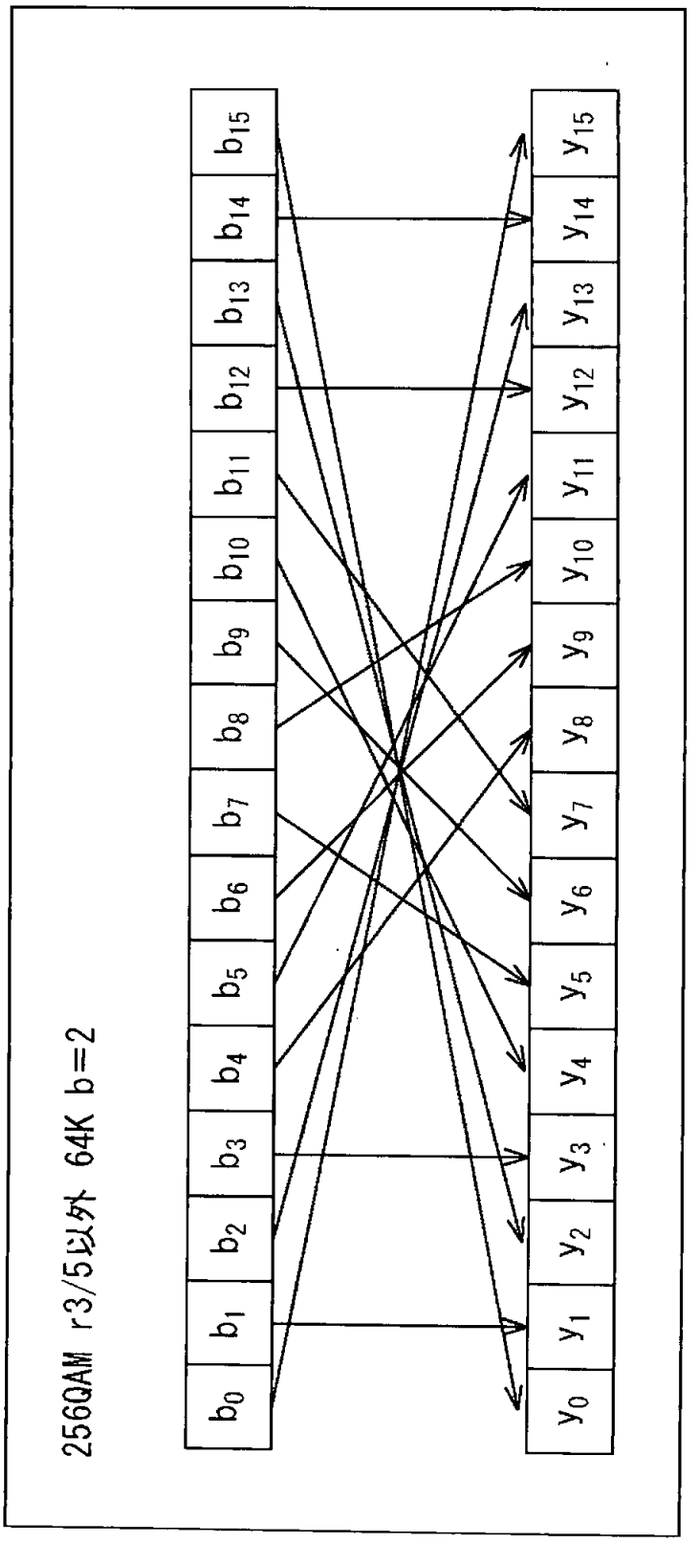
[図94]

図94

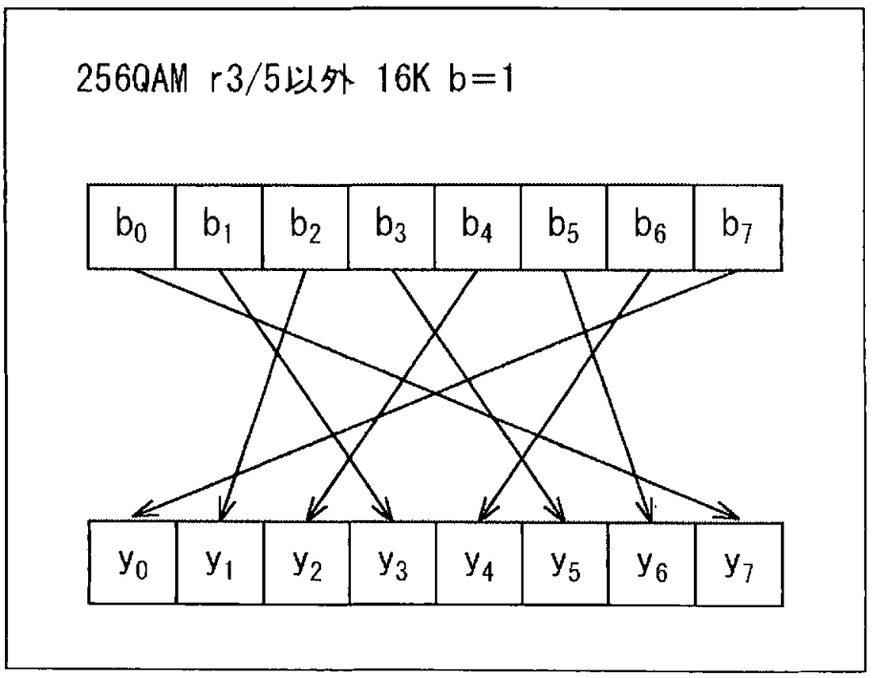


[図95]

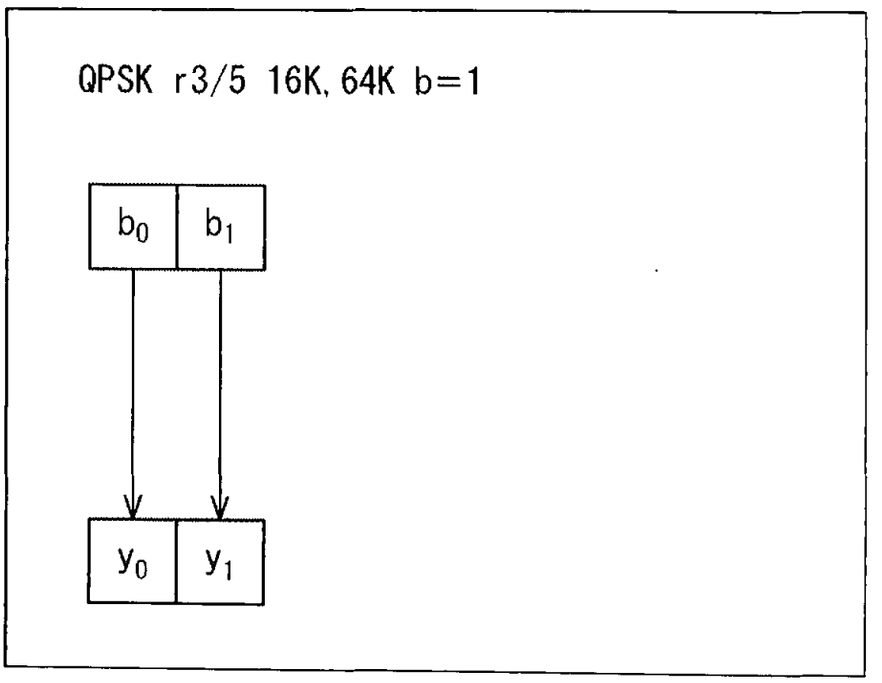
図95


256QAM r3/5以外 64K b=2
b0 b1 b2 b3 b4 b5 b6 b7 b8 b9 b10 b11 b12 b13 b14 b15
y0 y1 y2 y3 y4 y5 y6 y7 y8 y9 y10 y11 y12 y13 y14 y15

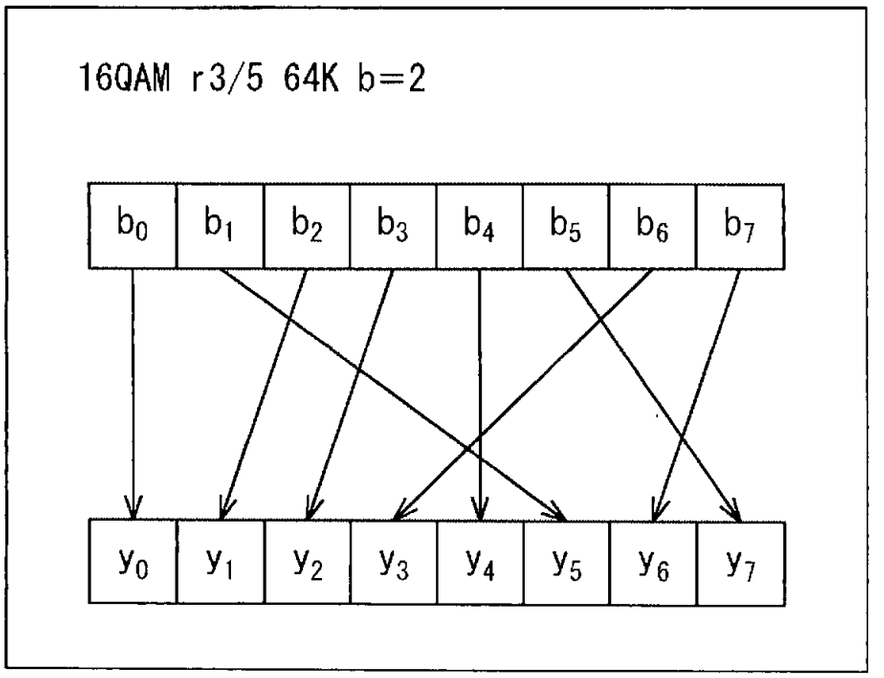
[図96]
図96



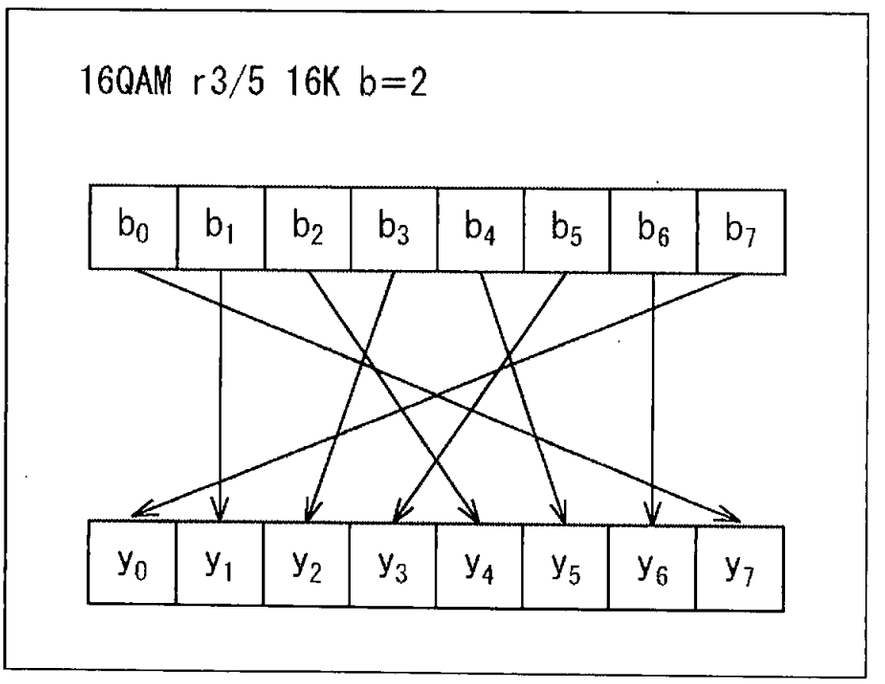
[図97]
図97



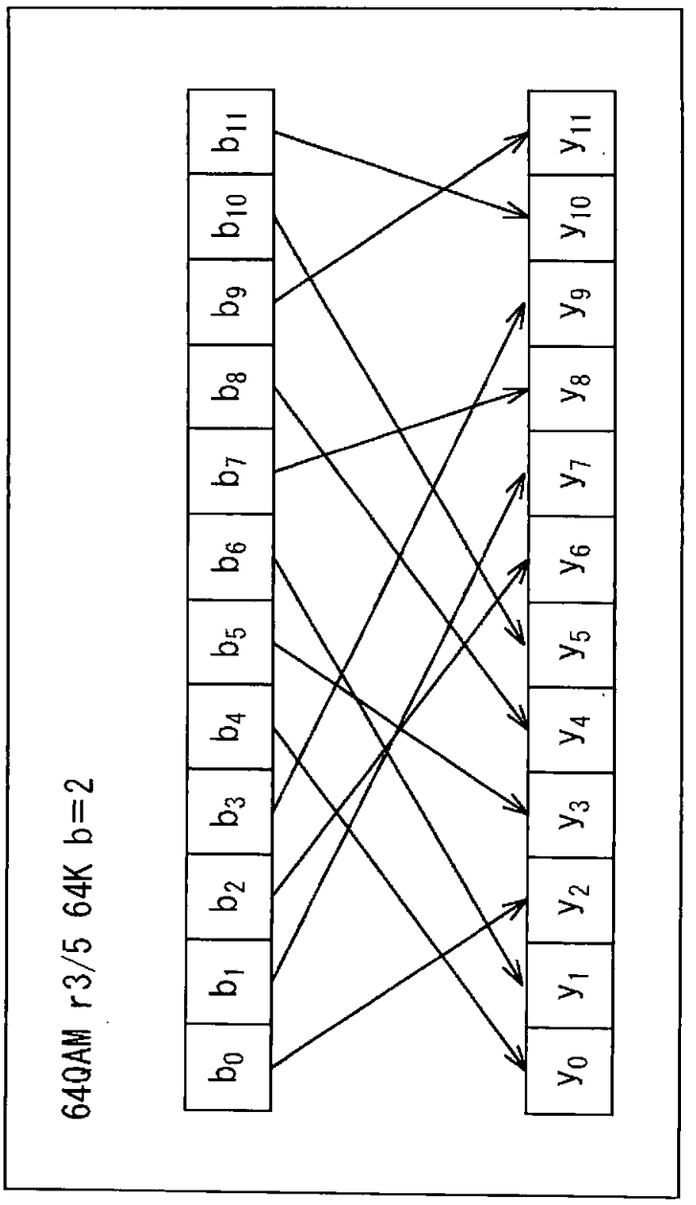
[図98]
図98



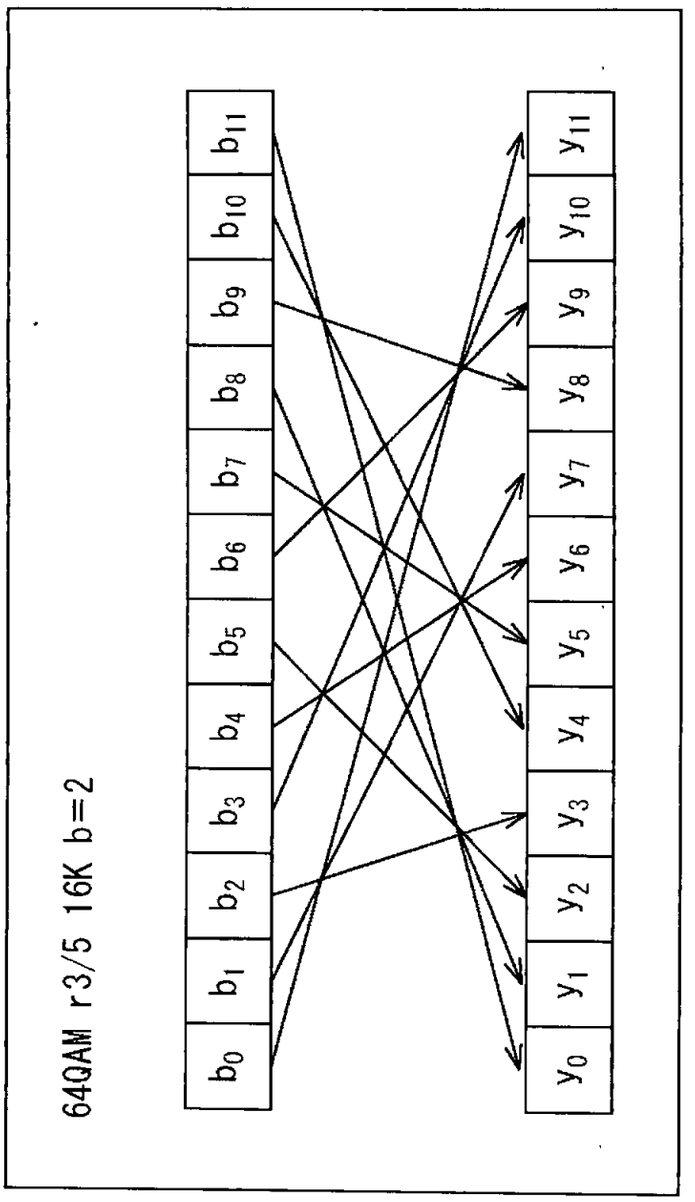
[図99]
図99



[図100]
図100

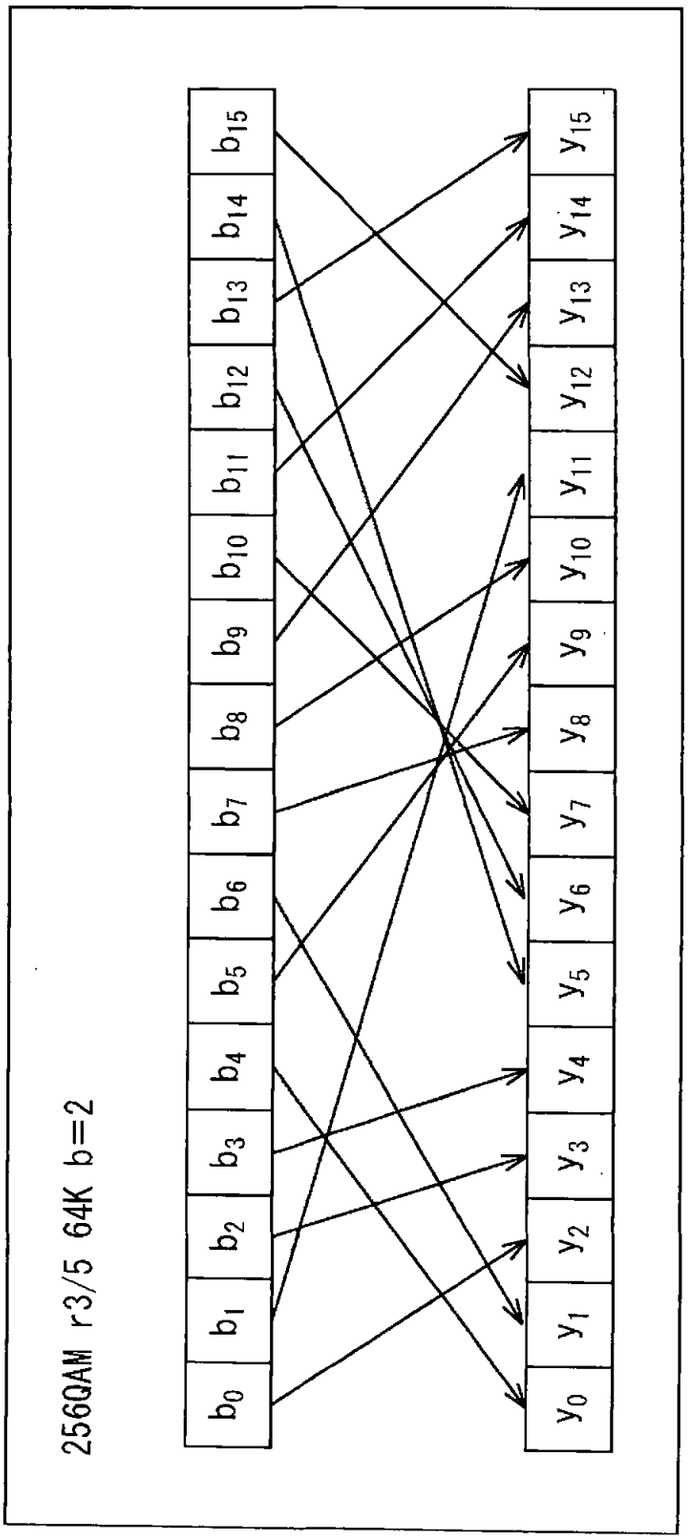

64QAM r3/5 64K b=2
b0 b1 b2 b3 b4 b5 b6 b7 b8 b9 b10 b11
y0 y1 y2 y3 y4 y5 y6 y7 y8 y9 y10 y11

[図101]
図101

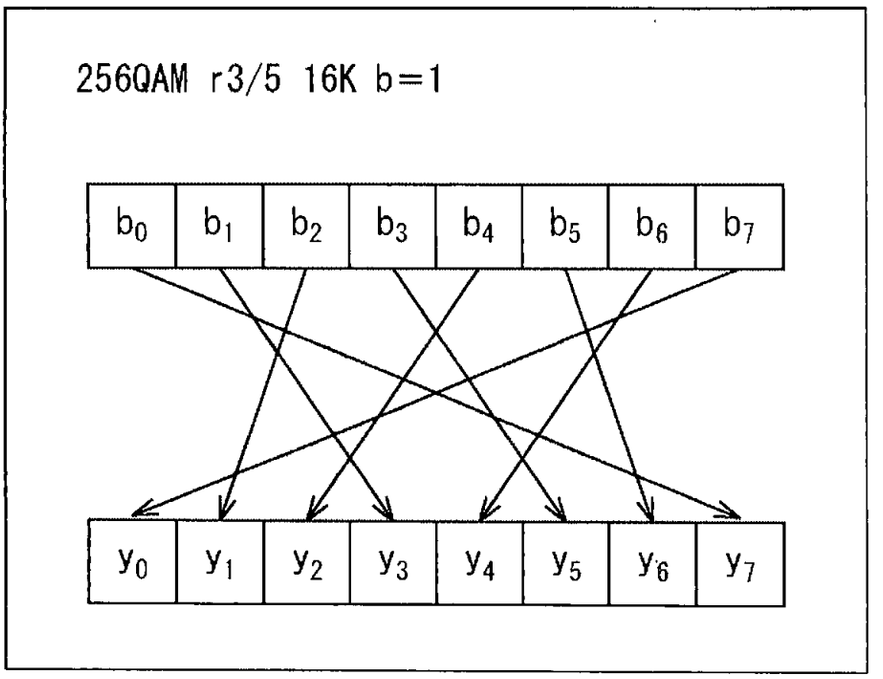

64QAM r3/5 16K b=2
b0 b1 b2 b3 b4 b5 b6 b7 b8 b9 b10 b11
y0 y1 y2 y3 y4 y5 y6 y7 y8 y9 y10 y11

[図102]

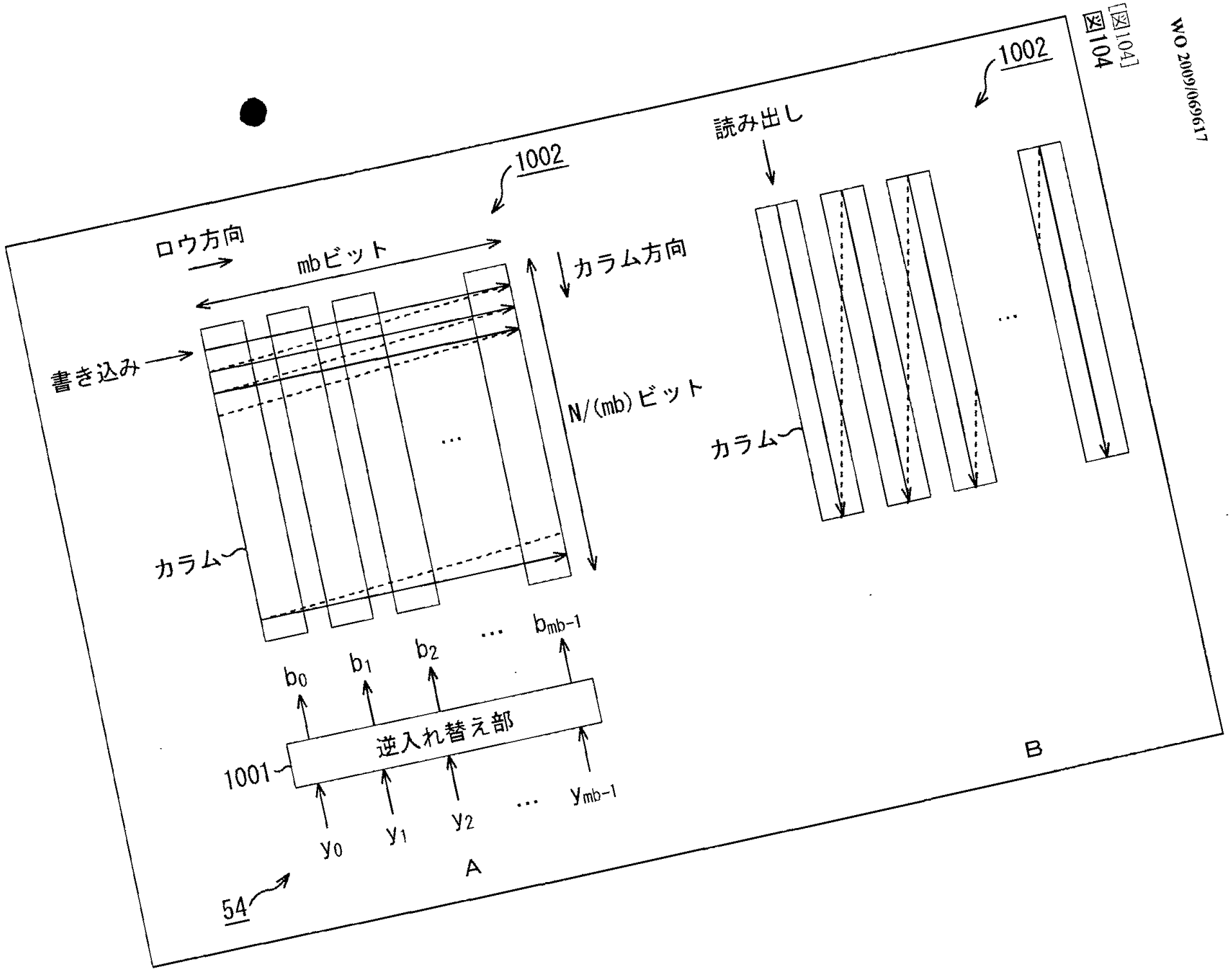
図102


256QAM r3/5 64K b=2
b0 b1 b2 b3 b4 b5 b6 b7 b8 b9 b10 b11 b12 b13 b14 b15
y0 y1 y2 y3 y4 y5 y6 y7 y8 y9 y10 y11 y12 y13 y14 y15

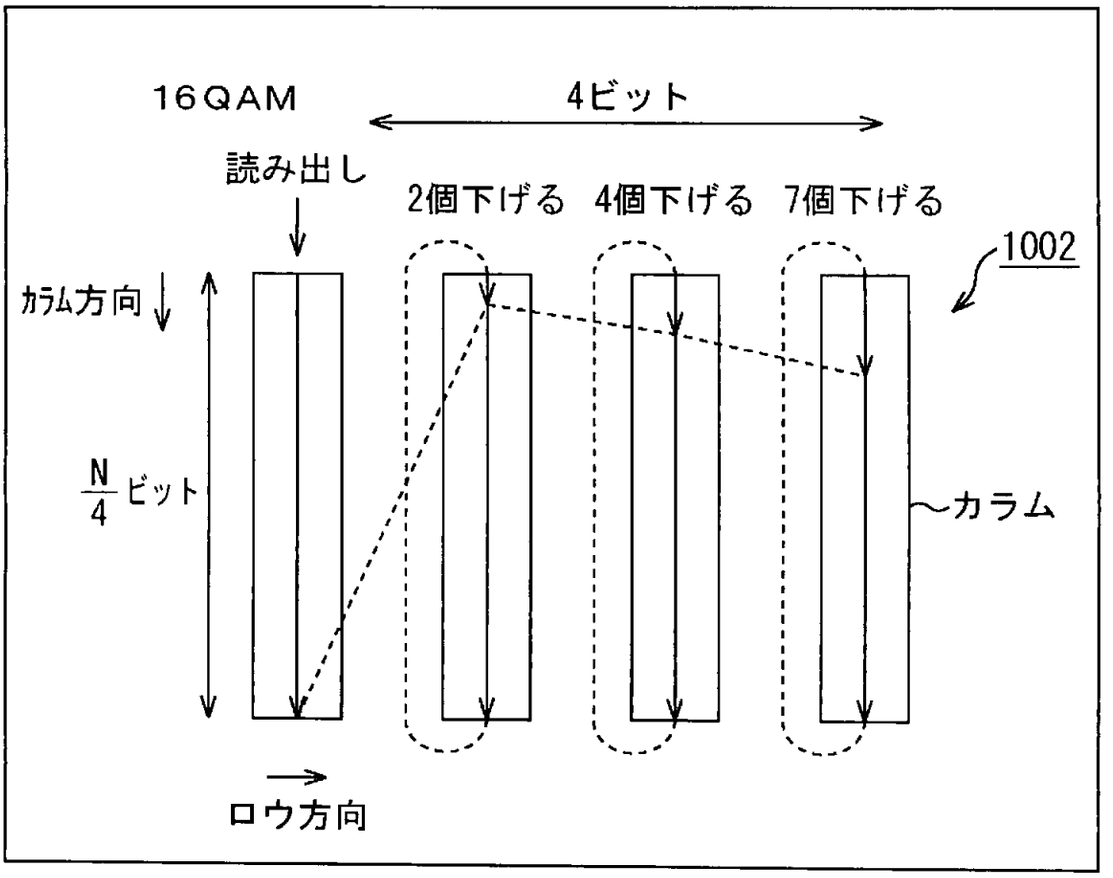
[図103]
図103



[図104]
図104

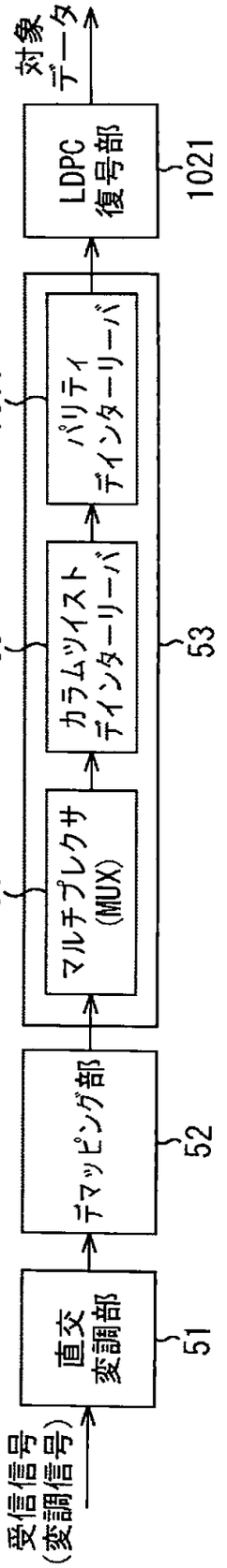

1002
ロウ方向
mbビット
カラム方向
書き込み
N/(mb)ビット
カラム
1002
読み出し
カラム
1001
逆入れ替え部
b_0 b_1 b_2 … b_{mb-1}
y_0 y_1 y_2 … y_{mb-1}
A
B
54

[図105]
図105

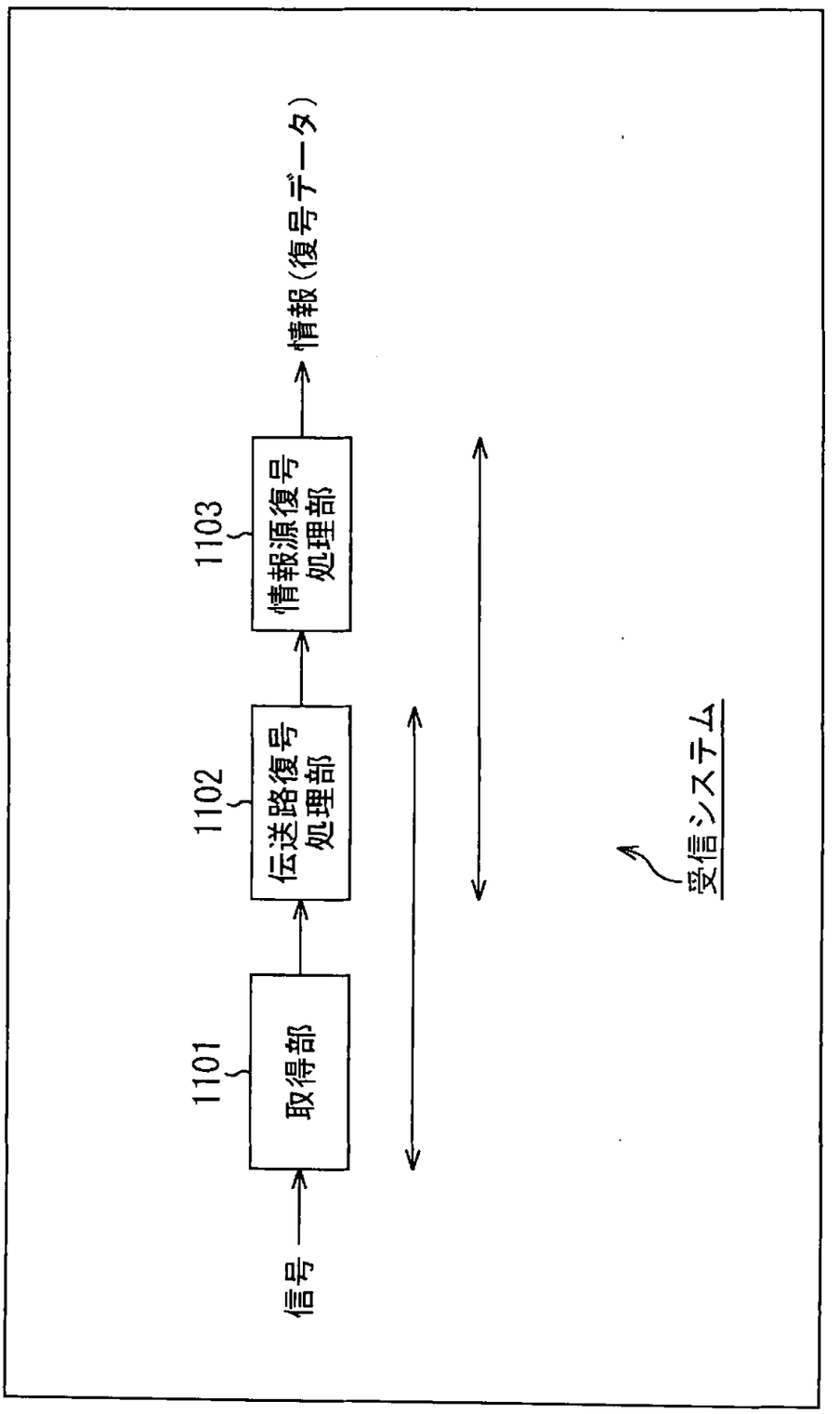


[図106]

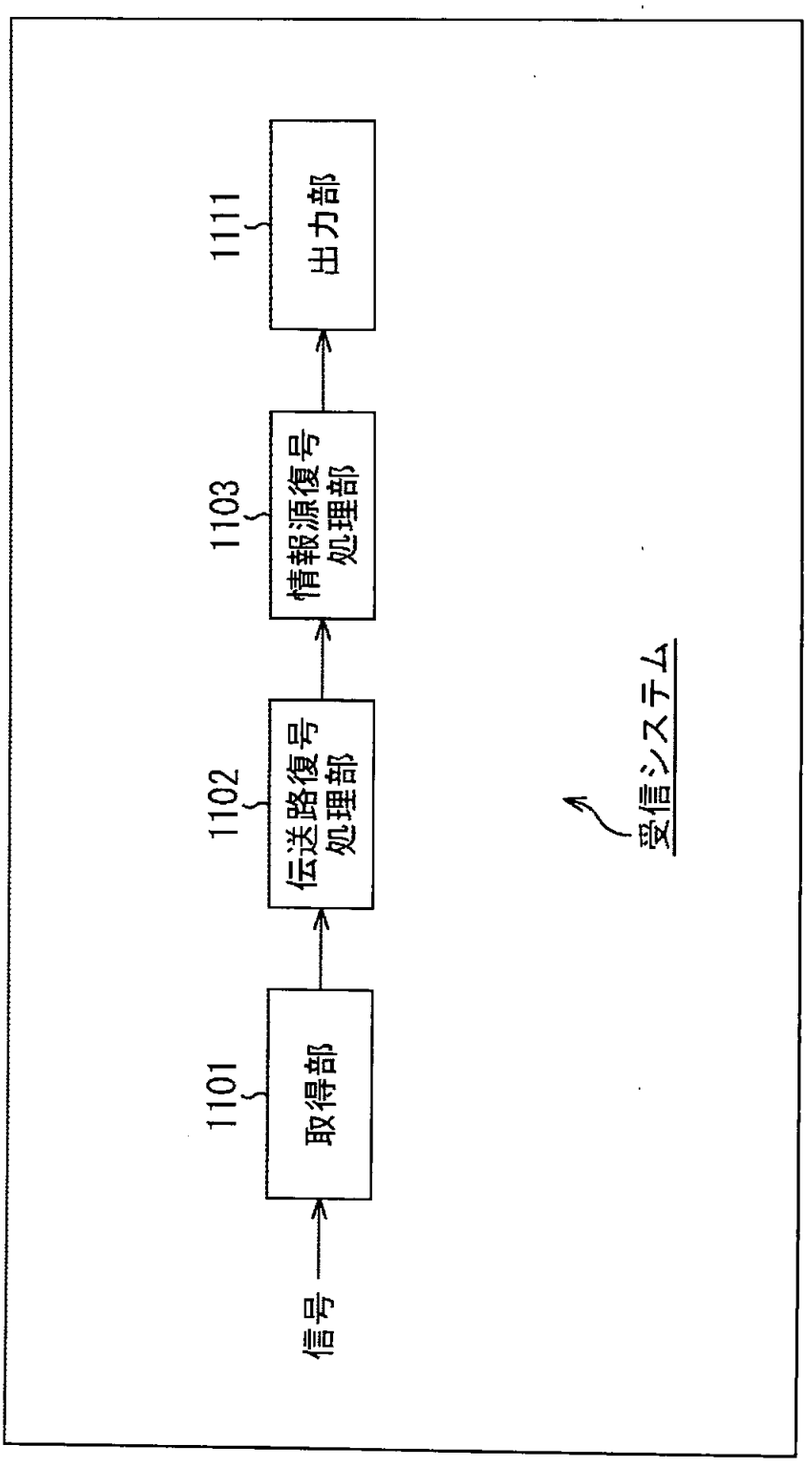
図106


受信信号
(変調信号)
直交
変調部
51
デマッピング部
52
マルチプレクサ
(MUX)
54
カラムツイスト
デインターリーバ
55
パリティ
デインターリーバ
1011
53
LDPC
復号部
1021
対象
データ
12

[図107]
図107

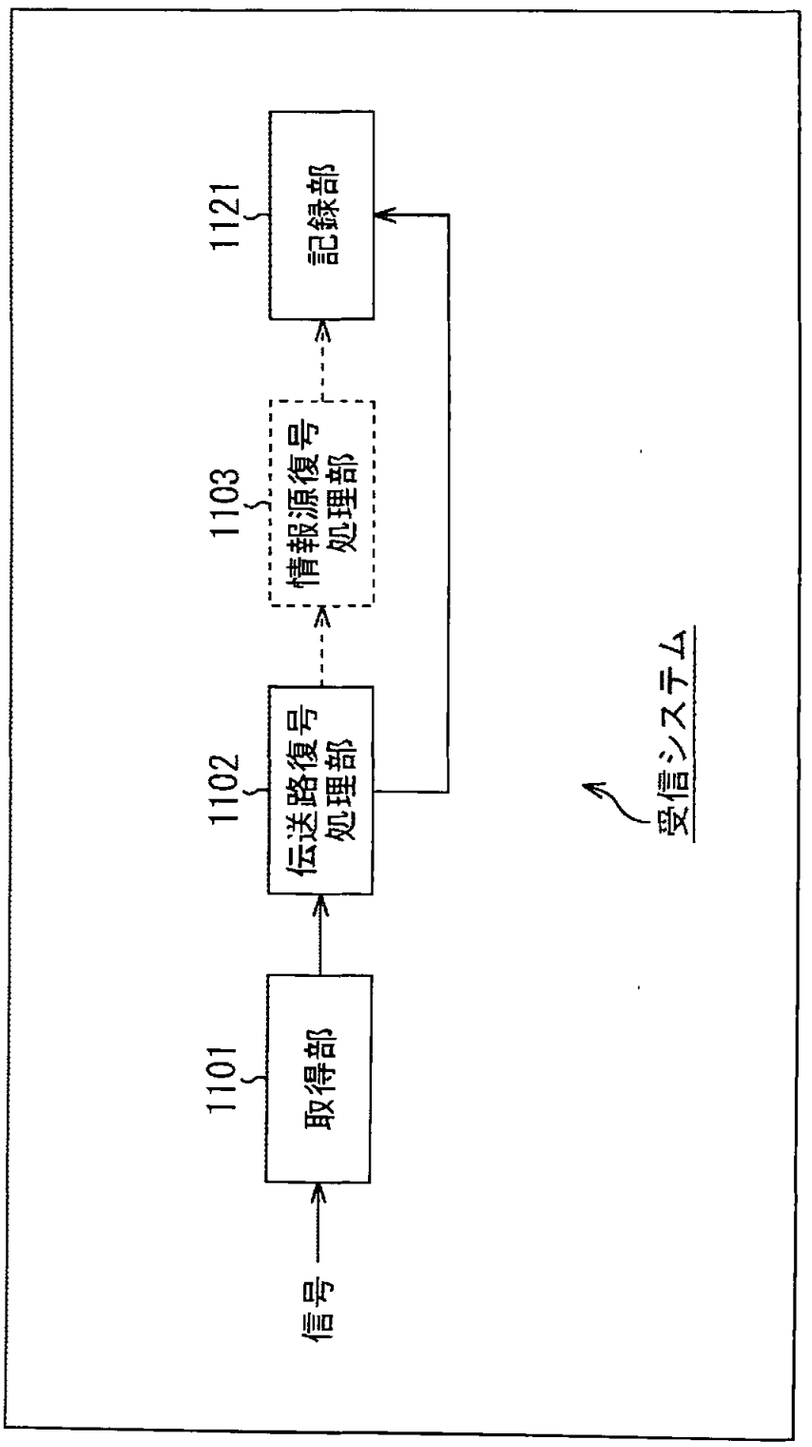


[図108]
図108



[図109]

図109



00 200

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2008/071384

A. CLASSIFICATION OF SUBJECT MATTER
H03M13/19(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03M13/19

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2008
Kokai Jitsuyo Shinan Koho 1971-2008 Toroku Jitsuyo Shinan Koho 1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2005-051469 A (Sony Corp.), 24 February, 2005 (24.02.05), Par. Nos. [0073] to [0079]; Fig. 7 (Family: none)	1,7 2-6
Y A	JP 2001-352252 A (Sony Corp.), 21 December, 2001 (21.12.01), Par. Nos. [0031] to [0045]; Figs. 2, 3 (Family: none)	1,7 2-6
A	JP 2006-254466 A (Samsung Electronics Co., Ltd.), 21 September, 2006 (21.09.06), Par. Nos. [0029] to [0057]; Figs. 3 to 7 & US 2006/0218461 A1 & EP 1701450 A1 & KR 2006-97503 A & CN 1838543 A	1-7

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
22 December, 2008 (22.12.08)	06 January, 2009 (06.01.09)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (April 2007)

00 201

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００８／０７１３８４

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H03M13/19(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H03M13/19

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００８年
日本国実用新案登録公報	１９９６－２００８年
日本国登録実用新案公報	１９９４－２００８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Y A	JP 2005-051469 A （ソニー株式会社） 2005.02.24, 段落【0073】-【0079】, 図７ （ファミリーなし）	1, 7 2-6
Y A	JP 2001-352252 A （ソニー株式会社） 2001.12.21, 段落【0031】-【0045】, 図2,3 （ファミリーなし）	1, 7 2-6
A	JP 2006-254466 A （三星電子株式会社） 2006.09.21 段落【0029】-【0057】, 図3-7 & US 2006/0218461 A1 & EP 1701450 A1 & KR 2006-97503 A & CN 1838543 A	1-7

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２２．１２．２００８	０６．０１．２００９

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｋ　３７８９
渡辺　未央子
電話番号　０３－３５８１－１１０１　内線　３５５６

00 202

Descripción

APARATO PARA PROCESAMIENTO DE DATOS Y MÉTODO PARA PROCESAMIENTO DE DATOS

Campo Técnico

[0001]

Esta invención se relaciona con un aparato para procesamiento de datos y un método para procesamiento de datos, y en particular con un aparato para procesamiento de datos y un método para procesamiento de datos que hace posible mejorar la tolerancia a los errores en ráfaga y borrado de, por ejemplo, un código LDPC (Comprobación de paridad de baja densidad).

Técnica Anterior

[0002]

El código LPDC tiene una capacidad de corrección de error alta y, en años recientes, comenzó a adoptarse ampliamente en los sistemas de transmisión que incluyen los sistemas de difusión digital por satélite tales, por ejemplo, el sistema DVB-S.2 utilizado en Europa (refiérase a, por ejemplo, el Documento no Patente 1). Además, se investiga la adopción de un código LDPC también en radiodifusión digital terrestre de la siguiente generación.

[0003]

Se ha encontrado en investigaciones recientes que el desempeño próximo al límite Shannon se suministra mediante el código LDPC en la medida en que la longitud de código es similarmente creciente a un código turbo y así sucesivamente. Además, en razón a que el código LDPC tiene una propiedad de que la distancia mínima se incrementa en proporción a la longitud del código, este tiene una característica de probabilidad de error de bloque superior. También es ventajoso que ocurra poco el fenómeno de piso de error que se observa en una característica de decodificación del código turbo.

[0004]

En lo siguiente, tal código LDPC como se describió anteriormente se describe de manera particular. Cabe notar que el código LDPC es un código lineal, y aunque no necesariamente es un código bidimensional, se da la siguiente descripción bajo la presunción de que este es un código bidimensional.

[0005]

El código LDPC tiene la característica más significativa en que la matriz de comprobación de paridad que define el código LDPC es una matriz vacía. Aquí, la matriz vacía es una matriz en la cual el número de aquellos elementos cuyo valor es "1" es muy pequeña (matriz en la cual casi todos los elementos son 0).

[0006]

La Figura 1 muestra un ejemplo de una matriz de comprobación de paridad H de un código LDPC.

[0007]

En la matriz de comprobación de paridad H Figura 1, el peso de cada columna (peso de columna) (número "1") (peso) es "3" y el peso de cada fila (peso de la fila) es "6".

[0008]

Al codificar mediante los códigos LDPC (codificación LDPC), por ejemplo, se produce una matriz generadora G sobre una matriz de comprobación de paridad H y esta matriz generadora G se multiplica por los bits de información bidimensional para producir una palabra código (código LDPC).

[0009]

En particular, un aparato de codificación que lleva a cabo la codificación LDPC calcula primero una matriz generadora G que satisface una expresión $GH^T = 0$ junto con una matriz transpuesta H^T de una matriz de comprobación de paridad H. Aquí, si la matriz generadora G es una matriz K x N, entonces el aparato codificante multiplica la matriz generadora G por una corriente de bit (vector U) de los bits de información K para producir una palabra código c (= uG) de N bits. La palabra código (código LDPC) producido por el aparato codificante es recibida por el lado de la recepción a través de una ruta de comunicación para determinar.

[0010]

La decodificación del código LDPC se puede llevar a cabo utilizando un algoritmo propuesto como probabilístico de decodificado (Decodificación Probabilística) mediante el Gallager, esto es, un alegorismo que pasa mensajes mediante una propagación de creencias sobre una así llamada gráfica Tanner que incluye un nodo variable (también denominado nodo de mensaje) y un nodo de comprobación. En la siguiente descripción, cada uno de los nodos variables y el nodo de comprobación es adecuadamente denominado como simplemente nodo.

[0011]

La Figura.2 ilustra un movimiento de decodificación de un código LDPC.

[0012]

Cabe notar que, en la siguiente descripción, un valor numérico de probabilidad "0" en el valor de bit de código nava de un código LDPC (una palabra código) recibida por el lado de la recepciones representada en un índice de probabilidad log es adecuadamente denominado como un valor de recepción U_{oi}. Además, un mensaje generado desde el nodo de comprobación es representado por u_j y un mensaje generado de un nodo variable está representado por v_i.

[0013]

Primero, al decodificar un código LDPC, como se ve en la Figura.2, el código LDPC es recibido y un mensaje (mensaje de código de comprobación) u_j es inicializado en "0" y además, una variable K que asume un entero como una contra de procesos repetidos se inicializa a "0" en la etapa S11, posteriormente el proceso avanza a la etapa S12. En la etapa S12 la operación matemática representada mediante una expresión (1) (operación matemática de nuevo variable) se lleva cabo con base en el valor de recepción U_{oi} obtenido mediante la recepción del código LDPC para determinar un mensaje (mensaje de nodo variable) v_i. Además, la operación matemática representada mediante una expresión (2) (operación matemática de nodo de comprobación) se lleva a cabo con el mensaje v_i para determinar el mensaje u_j.

[0014]

[Expresión 1]

$$v_i = u_{oi} + \sum_{j=1}^{d_v-1} u_j \quad \ldots (1)$$

[0015]

[Expresión 2]

$$\tanh\left(\frac{u_j}{2}\right) = \prod_{i=1}^{d_c-1} \tanh\left(\frac{v_i}{2}\right) \quad \ldots (2)$$

[0016]

Aquí, d_v y d_c en la expresión (1) y la expresión (2) son parámetros que se pueden seleccionar arbitrariamente y representan el número "1s" en una dirección vertical (columna) en una dirección horizontal (fila) de la matriz de comprobación de paridad H. Por ejemplo, en el caso de un código (3, 6) $d_v = 3$ y $d_c = 6$.

[0017]

Cabe notar que, en la operación matemática de nodo variable de la expresión (1) y la expresión matemática de nodo de comprobación de la expresión (2), el rango de la operación matemática es 1 a $d_v - 1$ o 1 a $d_c - 1$ porque el mensaje ingresado desde un borde (línea que interconecta un nodo variable y nodo de comprobación) del cual va a ser generado un mensaje

no se un objeto de la operación matemática. Mientras tanto, la operación matemática del nodo de comprobación de la expresión (2) es llevada a cabo al producir por adelantado una tabla de una función R (v_1, v_2) representada por una expresión (3) deferida mediante una generación con respecto a dos entradas v_1 y v_2 para utilizar la tabla sucesivamente (recursivamente) como se representó mediante una expresión (4).

[0018]

[Expresión 3]

$$x = 2\tanh^{-1}\{\tanh(v_1/2)\tanh(v_2/2)\} = R(v_1, v_2) \quad \ldots (3)$$

[0019]

[Expresión 4]

$$u_j = R(v_1, R(v_2, R(v_3, \ldots R(v_{d_c-2}, v_{d_c-1})))) \quad \ldots (4)$$

[0020]

En la etapa S12, la variable K se incrementa en "1" además, y los avances de procesamiento de la etapa S13. En la etapa S13, se decide si o no la variable K es mayor que un número de tiempo decodificación repetido predeterminado C. Si se decide en la etapa S13 que la variable K no es mayor que C, entonces el procesamiento regresa a la etapa S12, y el procesamiento similar se repitió posteriormente.

[0021]

De otro lado, si se decide en la etapa S13 que la variable K es mayor que C, entonces los avances de procesamiento en la etapa S14, en la cual el mensaje v_i como un resultado decodificación va a ser generado finalmente al llevar a cabo la operación matemática representada por una expresión (5) se determinó y generó, finalizando de esta manera el proceso de decodificación del código LDPC.

[0022]

[Expresión]

$$v_i = u_{oi} + \sum_{j=1}^{d_v} u_j \quad \ldots (5)$$

[0023]

Aquí, la operación matemática de la expresión (5) se lleva a cabo diferente de la operación matemática de nodo variable de la expresión (1), utilizando mensajes u_j de todos los bordes que conectan al nodo variable.

[0024]

La figura 3 ilustra un ejemplo de la matriz H de comprobación de paridad de un (3, 6) código LDPC (índice de codificación: ½, longitud de código: 12).

[0025]

En la matriz de comprobación de paridad H de la figura 3, el peso de una columna 3 y el peso de una fila es 6 de manera similar a la Figura.1.

[0026]

La figura 4 muestra una gráfica Tanner de la matriz de comprobación de paridad H de la figura 3.

[0027]

Aquí, en la figura 4, el nodo de comprobación está representado mediante "+," y un nodo variable está representado mediante "=." Un nodo de comprobación y un nodo variable corresponden a una fila y una columna del matriz de comprobación de paridad H, respectivamente. Una conexión entre un nodo de comprobación y un nodo variable es un borde y corresponde a "1" de un elemento de la matriz de comprobación de paridad.

[0028]

En particular, donde el elemento en la java fila de la iava columna de la matriz de comprobación de paridad es 1, el iava nodo variable (nodo de "=") del anterior y el nodo de comprobación java (nodo de "+") desde arriba están conectados mediante un borde. El borde representa un bit de código que corresponde al nodo variable tiene una condición de restricción que corresponde al nodo de comprobación.

[0029]

En el algoritmo del producto de suma (algoritmo de producto de suma) que es un método decodificante para los códigos LDPC, la operación matemática del nodo variable y la operación matemática del nodo de comprobación se llevan a cabo repetitivamente.

[0030]

La figura 5 ilustra la operación matemática del nodo variable llevada a cabo con relación a un nodo variable.

[0031]

Con relación al nodo variable, el mensaje v_i que corresponde a un borde a ser calculado se determinó mediante la operación matemática de nodo variable de la expresión (1) que utiliza menajes u_1 y u_2 de los bordes restantes que conectan al nodo variable y al nodo de recepción

U_{OI}. También un mensaje que corresponde a cualquier otro borde se determino de manera similar.

[0032]

La Figura.6 ilustra la operación matemática del nodo comprobación llevada a cabo en un nodo de comprobación.

[0033]

Aquí, la operación matemática de nodo de comprobación de la expresión (2) se puede llevar a cabo al reescribir la expresión (2) en una expresión (6) que utiliza la relación de una expresión a x b = exp{1n(|a|)+ en (|b|)} x signo (a) x signo (b). Cabe notar que el signo (x) es 1 donde $x \geq 0$ pero es -1 donde $x < 0$.

[0034]

[Expresión 6]

$$u_j = 2\tanh^{-1}\left(\prod_{i=1}^{d_c-1}\tanh\left(\frac{v_i}{2}\right)\right)$$

$$= 2\tanh^{-1}\left[\exp\left\{\sum_{i=1}^{d_c-1} In\left(\left|\tanh\left(\frac{v_i}{2}\right)\right|\right)\right\}\times\prod_{i=1}^{d_c-1} sign\left(\tanh\left(\frac{v_i}{2}\right)\right)\right]$$

$$= 2\tanh^{-1}\left[\exp\left\{-\left(\sum_{i=1}^{d_c-1} - In\left(\tanh\left(\frac{|v_i|}{2}\right)\right)\right)\right\}\right]\times\prod_{i=1}^{d_c-1} sign(v_i)) \ \ldots (6)$$

[0035]

Además, si, donde $x \geq 0$, una función $\varphi(x)$ se definió como una expresión $\varphi(x) = \text{Ln}(\tanh(x/2))$, entonces en razón a que una expresión $\varphi^{-1}(x) = 2\tanh^{-1}(e^{-x})$ se satisface, la expresión (6) se puede transformar en un expresión (7).

[0036]

[Expresión 7]

$$u_j = \phi^{-1}\left(\sum_{i=1}^{d_c-1}\phi(|v_i|)\right)\times\prod_{i=1}^{d_c-1} sign(v_i) \ \ldots (7)$$

[0037]

En el nodo de comprobación, la operación matemática del nodo de comprobación de la expresión (2) se lleva a cabo de acuerdo con la expresión (7).

[0038]

En particular, en el nodo de comprobación, el mensaje u_j que corresponde al borde que se va a calcular se determina mediante la operación matemática del nodo de comprobación de la expresión (7) utilizando los mensajes v_1, v_2, v_3, v_4 y v_5 de los bordes restantes que conectan al nodo de comprobación. También se determinó de manera similar un mensaje que corresponde a cualquier otro borde.

[0039]

Cabe notar que la función $\varphi(x)$ de la expresión (7) se puede representar también como $\varphi(x) = 1n((e^x + 1)/(e^x - 1))$, y donde $x > 0$, $\varphi(x) = \varphi^{-1}(x)$. Cuando las funciones $\varphi(x)$ y $\varphi^{-1}(x)$ se incorporan en el equipo, mientras ellas se incorporan algunas veces utilizando un LUT (Tabla de Consulta), tales LUT se vuelven el mismo LUT.

[0040]

El Documento no Patente 1: DVB-S.2: ETSI EN 302 307 V1.1.2 (2006-06)

Descripción de la Invención

Problema técnico

[0041]

Aunque ha sido conocido que los códigos LDPC exhiben una capacidad muy alta en una ruta de comunicación AWGN (Ruido Blanco Auditivo Gaussiano)), en años recientes ha sido claro que aun en otras rutas de comunicación ellos tienen una capacidad de corrección de error mayor que los códigos de capacidad convencional o los códigos de conexión de los códigos de convolución de los códigos RS (Reed Solomon).

[0042]

En resumen, si se selecciona un código que tiene un buen desempeño en una ruta de comunicación AWGN, entonces el código frecuentemente tiene un mejor desempeño que los otros consigo también en otras rutas de comunicación.

[0043]

Incidentalmente, se ha propuesto que, por ejemplo, donde se aplican los códigos LDPC a la difusión digital terrestre, los códigos LDPC percibidos en los estándares DVB-S.2 y el sistema de modulación prescrito en los estándares DVB-T se combinan y se suministra un intercalador (intercalador de bit) para intercalar los bits de código de un código LDPC entre la codificación LDPC y la modulación para mejorar el desempeño de os códigos LDPC en una ruta de comunicación a AWGN.

[0044]

Sin embargo, en una ruta de comunicación supuesta con relación a las ondas de tierra, los errores en ráfaga o borrado ocurren algunas veces. Por ejemplo, en un sistema OFDM (Multiplexor de División de Frecuencia ortogonal), en un ambiente de multirrutas donde el D/U (Relación Deseada a Indeseada) es 0 de dB (potencia de Indeseado = eco es igual a la potencia de Deseado = ruta principal). La potencia del símbolo particular se vuelve cero (borrado) en respuesta a un retraso de un eco (rutas diferentes de la ruta principal).

[0045]

Además, también en un oscilación (ruta de comunicación en la cual un eco cuyo retraso es cero y cuya frecuencia Doppler (dopper) se aplica), donde el D/U es 0 dB, un caso en donde ocurre la potencia de un símbolo OFMD completo en un punto especifico de tiempo se redujo a cero mediante la frecuencia Doppler.

[0046]

Adicionalmente, los errores en ráfaga algunas veces surgen de una situación de una línea alambrada de este, una antena a un aparato de recepción inestablemente del suministro de potencia.

[0047]

De manera convencional también en la ruta de comunicación en la cual ocurren tales errores en ráfaga o borrado como se describió anteriormente, un código de corrección de error de un alto desempeño se utiliza en una ruta de comunicación a AWGN.

[0048]

Mientras tanto, al decodificar los códigos LDPC, en razón a que la operación matemática del nodo variable de la expresión (1) en donde la adición de (valores de recepción U_{io}) los bits de código de un código LDPC como se ve en la figura 5 se lleva a cabo en una columna de la matriz de comprobación de paridad H y de esta manera un nodo variable que corresponde a un bit de código del código LDPC, si ocurre un error con el bit de código utilizado para la operación matemática del nodo variable, entonces la porción de un mensaje a ser determinada cabe.

[0049]

Entonces, en razón a que, al decodificar el código LDPC, el mensaje determinado en el nodo variable que conecta al nodo de comprobación se utiliza para llevar a cabo la operación matemática del nodo de comprobación de la expresión (7) en el nodo de comprobación, si en el número de nodos de comprobación donde (bits de código del código LDPC que corresponde a) una pluralidad de nodos variables conectados a este exhiben un error (incluyendo borrado) al mismo tiempo se vuelve grande, entonces el desempeño de la decodificación se deteriora.

[0050]

Por ejemplo, si dos o más nodos variables conectados al nodo de comprobación sufren de borrado al mismo tiempo, entonces el nodo de comprobación regresa un mensaje de que la probabilidad de que el valor pueda ser 0 y de que la probabilidad de que el valor pueda ser 1 son iguales una a la otra a todos los nodos variables. En este caso, aquellos nodos de comprobación al cual el mensaje de las probabilidades iguales no contribuye a un ciclo del procesamiento de decodificación (un conjunto de operación matemática del nodo variable y una operación matemática del nodo de comprobación), y como resultado, se requiere un número creciente de tiempo y repetición del procesamiento de decodificación. Consecuentemente, el desempeño de la decodificación se deteriora. Además, se incrementa el consumo de potencia de un aparato de recepción que lleva a cabo la decodificación del código LDPC.

[0051]

De acuerdo con esto, en el presente, se demanda una técnica para mejorar la tolerancia a los errores en ráfaga borrado mientras que se mantiene el desempeño en una ruta de comunicación a AWGN.

[0052]

Aquí, se ha propuesto que el desempeño de los códigos LDPC en una ruta de comunicación a AWGN es el mejor al mejorar un intercalador para intercalar los bits de código de un código LDPC entre la codificación LDPC y la modulación como se describió anteriormente, y si el intercalador puede llevar a cabo el intercalado de bajar la probabilidad de que una pluralidad de unos (bits de código de los códigos LDPC que corresponde a la) los nodos variables conectados a un nodo de comprobación puedan exhibir un error, entonces el desempeño de la decodificación se puede mejorar.

[0053]

La presente invención se ha hecho en vista de tal situación como se describió anteriormente y hace posible mejorar la tolerancia a los errores de los bits de un código LDPC tal como los errores en ráfaga borrada.

Solución Técnica

[0054]

Un aparato de procesamiento de datos de un aspecto de la presente invención es un aparato de procesamiento de datos que intercala datos, incluyendo, medios de intercalado de paridad para llevar a cabo intercalado de paridad de los bits de paridad intercalantes de un código de un LDPC obtenido al llevar a cabo la codificación LDPC de acuerdo con la matriz de comprobación de paridad en la cual la matriz de paridad que es una porción que corresponde a los bits de paridad de un código LDPC (Comprobación de paridad de baja densidad) tienen una estructura escalonada individualmente en posiciones de otra de los bits de paridad.

00 211

[0055]

El método de procesamiento de datos de un aspecto de la presente invención es el método de procesamiento de datos para un aparato que intercala datos, incluyendo una etapa llevada cabo mediante el aparato de procesamiento de datos de llevar a cabo intercalado de paridad de los bits de paridad intercalantes de un código LDPC obtenido al llevar a cabo la codificación LDPC de acuerdo con la matriz de comprobación de paridad en la cual es un porción que corresponde a los bits de paridad de un código LDPC (Comprobación de Paridad de Baja Densidad) tiene una estructura escalonada individualmente en las posiciones de otros de los bits de paridad.

[0056]

En uno de tales aspectos de la presente invención tal como se describió anteriormente, se lleva a cabo el intercalado de paridad de los bits de paridad intercalante de un código LPDC obtenido al llevar a cabo la codificación LDPC de acuerdo con una matriz de comprobación de paridad en la cual una matriz de comprobación de paridad que es una porción que corresponde a los bits de paridad de un código LDPC tiene una estructura en escalera individualmente con las posiciones de las otras de los bits de paridad.

[0057]

Cabe notar que el aparto de procesamiento de datos puede ser un aparato independiente o puede ser un bloque interno que compone un aparato.

Efecto ventajoso

[0058]

De acuerdo con un aspecto de la presente invención, la tolerancia a los bits de código de un código LDPC a los errores se puede mejorar.

Breve descripción de los dibujos

[0059]

[FIG. 1] La FIG. 1 es una vista que ilustra una matriz de comprobación de paridad H de un código LDPC.

[FIG. 2] La FIG. 2 es un diagrama de flujo que ilustra un procedimiento de decodificación de un código LDPC.

[FIG. 3] La FIG. 3 es una vista que ilustra un ejemplo de una matriz de error de paridad de un código LDPC.

[FIG. 4] La FIG. 4 es una vista que muestra una gráfica Tanner de una matriz de comprobación de paridad.

[FIG. 5] La FIG. 5 es una vista que muestra un nodo variable.

[FIG. 6] La FIG. 6 es una vista que muestra un nodo de comprobación.

[FIG. 7] La FIG. 7 es una vista que muestra un ejemplo de una configuración de una modalidad de un sistema de transmisión al cual se aplica la presente invención.

[FIG. 8] La FIG. 8 es un diagrama de bloque que muestra un ejemplo de la configuración de un aparato de transmisión 11.

[FIG. 9] La FIG. 9 es una vista que ilustra una matriz de comprobación de paridad.

[FIG. 10] La FIG. 10 es una vista que ilustra una matriz de paridad.

[FIG. 11] La FIG. 11 es una vista que ilustra una matriz de paridad de un código LDPC y los pesos prescritos en el DVB-S.2 estándar.

[FIG. 12] La FIG. 12 es una vista que ilustra una disposición de punto de señal de 16QAM.

[FIG. 13] La FIG. 13 es una vista que ilustra una disposición de punto de señal de 64QAM.

[FIG. 14] La FIG. 14 es una vista que ilustra una disposición de punto de señal de 64QAM.

[FIG. 15] La FIG. 15 es una vista que ilustra una disposición de punto de señal de 64QAM.

[FIG. 16] La FIG. 16 es una vista que ilustra el procesamiento de un desmultiplexor 25.

[FIG. 17] La FIG. 17 es una vista que ilustra el procesamiento del desmultiplexor 25.

[FIG. 18] La FIG. 18 es una vista que muestra una gráfica Tanner con relación a la decodificación de un código LDPC.

[FIG. 19] La FIG. 19 es una vista que muestra una matriz de paridad H_T que tiene una estructura escalonada y una gráfica Tanner que corresponde a la matriz de paridad H_T.

[FIG. 20] La FIG. 20 es una vista que muestra la matriz de paridad H_T de una matriz de comprobación de paridad H que corresponde al código LDPC después de la paridad intercalante.

[FIG. 21] La FIG. 21 es una vista que ilustra una matriz de comprobación de paridad de conversión.

[FIG. 22] La FIG. 22 es una vista que ilustra el procesamiento de un intercalador de giro de columna 24.

[FIG. 23] La FIG. 23 es una vista que ilustra los números de la columna de una memoria 31 necesaria para el intercalado de giro de la columna y el manejo de las posiciones de inicio de escritura.

[FIG. 24] La FIG. 24 es una vista que ilustra los números de columna de la memoria 31 necesaria para la intercalación del giro de columna y el manejo de las posiciones de inicio de escritura.

[FIG. 25] La FIG. 25 es un diagrama de flujo que ilustra un proceso de transmisión.

[FIG. 26] La FIG. 26 es una vista que muestra un modelo de una ruta de comunicación adoptada en una simulación.

[FIG. 27] La FIG. 27 es una vista que ilustra una relación entre el índice de error obtenido por la simulación y la frecuencia Doppler f_d de una oscilación.

[FIG. 28] La FIG. 28 es una vista que ilustra una relación entre el índice de error obtenido por medio de una simulación y la frecuencia Doppler f_d de una oscilación.

[FIG. 29] La FIG. 29 es un diagrama de bloque que muestra un ejemplo de una configuración de un aparato de recepción 12.

[FIG. 30] La FIG. 30 es un diagrama de flujo que ilustra un proceso de recepción.

[FIG. 31] La FIG. 31 es una vista que ilustra un ejemplo de una matriz de comprobación de paridad de un código LDPC.

[FIG. 32] La FIG. 32 es una vista que ilustra un matriz (matriz de comprobación de paridad conversión) obtenida al aplicar el remplazo de fila y el remplazo de columna a una matriz de comprobación de paridad.

[FIG. 33] La FIG. 33 es una vista que ilustra una matriz de comprobación de paridad y conversión dividida en una unidad de 5 x 5.

[FIG. 34] La FIG. 34 es un diagrama de bloque que muestra un ejemplo de una configuración de un aparato de codificación en el cual la operación matemática de nodo se lleva a cabo colectivamente para los nodos.

[FIG. 35] La FIG. 35 es un diagrama de bloque que muestra un ejemplo de una configuración de una sección de decodificación LDPC 56.

[FIG. 36] La FIG. 36 es un diagrama de bloque que muestra un ejemplo de una configuración de una realización de una computadora a la cual se aplica la presente invención.

[FIG. 37] La FIG. 37 es una vista que ilustra un ejemplo de una tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 2/3 y una longitud de código de 16,200.

[FIG. 38] La FIG. 38 es una vista que ilustra un ejemplo de una tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 2/3 y la longitud de código de 64,800.

[FIG. 39] La FIG. 39 es una vista que ilustra el ejemplo de la tabla del valor inicial de matriz de comprobación de paridad del índice de codificación de 2/3 y la longitud de código de 64,800.

[FIG. 40] La FIG. 40 es una vista que ilustra el ejemplo de una tabla del valor inicial de matriz de comprobación de paridad de un índice de codificación de 2/3 y la longitud de código de 64,800.

[FIG. 41] La FIG. 41 es una vista que ilustra un ejemplo de una tabla del valor inicial de matriz de comprobación de paridad de un índice de codificación de 3/4 y la longitud de código de 16,200.

[FIG. 42] La FIG. 42 es una vista que ilustra un ejemplo de una tabla del valor inicial de matriz de comprobación de paridad del índice de codificación de 3/4 y la longitud de código de 64,800.

[FIG. 43] La FIG. 43 es una vista que ilustra el ejemplo de la tabla del valor inicial de matriz de comprobación de paridad del índice de codificación de 3/4 y la longitud de código de 64,800.

[FIG. 44] La FIG. 44 es una vista que ilustra el ejemplo de la tabla del valor inicial de matriz de comprobación de paridad del índice de codificación de 3/4 y la longitud de código de 64,800.

[FIG. 45] La FIG. 45 es una vista que ilustra el ejemplo de la tabla de valor inicial de matriz de comprobación de paridad de un índice de codificación de 3/4 y la longitud de código de 64,800.

00 215

[FIG. 46] La FIG. 46 es una vista que ilustra un ejemplo de la tabla de valor inicial de matriz de comprobación de paridad de un índice de codificación de 3/5 y la longitud de código de 16,200.

[FIG. 47] La FIG. 47 es una vista que ilustra un ejemplo de una tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 4/5 y la longitud de código de 64,800.

[FIG. 48] La FIG. 48 es una vista que ilustra el ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 4/5 y la longitud de código de 64,800.

[FIG. 49] La FIG. 49 es una vista que ilustra el ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 4/5 y la longitud de código de 64,800.

[FIG. 50] La FIG. 50 es una vista que ilustra el ejemplo de la tabla de valor inicial de matriz de comprobación de paridad de un índice de codificación de 4/5 y una longitud de código de 64,800.

[FIG. 51] La FIG. 51 es una vista que ilustra un ejemplo de una tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 5/6 y la longitud de código de 16,200.

[FIG. 52] La FIG. 52 es una vista que ilustra un ejemplo de una tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 5/6 y la longitud de código de 64,800.

[FIG. 53] La FIG. 53 es una vista que ilustra el ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 5/6 y la longitud de código de 64,800.

[FIG. 54] La FIG. 54 es una vista que ilustra la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 5/6 y la longitud de código de 64,800.

[FIG. 55] La FIG. 55 es una vista que ilustra el ejemplo de una tabla de valor inicial de matriz de comprobación de paridad de un índice de codificación de 5/6 y una longitud de código de 64,800.

[FIG. 56] La FIG. 56 es una vista que ilustra un ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 8/9 y la longitud de código de 16,200.

[FIG. 57] La FIG. 57 es una vista que ilustra el ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 8/9 y la longitud de código de 64,800.

[FIG. 58] La FIG. 58 es una vista que ilustra un ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 8/9 y la longitud de código de 64,800.

00 216

[FIG. 59] La FIG. 59 es una vista que ilustra un ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 8/9 y la longitud de código de 64,800.

[FIG. 60] La FIG. 60 es una vista que ilustra un ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 8/9 y la longitud de código de 64,800.

[FIG. 61] La FIG. 61 es una vista que ilustra un ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 9/10 y la longitud de código de 64,800.

[FIG. 62] La FIG. 62 es una vista que ilustra un ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 9/10 y la longitud de código de 64,800.

[FIG. 63] La FIG. 63 es una vista que ilustra un ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 9/10 y la longitud de código de 64,800.

[FIG. 64] La FIG. 64 es una vista que ilustra un ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 9/10 y la longitud de código de 64,800.

[FIG. 65] La FIG. 65 es una vista que ilustra un ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 1/4 y la longitud de código de 64,800.

[FIG. 66] La FIG. 66 es una vista que ilustra un ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 1/4 y la longitud de código de 64,800.

[FIG. 67] La FIG. 67 es una vista que ilustra un ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 1/3 y la longitud de código de 64,800.

[FIG. 68] La FIG. 68 es una vista que ilustra un ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 1/3 y la longitud de código de 64,800.

[FIG. 69] La FIG. 69 es una vista que ilustra un ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 2/5 y la longitud de código de 64,800.

[FIG. 70] La FIG. 70 es una vista que ilustra un ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 2/5 y la longitud de código de 64,800.

[FIG. 71] La FIG. 71 es una vista que ilustra un ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 1/2 y la longitud de código de 64,800.

[FIG. 72] La FIG. 72 es una vista que ilustra un ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 1/2 y la longitud de código de 64,800.

[FIG. 73] La FIG. 73 es una vista que ilustra un ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 1/2 y la longitud de código de 64,800.

[FIG. 74] La FIG. 74 es una vista que ilustra un ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 3/5 y la longitud de código de 64,800.

[FIG. 75] La FIG. 75 es una vista que ilustra un ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 3/5 y la longitud de código de 64,800.

[FIG. 76] La FIG. 76 es una vista que ilustra un ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 3/5 y la longitud de código de 64,800.

[FIG. 77] La FIG. 77 es una vista que ilustra un ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 1/4 y la longitud de código de 16,200.

[FIG. 78] La FIG. 78 es una vista que ilustra un ejemplo de una tabla de valor inicial de matriz de comprobación de paridad de un índice de codificación de 1/3 y una longitud de código de 16,200.

[FIG. 79] La FIG. 79 es una vista que ilustra un ejemplo de una tabla de valor inicial de matriz de comprobación de paridad de un índice de codificación de 2/5 y una longitud de código de 16,200.

[FIG. 80] La FIG. 80 es una vista que ilustra el ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 1/2 y una longitud de código de 16,200.

[FIG. 81] La FIG. 81 es una vista que ilustra el ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 3/5 y una longitud de código de 16,200.

[FIG. 82] La FIG. 82 es una vista que ilustra un ejemplo de una tabla de valor inicial de matriz de comprobación de paridad de un índice de codificación de 3/5 y una longitud de código de 16,200.

[FIG. 83] La FIG. 83 es una vista que ilustra un método de determinar una matriz de comprobación de paridad H desde una tabla inicial de matriz de comprobación de paridad.

[FIG. 84] La FIG. 84 es una vista que ilustra un ejemplo de remplazo de los bits de código.

[FIG. 85] La FIG. 85 es una vista que ilustra otro ejemplo de remplazo de los bits de código.

[FIG. 86] La FIG. 86 una vista que ilustra el ejemplo adicional de remplazo de los bits de código.

[FIG. 87] La FIG. 87 es una vista que ilustra un ejemplo adicional del remplazo de los bits de código.

[FIG. 88] La FIG. 88 es una vista que ilustra un resultado de simulación del BER.

[FIG. 89] La FIG. 89 es una vista que ilustra otro resultado de simulación del BER.

[FIG. 90] La FIG. 90 es una vista que ilustra un resultado adicional del VER.

[FIG. 91] La FIG. 91 es una vista que ilustra un resultado aun de simulación del VER.

[FIG. 92] La FIG. 92 es una vista que ilustra un ejemplo del remplazo de los bits de código.

[FIG. 93] La FIG. 93 es una vista que ilustra otro ejemplo del remplazo de los bits de código.

[FIG. 94] La FIG. 94 es una vista que ilustra un ejemplo adicional del remplazo de los bits de código.

[FIG. 95] La FIG. 95 es una vista que ilustra un ejemplo adicional del remplazo de los bits de código.

[FIG. 96] La FIG. 96 es una vista que ilustra un ejemplo adicional del remplazo de los bits de código.

[FIG. 97] La FIG. 97 es una vista que ilustra un ejemplo adicional del remplazo de los bits de código.

[FIG. 98] La FIG. 98 es una vista que ilustra un ejemplo adicional del remplazo de los bits de código.

[FIG. 99] La FIG. 99 es una vista que ilustra un ejemplo adicional del remplazo de los bits de código.

[FIG. 100] La FIG. 100 es una vista que ilustra un ejemplo adicional del remplazo de los bits de código.

[FIG. 101] La FIG. 101 es una vista que ilustra un ejemplo adicional del remplazo de los bits de código.

[FIG. 102] La FIG. 102 es una vista que ilustra un ejemplo adicional del remplazo de los bits de código.

[FIG. 103] La FIG. 103 es una vista que ilustra un ejemplo adicional del remplazo de los bits de código.

[FIG. 104] La FIG. 104 es una vista que ilustra el procesamiento de un multiplexor 54 que compone un desintercalador 53.

[FIG. 105] La FIG. 105 es una vista que ilustra el procesamiento de un desintercalador de giro de columna 55.

[FIG. 106] La FIG. 106 es un diagrama de bloque que muestra otro ejemplo de una configuración de un aparato de recepción 12.

[FIG. 107] La FIG. 107 es un diagrama de bloque que muestra un primer ejemplo de una configuración de un sistema de recepción que se puede aplicar al aparato de recepción 12.

[FIG. 108] La FIG. 108 es un diagrama de bloque que muestra un segundo ejemplo de una configuración de un sistema de recepción que se puede aplicar al aparato de recepción 12.

[FIG. 109] La FIG. 109 es un diagrama de bloque que muestra un tercer ejemplo de una configuración de un sistema de recepción que se puede aplicar al aparato de recepción 12.

Explicación de los símbolos de referencia

[0060]

11 Aparato de Transmisión , 12 Aparato de Recepción, 21 sección de codificación LDPC, 22 Intercalador de bit, 23 Intercalador de paridad, 24 Intercalador de giro de columna, 25 Desmultiplexor, 26 Sección de mapeo, 27 Sección de modulación ortogonal, 31 Memoria, 32 Sección de remplazo, 51 Sección de demodulación ortogonal, 52 Sección de desmapeo, 53 Desintercalador, 54 Multiplexor, 55 Intercalador de giro de columna, 56 Sección de decodificación LDPC, 300 Memoria de almacenamiento de datos de borde, 301 Selector, 302 Sección de cálculo de nodo de comprobación, 303 Circuito de cambio cíclico, 304 Memoria de almacenamiento de datos de borde, 305 Selector, 306 Memoria de datos de recepción, 307 Sección de cálculo de nodo variable, 308 Circuito de cambio cíclico, 309 Sección de cálculo de palabra decodificada, 310 Sección de re-disposiciones de datos de recepción, 311 Sección de re-disposición de datos decodificados, 401 bus, 402 CPU, 403 ROM, 404 RAM, 405 Disco duro, 406 Sección de generación, 407 sección de entrada, 408 sección de comunicación, 409 unidad, 410 interfaz entrada/salida, 411 medio de grabación removible, 1001 sección de remplazo

inverso, 1002 Memoria, 1011 Desintercalador de paridad, 1021 Sección de decodificación LDPC, 1101 Sección de procesamiento de decodificación de línea de transmisión, 1103 Sección de procesamiento de decodificación de fuente de información, 1111 Sección de generación, 1121 Sección de grabación.

Mejor Modo de Llevar a Cabo la Invención

[0061]

La figura 7 muestra un ejemplo de una configuración de una modalidad de un sistema de transmisión al cual se aplica a al presente invención (el termino sistema significa un agregado lógico de una pluralidad de aparatos sin importar si o no el aparato componente individual se incluye en la misma carcasa).

[0062]

Con relación figura 7, el sistema de transmisión incluye un aparato de transmisión 11 y un aparato de recepción.

[0063]

Un aparato de transmisión 11 es, por ejemplo, un aparato que lleva a cabo transmisión de un programa de difusión de televisión y transmite datos de objeto que son un objeto de una transmisión tal como datos de imagen, datos de sonido y así sucesivamente como un programa de difusión de televisión, por ejemplo, atreves de un canal satelital u ondas terrestres.

[0064]

Un aparato de transmisión 12 es, por ejemplo, un sintonizador o un recibidor de televisión para recibir un programa de difusión de televisión, y recibe datos de objeto transmitidos a este desde el aparato de transmisión 11.

[0065]

La figura 8 muestra un ejemplo de una configuración del aparato de transmisión 11 de la figura 7.

[0066]

En relación a la figura 8, el aparato de transmisión 11 incluye una extensión de codificación LDPC 21, un intercalador de bit 22, una sección de mapeo 26 y una sección de modulación ortogonal 27.

[0067]

A la sección de codificación LDPC 21, se suministran datos de objeto.

[0068]

La sección de codificación LDPC 21 lleva a cabo la codificación LDPC de los datos de objeto suministrados a este de acuerdo con la matriz de comprobación de paridad en la cual una matriz de paridad es una porción que corresponde a los de bits de paridad de el código LDPC tiene una estructura escalonada y genera un código LDPC en donde los datos de objeto son bits de información.

[0069]

En particular, la sección de codificación LDPC 21 lleva a cabo la codificación LDPC de codificar los datos del objeto en un código LDPC prescrito, por ejemplo, en los estándares DVB-S.2 y genera un código LDPC obtenido, como resultado de la codificación LDPC.

[0070]

Aquí, el LDPC prescrito en el estándar DVB-S.2. El código LDC prescrito en el estándar DVB-S.2 es un código IRA (Acumulado de Repetición Irregular), y la matriz de paridad en la matriz de comprobación de paridad del código LDPC tiene una estructura escalonada. La matriz de paridad y la estructura escalonada se describen aquí. Además, el código IRA se describió, por ejemplo en "Irregular Repeat Accumulate Codes" H. Jin., Khanderkar Symposium McEliece, en los procedimientos de el segundo simposio internacional sobre códigos Turbo y códigos Tópicos relacionados, pp.1-8, septiembre. 200.

[0071]

El código LDPC generado de la sección de codificación LDPC 21 se suministra al intercalador de bit 22.

[0072]

El intercalador de bit 22 es una aparato de procesamiento de datos para intercalar datos e incluye un intercalador de paridad 23, un intercalador de giro de columna 24 y un desmultiplexor (DEMUX) 25.

[0073]

El intercalador de paridad 23 lleva a cabo el intercalado de paridad de intercalar bits de paridad del código LDPC desde la sección de codificación el LDPC 21 a posiciones de otros bits de paridad y suministran el código LDPC después del intercalado de paridad al intercalador de giro de columna 24.

[0074]

El intercalador de giro de columna 24 lleva a cabo el intercalado de giro de columna para el código LDPC desde el intercalador de paridad 23 y suministra al código LDPC después del intercalado de giro de columna al desmultiplexor 25.

[0075]

En particular, el código LDPC es transmitido después de dos o más bits de código del mismo después de que dos o más bits de código del mismo son mapeados a un símbolo de la modulación ortogonal mediante la sección de mapeado 26 descrita a en lo sucesivo.

[0076]

El intercalador de giro de columna 24 lleva a cabo. por ejemplo, tal intercalado de giro de columna como se describe en lo sucesivo como un proceso de re-disposición de los bits del código de re-disposición del código LDPC desde el intercalar de paridad 23 de tal forma que la pluralidad de los bits de código del código LDPC que corresponde al valor 1 incluido en una fila arbitraria de la matriz de comprobación de paridad utilizada en la sección de codificación del LDPC 21 no son mapeadas a un símbolo.

[0077]

El desmultiplexor 25 lleva a cabo un proceso de remplazo de reemplazar las posiciones de dos o más bits de código del código LDPC desde el intercalador de giro de columna 24 que son mapeados a un símbolo para obtener un código LDPC cuya tolerancia al AWGN se refuerza y suministra al código LDPC a la sección de mapeo 26.

[0078]

La sección de mapeo 26 mapea dos o más bits de código del código LDPC desde el desmultiplexor 25 a los puntos de señal determinados por el método de modulación de la modulación ortogonal (modulación multi-valor) llevada a cabo por la sección de modulación ortogonal 27.

[0079]

En particular, la sección de mapeo 26 simboliza el código LDPC desde el desmultiplexor 25 en un símbolo (valor de símbolo), representado por punto de señal determinado por el sistema de modulación, sobre un plano IQ (constelación IQ) definido por un eje I representativo de un componente I que esta de fase con un portador y un Q representativo de un componente Q que es ortogonal a la onda portadora.

[0080]

Aquí, como el método de modulación de la modulación ortogonal llevado a cabo mediante la sección de modulación ortogonal 27, los métodos de modulación que incluyen, por ejemplo, un método de modulación definido en el estándares DVB-T, esto es, por ejemplo están disponibles, QPSK (Modulación por Desviación de Fase Cuaternaria), 16QAM (Modulación de Amplitud en Cuaternaria), 64QAM, 265 QAM, 1024QAM, 4086QAM y *así sucesivamente*. Lo que el método de modulación debe utilizar para la modulación ortogonal hacer llevada a cabo mediante la sección de modulación ortogonal 27 se establece por adelantado, por ejemplo, de

acuerdo con una operación de un aparato de transmisión 11 mediante un operador. Cabe notar que la sección de modulación ortogonal 27 puede llevar a cabo alguna otra modulación ortogonal tal como, por ejemplo, el 4PAM (Modulación de Amplitud de Pulso).

[0081]

El símbolo obtenido mediante la sección de mapeo 26 es suministrado a la sección de modulación ortogonal 27.

[0082]

La sección de modulación ortogonal 27 lleva a cabo la modulación ortogonal de un portador de acuerdo con el símbolo de la sección de mapeado 26 y transmite una señal de modulación obtenida mediante modulación ortogonal.

[0083]

Ahora, la figura 9, ilustra una matriz de comprobación de paridad H utilizada mediante la sección de codificación LDPC 21 de la figura 8.

[0084]

La matriz de comprobación de paridad H tiene una estructura LDGM (Matriz de Generación de Baja Densidad) y se puede representar mediante un expresión $H = [H_a|H_t]$ de una matriz de información H_A de una porción que corresponde a los bits de información de la matriz de paridad H_T que corresponde a los bits de paridad de entre los bits de código del código LDPC (matriz en la cual los elementos de la matriz de información H_A son elementos al lado izquierdo y los elementos de la matriz de paridad H_T son elementos al lado derecho).

[0085]

Aquí, el número de bits de los bits de información y el número de los bit de los bits de paridad de entre los bits de código de un código LDPC (una palabra de código) se denominan como la longitud de una formulación K y la longitud de paridad M, y el número de bit de los bits de código del código LDPC se denominan como la longitud de código N (= K + M).

[0086]

La longitud de información K y la longitud de paridad M con relación un código LDPC de una cierta longitud de código N depende del índice de codificación. Mientras tanto, la matriz de comprobación de paridad H es una matriz cuyas filas por columna son M x N. Luego, la matriz de información H_A es una matriz M x K y la matriz de paridad H_T es una matriz M x M.

[0087]

La figura 10 ilustra la matriz de paridad H_T de la matriz de comprobación de paridad H de un código LDPC prescrito en el estándar DVB-S.2.

[0088]

La matriz de paridad H_T de la matriz de comprobación de paridad H del código LDPC prescrito en el estándar DVB-S.2 tiene un estructura escalonada en donde los elementos del valor 1 están dispuestos como una escalera como se ve en la figura 10. El peso de la fila de la matriz de paridad H_T es 1 con relación a la primera fila pero es 2 con relación a todas las filas restantes. Mientras tanto, el peso de la columna es 1 con relación a la última columna pero en 2 con relación a todas las columnas restantes.

[0089]

Como se describió anteriormente, el código LDPC de la matriz de comprobación de paridad H en donde la matriz de paridad H_T tiene una estructura escalonada se puede producir fácilmente utilizando una matriz de comprobación de paridad H.

[0090]

En particular, un código de LDPC (una palabra de código) esta representa mediante el vector de fila c y un vector de fila obtenido al trasponer el vector de fila que está representado por c^T. Adicionalmente, una porción de los bits de información desde dentro del vector de fila c que es un código LDPC está representado por un vector de fila A y una porción de los bits de paridad esta representa por el vector de fila T.

[0091]

Aquí, en este caso, el vector de fila c pude estar representado por una expresión c= [A|T] desde el vector de fila A como los bits de información y el vector de fila T como los bits de paridad (vector de fila en donde los elementos del vector de fila A son elementos al lado izquierdo y los elementos del vector de fila T son elementos al lado derecho).

[0094]

Es necesario para la matriz de comprobación de paridad H y el vector de fila c= [A|T] y el código LDPC satisfacer una expresión $Hc^T = 0$, y donde la matriz de paridad H_T de la matriz de comprobación de paridad $H = [H_A|H_T]$ tiene tal estructura escalonada como se muestra en la figura 10, el vector de fila T como los bits de paridad que forman vector de fila c= [A|T] que satisface la expresión $Hc^T = 0$ se puede determinar secuencialmente al establecer sucesivamente los elementos en las filas que inician con los elementos de la primera fila del vector de columna $H = [H_A|H_T]$ en la expresión $Hc^T = 0$ a cero.

[0093]

La Figura.11 ilustra la matriz de comprobación de paridad H de un código LDPC y los pesos de la columna definidos en el estándar DVB-S.2.

[0094]

En particular, A la Figura.11 ilustra la matriz de comprobación de paridad H de un código LDPC definido mediante el estándar DVB-S.2.

[0095]

Con relación a las columnas KX desde la primera columna de la matriz de comprobación de paridad H, el peso de la columna es de X; con relación a las columnas K3 que tienen éxito, el peso de la columna es 3; con relación a las filas M-1 que tienen éxito, el peso de la columna es 2; y con relación a la última columna, el peso de la columna es 1.

[0096]

Aquí, KX + K3 + M-1 + 1 es igual a la longitud del código N.

[0097]

El estándar DVB-S.2, los números de columna KX, K3 y M (longitud de paridad) así como también el peso de la columna X se prescriben de tal manera como se ve en B en la Figura.11.

[0098]

En particular, el B de la figura 11 ilustra los números de columna KX, K3 y M así como también el peso de la columna X con relación a las diferentes índices de codificación de los códigos LDPC prescritos en el estándar DVB-S2.

[0099]

En el estándar DVB-S.2, los códigos LDPC de la longitud de código N de 64,800 bits y 16,200 bits se prescriben.

[0100]

Como se ve en B de la Figura.11, para el código LDPC cuya longitud de código N es 64,800 bits, 11 índices de codificación (índices nominales) 1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6, 8/9 y 9/10 se prescriben, y para el código LDPC cuya longitud de código N es 16,200 bits, se prescriben los índices de codificación 1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6 y 8/9.

[0101]

Con relación a los códigos LDPC, se conoce que los bits de código que corresponden a una columna de la matriz de comprobación de paridad H que tiene un peso de columna exhibe un índice de error inferior.

[0102]

La matriz de comprobación de paridad H prescrita en el estándar BDV-S.2 e ilustrada en la figura 11 tiene una tendencia de que una columna más cercana al lado de la cabeza (lado

izquierdo) tiene un peso de columna mayor. De acuerdo con esto, el código LDPC corresponde a la matriz de comprobación de paridad H en una tendencia de que un bit de código más cercano a la cabeza es mayor en tolerancia a un error (tiene una tolerancia mayor a un error) y un bit de código más cercano a la cola es inferior en tolerancia a un error.

[0103]

La figura 12 ilustra una arreglo de (puntos de señal que corresponden a) 16 símbolos sobre el plano IQ donde el 16QAM es llevado a cabo mediante la sección de modulación ortogonal 27 de la Figura.8.

[0104]

En particular, A de la figura 12 ilustra los símbolos del 16QAM.

[0105]

El 16QAM, un símbolo representa 4 bits, y existen 16 ($=2^4$) símbolos. Entonces, los 16 símbolos están dispuestos de tal manera que ellos forman una forma cuadrada de 4 x 4 en la dirección I x por la dirección Q centrada en el origen de el plano IQ.

[0106]

Ahora, si los 4 bits representados por un símbolo de 16QAM están representados por y_0, y_1, y_2 y y_3 en orden desde el bit más significativo, entonces donde el sistema de modulación 16QAM, son mapeados 4 bits de código del código LDPC a un símbolo de 4 bits y_0 a y_3 que coincide con los 4 bits con la sección de mapeo 26 (figura 8.).

[0107]

B de la figura. 12 indica los límites del bit con relación a los 4 bits y_0 a y_3 representados por el símbolo de 16QAM.

[0108]

Aquí, un límite de bit con relación al bit Y_i (en la Figura 12, i = 0, 1, 2, 3) significa un límite entre un símbolo cuyo Y_i es 0 y otro símbolo cuyo Y_i es 1.

[0109]

Como se ve B en la figura 12, con relación al bit más significativo y_0 de entre los 4 bits y_0 a y_3 representados por el símbolo de 16QAM, solamente una ubicación del eje Q en el plano IQ hace un límite de bit, y con relación al segundo bit y_1 (segundo desde el bit más significativo), solamente una ubicación del eje I sobre el plano IQ hace un límite de bit.

[0110]

Además, con relación al tercer bit y_3, cada uno de los dos sitios entre la primera y segunda columna y entre la tercera y cuarta columna desde la izquierda a los 4 x 4 símbolos hace un límite.

[0111]

Adicionalmente, con relación al cuarto bit Y_3, cada uno de los dos sitios entre la primera y segunda fila y entre la tercera y cuarta fila de 4 x 4 símbolos hace un límite.

[0112]

El bit y_1 representado por un símbolo es menos probable que se vuelva erróneo en la medida en que el número de símbolos espaciados alejados del límite de bit se incremente pero es más probable que se vuelva erróneo en la medida en que el número de símbolos ubicado más cerca al límite de bit se incrementa.

[0113]

Si un bit que es menos probable que se vuelva erróneo (es tolerante a un error) se denomina "bit fuerte" pero un bit que es más probable que se vuelva erróneo (es menos tolerante a un error) se denomina "bit débil," entonces con relación a los 4 bits y_0 a y3 representados por los símbolos 16QAM, el símbolo bit más significativo y_0 y el segundo de bit y_1 son bits fuertes y el tercer bit y_2 y el cuarto bit y_3 son bits débiles.

[0114]

Las Figuras 13 a 15 ilustran deposiciones de (puntos de señal que corresponde a) 64 símbolos sobre el plano IQ donde 64QAM se lleva a cabo por la sección de modulación ortogonal 27 de la Figura 8.

[0115]

En 64QAM, un símbolo representa 6 bits, y existen 64 (= 2^6) símbolos. Entonces, los 64 símbolos se están dispuestos de tal manera que ellos hacen un cuadrado de 8 x 8 símbolos en la dirección y x dirección Q centrados en el origen del plano IQ.

[0116]

Ahora, si se asume que los 6 bits representados por un símbolo de 64QAM están representados como y_0, y_1, y_2, y_3, y_4, y y_5 en orden desde el bit más significativo, entonces donde el sistema de modulación es 64QAM, los 6 bits de código del código LDPC son mapeados a un símbolo de 6 bits y_0 a y_5 coincidentes con los 6 bits.

[0117]

Aquí, la figura 13 indica los límites de bit con relación al bit más significativo y_0 y al segundo bit y_1 desde entre los bits y_0 a y_5 representados por los símbolos de 64QAM; la figura

14 indica los límites de bit con relación al tercer bit y_2 y al cuarto bit y_3; y la Figura.15 indica los límites de bit con relación al quinto bit y_4 y al sexto bit y_5.

[0118]

Como se ve en la figura 13, el número de límites de bit con relación a cada uno de los bit más significativo y0 y el segundo bit y_1 es 1. Mientras tanto, como se ve en la Figura.14, el número de límites de bit con relación a cada uno del tercer bit y_2 y acuarto bit y_3 es dos, y como se ve en la Figura.15, el número de límites de bit con relación a cada uno del quinto bit y_4 y el sexto bit y_5 es cuatro.

[0119]

De acuerdo con esto, entre los 6 bits y_0 a y_5 representado por los símbolos de 64QAM, el bit más significativo y_0 y el segundo y_1 son los bits más fuertes, y el tercer y_2 y el cuarto bit y_3 son los segundos bits más fuertes. Entonces, el quinto bit y_4 y el sexto bit y_5 son los bits más débiles.

[0120]

De la figura 12 y además de las figuras 13 a 15, se puede ver que, con relación a los bits de los símbolos de la modulación ortogonal, existe una tendencia de que el bit de orden alto sea un bit fuerte y el bit de orden de abajo sea un bit débil.

[0121]

Aquí, como se describió anteriormente con relación a la Figura 11, el código LDPC generado de la sección de codificación LDPC 21 (figura 8) incluye los bits de código que son tolerantes a los errores y los bits de código que son menos tolerantes a los errores.

[0122]

Mientras tanto, como se describió anteriormente con referencia a las Figuras. 12 a 15, los bits de los símbolos de la modulación ortogonal llevada a cabo por la sección de modulación ortogonal 27 incluyen los bits fuertes y los bits débiles.

[0123]

De acuerdo con esto, si se lleva a cabo el mapeo de asimilar un bit de código del código LDPC que es bajo en tolerancia a un error a un bit débil de un símbolo de la modulación ortogonal, entonces la tolerancia al menor cae como un todo.

[0124]

Por lo tanto, un intercalador se ha propuesto el cual intercala los bits de código LDPC de tal manera que el mapeado de asignación de bits de código del código LDPC que son bajos en tolerancia a un error a los bits fuertes de un símbolo de la modulación ortogonal se lleva a cabo.

[0125]

El desmultiplexor 25 de la figura 8 lleva a cabo el procesamiento del intercalador.

[0126]

La figura 16 es una vista que ilustra el procesamiento del desmultiplexor 25 de la figura 8.

[0129]

En particular, A de la Figura 16 muestra un ejemplo de una configuración funcional del desmultiplexor 25.

[0128]

El desmultiplexor 25 incluye una memoria 31 y una sección de remplazo 32.

[0129]

A la memoria 31, se suministra un código LDPC.

[0130]

La memoria 31 tiene una capacidad de almacenamiento para almacenar N/ (mb) bits en la dirección (horizontal) de una fila y almacenar los N/ (mb) bits en la dirección (vertical) de una columna. La memoria 31 escribe los bits del código de un código LDPC suministrada a este en la dirección de columna y lee los bits de código en la dirección de fila y luego suministra los bits de código de lectura a la sección de remplazo 32.

[0131]

Aquí, m representa el número de los bits de código de un código LDPC a ser mapeado a un símbolo, y b es un entero positivo predeterminado y es un múltiplo para ser utilizado para multiplicar m por el entero. Mientras tanto, N (= longitud de información K + longitud de paridad M) representa la longitud de código del código LDPC como se describió anteriormente.

[0132]

A de la Figura.16 muestra un templo de una configuración del desmultiplexor 25 donde el sistema de modulación es 64QAM, y de acuerdo con esto, el número de bit m de los bits de código del código LDPC a ser mapeado a símbolo es de 6 bits.

[0133]

Además, en A de la Figura 16, el múltiplo b es 1, y de acuerdo, la memoria 31 tiene una capacidad de almacenamiento de N/ (6 x 1) x (6 x 1) bits en la dirección de columna x la dirección de fila.

[0134]

Aquí, una región de almacenamiento de la memoria 31 que se extiende en la dirección de columna e incluye un bit en la dirección de fila se denomina en lo sucesivo adecuadamente como columna. En A de la figura 16, la memoria 31 incluye seis (= 6 x 1) columnas.

[0135]

El desmultiplexor 25 lleva a cabo la escritura de los bits de código del código LDPS en una dirección hacia abajo debes de arriba de una columna que forma la memoria 31 (en una dirección de columna) que inicia con la columna al lado izquierdo hacia la columna al lado derecho.

[0136]

Entonces, si la escritura de los bits de código finaliza con el bit más bajo en la columna más a la derecha, entonces los bits de código son leídos y suministrados a la sección de remplazo 32 en una unidad de 6 bits (mb bits) en la edición y fila que inicia con la primera fila de todas las columnas que forman la memoria 31.

[0137]

La sección de remplazo 32 lleva a cabo un proceso de remplazo al reemplazar la posición de los bits de códigos desde 6 bits desde la memoria 31 y genera los 6 bits obtenidos mediante el remplazo como 6 bits y_0, y_1, y_2, y_3, y_4 y y_5 representativos de un símbolo de 64 QAM.

[0138]

En particular, si los 6 bits de código leídos en la dirección de fila desde la memoria 31, son representados como b_0, b_1, b_2, b_3, b_4 y b_5 en orden desde el bits más significativo, entonces de una relación del peso de la columna descrita anteriormente con referencia a la Figura.11, el bit de código ubicado en la dirección del bit b_0 es un bit de código alto en tolerancia a un error mientras que el bit de código en la dirección del b_5 es un bit de código bajo en tolerancia a un error.

[0139]

La sección de remplazo 32 lleva a cabo un proceso de remplazo para remplazar la posición de los 6 bits de código b_0 a b_5 desde la memoria 31 de tal manera que el bit código que es bajo en tolerancia a un error desde entre los 6 bits de código b_0 a b_5 desde la memoria 31 se puedan asignar a un bit que sea alto en tolerancia desde entre los 6 bits y_0 a y_5 representativos de un símbolo de 64QAM.

[0140]

Aquí, para el método de remplazo para remplazar los 6 bits de código b_0 a b_5 de la memoria 31 con el fin de ser asignada a los 6 bits y_0 a y_5 representativos de un símbolo de 64QAM, se han propuesto varios sistemas.

[0141]

B de la figura 16 ilustra un primer método de remplazo; C de la figura 16 ilustra un segundo método de remplazo; y D de la Figura 16 ilustra un tercer método de remplazo.

[0142]

En B de la figura 16 a D de la Figura 16 (similarmente también la Figura.17 descrito en lo sucesivo), una línea de seguimiento que interconecta los bits b_i y y_j significa que el bit de código b_i esta asignado al bit y_j de símbolo (se remplaza en la posición del bit y_j).

[0143]

Como el primer método de remplazo de B, de la figura 16 se propone adoptar una de las tres clases y como el segundo método de remplazo, de la Figura.16, se propone adoptar una de las de las dos clases.

[0144]

El tercer método de remplazo de D de la figura 16, se propone seleccionar y utilizar 6 clases en orden.

[0145]

La figura 17 ilustra un ejemplo de una multiconfiguración del desmultiplexor 25 en un caso en donde el método de modulación es 64QAM (de acuerdo con esto en número de bit m de los bits de código de un código LDPC mapeado a un símbolo de 6 similarmente como en la Figura.16) y el múltiplo B es 2, y un cuarto método de remplazo.

[0146]

Donde el múltiplo B es 2, la memoria 31 tiene una capacidad de almacenamiento de N/ (6 x 2) x (6 x 2) bits en la dirección de columna x la dirección de fila e incluye 12 (=6 x 2) columnas.

[0147]

A en la Figura 17 ilustra un orden de escritura de con código LDPC en la memoria 31.

[0148]

El desmultiplexor 25 lleva a cabo la escritura de los bits de código de un código LDPC en una dirección hacia abajo debes desde arriba de una columna que forma la memoria 31 (en la

dirección de columna) que inicia con una columna al lado izquierdo hacia una columna al derecho como se describió anteriormente con relación a la figura 16.

[0149]

Entonces, si la escritura de los bits de código finaliza con el bit más bajo en una columna más a la derecha, entones los bits de código son leídos y suministrados a la sección de remplazo 32 en una unidad de 12 bits (mb bits) en la dirección de fila que inicia con la primera fila de todas las columnas que forman la memora 31.

[0150]

La sección de remplazo 32 lleva a cabo un proceso para remplazar la posición de los 12 bits de código desde la memoria 31 de acuerdo con el cuarto método de remplazo y genera los 12 bits obtenidos mediante el remplazo como los 12 bits representativos de dos símbolos (símbolos b) de 64QAM, en particular, como 6 bits y_0, y_1, y_2, y_3, y_4 y y_5 representativos de un símbolo de 64AQM y 6 bits y_0, y_1, y_2, y_3, y_4 y y_5 representativos de un siguiente símbolo.

[0151]

Aquí, b de la figura 17 ilustra el cuarto método de remplazo del proceso de remplazo médiate la sección de remplazo 32 de A de la Figura 17.

[0152]

Cabe notar que, cual método de remplazo es optimo, esto es, cual método de remplazo suministra el mejor índice de error en una ruta de comunicación a AWGN difiere dependiendo del índice de codificación del LDPC codificado y así sucesivamente.

[0153]

Ahora, el intercalado de paridad mediante el intercalador de paridad 23 de la Figura.8 se describe con referencia a las Figuras. 18 a 20.

[0154]

La Figura.18 muestra (parte de) una gráfica Tanner de la matriz de comprobación de paridad del código LDPC.

[0155]

Si una pluralidad de (los bits de código que corresponde a) los nudos variables que conectan a un nodo de comprobación tal como dos nodos variables sufren de un error tal como borrado al mismo tiempo como se muestra en la figura 18, entonces el nodo de comprobación regresa un mensaje de una probabilidad igual que representa que probabilidad del valor pueda ser 0 y la probabilidad de que el valor pueda ser 1 son iguales una a la otra a todos los nudos variables que conectan al nodo de comprobación. Por lo tanto, si una pluralidad de los nodos

variables que conectan al mismo nodo de comprobación se coloca en un estado de borrado o similar al mismo tiempo, entonces se deteriorara el desempeño en la decodificación.

[0156]

Incidentalmente, un código LDPC generado desde la sección de codificación LDPC 21 de la figura 8 y prescrita en el estándar DVB-S.2 es un código IRA, la matriz de paridad H_T de la matriz de paridad H tiene una estructura escalonada como se muestra en la figura 10.

[0157]

La Figura 19. Ilustra la matriz de paridad H_T que tiene una estructura escalonada y una gráfica Tanner que corresponde la matriz de paridad H_T.

[0158]

En particular, A de la figura 19 ilustra una matriz de paridad H_T que tiene una estructura escalonada y B de la figura 19 muestra una gráfica Tanner que corresponde a la matriz de paridad T_H de A de la figura 19.

[0159]

Donde la matriz de paridad H_T tiene una estructura escalonada, la gráfica Taneer de la matriz de paridad H_T, los nodos variables del código LDPC que corresponden a una columna de un elemento de la matriz de paridad H_T que tiene el valor de 1 y cuyo mensaje se determina utilizando los bits de código adyacentes (bits de paridad) se conectan al mismo nodo de comprobación.

[0160]

De acuerdo con esto, si los bits de paridad adyacentes descritos anteriormente se colocan en un estado de error mediante los errores en ráfaga, el borrado o similares, entonces en razón a que el nodo de comprobación que conecta a una pluralidad de nodos variables corresponden a los bits de paridad plural que se vuelven un error (nodos variables cuyo mensaje van ser determinados utilizando los bits de paridad) regresa un mensaje de una probabilidad igual que representa que la probabilidad de que el valor pueda ser 0 y la probabilidad de que ese valor sea 1 puede ser igual una a la otra a los nodos variables que conectan el nodo de comprobación, el desempeño de la decodificación se deteriora. Entonces, donde la longitud de ráfaga (número de bits que son hechos un error por medio de una ráfaga) es grande, el desempeño de la decodificación se deteriora adicionalmente.

[0161]

Por lo tanto, con el fin de evitar el deterioro en el desempeño de la decodificación descrita anteriormente, el intercalador de paridad 23 (figura 8) lleva a cabo el intercalado de

intercalar los bits de paridad del código LDPC desde la sección de codificación LDPC 21 a las posiciones de los otros bits de paridad.

[0162]

La figura 20 ilustra una matriz de paridad H_T de una matriz de comprobación de paridad H que corresponde al código LDPC después de que el intercalado de paridad llevada a cabo por el intercalador de paridad 23 de la figura 8.

[0163]

Aquí, la matriz de información H_A de la matriz de comprobación de paridad H que corresponde al código LDPC prescrito en el estándar DVB-S.2 y generado desde la sección de codificación LDPC 21 tiene una estructura cíclica.

[0164]

La estructura cíclica significa una estructura en donde una cierta columna coincide con otra columna en un estado cíclicamente operado e incluye, por ejemplo, una estructura en donde, para cada P columnas, las posiciones del valor 1 en las filas de las P columnas coinciden con las posiciones a las cuales la primera de una de las columnas P es cíclicamente cambiada en la dirección de columna por un valor que se incrementa en proporción a un valor q obtenido al dividir la longitud de paridad M. En lo que sigue, el número de columnas P en una estructura cíclica es denominado en lo sucesivo como adecuado como un número de columna unitario de la estructura cíclica.

[0165]

Como un código LDPC prescrito en el estándar DCB-S.2 y generado de la sección de codificación LDPC 21, los códigos LDPC están disponibles incluyendo aquellos cuya longitud de código N es de 64,800 bits y 16,200 bits como se describió anteriormente con referencia a la Figura.11.

[0166]

Ahora, si se pone atención al código LDPC cuya longitud de código N es 64,800 bits desde los dos códigos LDPC diferentes cuya longitud de código N es de 64,800 bits y 16,200 bits, entonces once índices de codificación diferentes están disponibles como el índice de codificación del código LDPC cuya longitud de código N es de 64,800 bits como se describió anteriormente con referencia a al Figura.11

[0167]

Con relación a los códigos LDPC cuya longitud de código N es de 64,800 bits y que tienen once diferentes índices de codificación , se prescribe en el estándar DVB-S.2 que el

número de columna P de la estructura cíclica se prescriba a 630 que es uno de los divisores de la longitud de paridad M excepto 1 y M.

[0168]

Además, con relación a los códigos LDPC cuya longitud de código N es de 64,800 bits y que tiene once diferentes índices de codificación, la longitud de paridad M tiene un valor diferente de los números primos y representada por una expresión M = q x P = q x 630 utilizando el valor q que es diferente dependiendo del índice de codificación. De acuerdo con esto, también el valor q es uno de los divisores de la longitud de paridad M excepto 1 y M similarmente al número de columna P de la estructura cíclica y se obtiene al dividir la longitud de paridad M mediante el número de columna P de la estructura cíclica (el producto P y q que son divisores de la longitud de paridad M es la longitud paridad M).

[0169]

Donde la longitud de información esta representa por K y un entero mayor de 0 pero inferior a P se representa por x mientras aunque un entero mayor de 0 pero inferior de q se representa por y, el intercalador de paridad 23 intercala, como intercalado de paridad, el bit código K+qx+y+1ava desde entre los bits de paridad que son 1ava+K a K+Mavo (k + M = N) bits del código LDPC desde la sección de codificación LDPC 21 a la posición del bit de código K+PY+x+1ava.

[0170]

De acuerdo con tal intercalado de paridad, en razón a que (bits de paridad que corresponde a) los nodos variables que conectan el mismo nodo de comprobación se separan por una distancia que corresponde al número de columna P de la estructura cíclica, aquí, por 360 bits, donde la longitud de ráfaga es más pequeña de 360 bits, tal situación que una pluralidad de nodos variables que conecten el mismo nodo de comprobación se hacen erróneos al mismo tiempo se puede evitar. Como resultado, se puede mejorar la tolerancia al error de ráfaga.

[0171]

Cabe notar que el código LDPC después de intercalado paridad mediante el cual el bit de código K+qx+y+1ava se intercala a la posición del bit de código K+Py+1ava coincide con el código LDPC de una matriz de comprobación de paridad (en lo sucesivo denominada también como matriz de comprobación de paridad de conversión) obtenida mediante el remplazo de columna de remplazar la columna K+qx+y+1ava de la matriz de comprobación de paridad original H en la columna K+Py+x+1ava.

[0172]

Adicionalmente, la matriz de paridad de la matriz de comprobación de paridad de conversión, una estructura seudocíclica cuya unidad es P columnas (en la figura 20, 360 columnas) aparece como vista en la Figura.20.

[0173]

Aquí, la estructura seudocíclica significa una estructura que tiene una porción que tiene una estructura cíclica excepto parte de esta. En una columna de comprobación de paridad de conversión obtenida al aplicar el remplazo de columna que corresponde a intercalado de paridad a la matriz de comprobación de paridad del código LDPC prescrito en el estándar DVB-S.2, una porción de 360 filas x 360 columnas (matriz de cambio descrita en lo sucesivo) en la porción de la esquina derecha es cerca de un elemento de 1 (que tiene el valor 0). Por lo tanto, la matriz de comprobación de paridad de conversión no tiene una estructura cíclica (completa) si no que tiene una estructura seudocíclica.

[0174]

Cabe notar que la matriz de comprobación de paridad de conversión de la figura 20 es una matriz que también tiene remplazo de las filas (remplazo de fila) para configurar la matriz de comprobación de paridad de conversión desde una matriz de configuración el sucesivo descrita se aplica a la matriz de comprobación de paridad original H además del remplazo de columna que corresponde al intercalado de paridad.

[0175]

Ahora, el intercalo de giro de columna como un proceso de re-disposición mediante el intercalador de giro de columna 24 de la figura 8 se describió con referencia a las Figuras. 21 a 24.

[0176]

En el aparato de transmisión de 11 de la figura 8, dos o más de los bits de código del código LDPC se trasmiten como un símbolo como se describió anteriormente con el fin de mejorar la eficiencia de utilización de las frecuencias. En particular, por ejemplo, donde los 2 bits de los bits de código de han utilizado para formar un símbolo, por ejemplo, se utiliza el QPSK como el método de modulación, pero donde los 4 bits del los bits de código son utilizados para formar un símbolo, por ejemplo, se utiliza 16QAM como el método de modulación.

[0177]

Donde dos o más de los bits de código se trasmiten como un símbolo de esta manera, si ocurre el borrado con cierto símbolo, todos los bits de código del símbolo se vuelven un error (borrado).

[0178]

De acuerdo con esto, con el fin de disminuir la probabilidad de que la pluralidad (bits de código que correspondan a) los nodos variables que conectan al mismo nodo de comprobación puedan sufrir de borrado al mismo tiempo para mejorar el desempeño en la codificación, es necesario evitar los nodos variables que corresponden a los bits de código de un símbolo de conectar al mismo nodo de comprobación.

[0179]

Mientras tanto, en la matriz de comprobación de paridad H de un código LDPC prescrito en el estándar DVB-S.2 y generado desde la sección de codificación LDPC 21, la matriz de información H_A tiene una estructura cíclica y la matriz de paridad H_T tiene una estructura escalonada como se describió anteriormente. Luego, en una matriz de comprobación de paridad de conversión que es una matriz de comprobación de paridad de un código LDPC después del intercalado de paridad, una estructura cíclica (exactamente, una estructura seudocíclica como se describió anteriormente), aparece también en la matriz de paridad como se describió en la Figura.20.

[0180]

La figura 21 muestra una matriz de comprobación de paridad de conversión.

[0181]

En particular, A de la figura 21 ilustra una matriz de comprobación de paridad de conversión de la matriz de comprobación de paridad H que tiene una longitud de código N de 64,800 bits y un índice de codificación (r) de 3/4.

[0182]

En A de la figura 21, la posición de elemento que tiene el valor 1 en la matriz de comprobación de paridad de conversión se indica mediante un punto (·).

[0183]

En B de la Figura 21, un proceso llevado a cabo mediante el desmultiplexor 25 (figura 8) para el código LDPC de la matriz de comprobación de paridad de conversión de A de la Figura.21, esto es, el código LDPC después del intercalado de paridad.

[0184]

En B de la Figura.21B, los bits de código del código LDPC después del intercalado de paridad son escritos en la dirección de columna en cuatro columnas que forman la memoria 31 del desmultiplexor 25 utilizando 16QAM como el método de modulación.

[0185]

Los bits de código escritos en la dirección de columna en las cuatro columnas que forman la memoria 31 son leídos en la dirección de fila en una unidad de 4 bits hacia un símbolo.

[0186]

En este caso, los 4 bits de código B_0, B_1, B_2 y B_3 que hacen un símbolo algunas veces hacen los bits de código que corresponden a 1 y están incluidos en una fila arbitraria de la matriz de comprobación de paridad después de la conversión de A de la figura 21, y en este caso, los nodos variables que corresponden a los bits de código B_0, B_1, B_2 y B_3 están conectados al mismo nodo de comprobación.

[0187]

De acuerdo con esto, donde los 4 bits de código B_0, B_1, B_2 y B_3 de un símbolo se vuelven los bits de código que corresponden a 1 e incluidos en una fila arbitraria, si ocurre el borrado con el símbolo, entonces el mismo nodo al cual los nodos variables corresponden a los bits de códigos B_0, B_1, B_2 y B_3 están conectados no se puede determinar un mensaje apropiado. Como resultado, se deteriora el desempeño en la decodificación.

[0188]

También con relación a los índices de codificación diferentes del índice de codificación de 3/4, una pluralidad de los bits de código que corresponde a pluralidad de los nodos variables que conectan al mismo nodo de comprobación algunas veces hace un símbolo de 16QAM similarmente.

[0189]

Por lo tanto, el intercalador de giro de columna 24 lleva a cabo el intercalado de giro de columna en donde los bits de código del código LDPC después del intercalado de paridad del intercalador de paridad 23 son intercalado de tal manera que la pluralidad de bits de código que corresponde a 1 e incluidos en una fila arbitraria de la matriz de comprobación de paridad de conversión no son mapeados un símbolo.

[0190]

La figura 22 es una vista que ilustra el intercalado de giro de columna.

[0191]

En particular, la figura 22 ilustra la memoria 31 (Figuras. 16 y 17) del desmultiplexor 25.

[0192]

La memoria 31 tiene una capacidad de almacenamiento para almacenar mb bits en la dirección de columna (vertical) y almacena N/ (mb) bits en la dirección de fila (horizontal) e

00 239

incluye mb columnas como se describió en la Figura 16. Entonces, el intercalador de giro de columna 24 escribe los bits del código del código LDPC en la dirección de columna en la memoria 31 y controla la posición de inicio de escritura cuando los bits de código son leídos en la dirección de fila para llevar a cabo el intercalado de giro de columna.

[0193]

En particular, el intercalador de giro de columna 24 cambia adecuadamente la posición de inicio de escritura en la cual inicia la escritura de los bits código para cada una de la pluralidad de columnas de tal manera que pluralidad de códigos de bits leídos en la dirección de fila y utilizados para hacer un símbolo puedan no se pueda convertir en los bits de código que corresponden a 1 e incluidos en una fila arbitraria de la matriz de comprobación de paridad de conversión (las re-disposiciones de los bits de código del código LDPC de tal manera que pluralidad de los bits de código que corresponden a 1 e incluidos en una fila arbitraria de la matriz de comprobación de paridad puedan no ser incluidos en el mismo símbolo).

[0194]

Aquí, en la figura 22 muestra un ejemplo de una configuración de la memoria 31 donde el método de modulación es 16QAM y además en múltiplo b descrito anteriormente con referencia a la Figura.16 es 1. De acuerdo con esto, el número de bit m de los bits de código de un código LDPC son mapeados a un símbolo es 4 bits, y la memoria 31 se forma de cuatro (= mb) columnas.

[0195]

El intercalador de giro de columna 24 de la figura 212 (en lugar del desmultiplexor 25 mostrado en la Figura.16) lleva a cabo la escritura de los bits de código del código LDPC en una dirección hacia abajo (dirección de columna) desde arriba hacia las cuatro columnas que forman la memoria 31 iniciando con la columna al lado izquierdo hacia la columna al lado derecho.

[0196]

Entonces, cuando la escritura de los bits de código finaliza en la columna más hacia la derecha, el intercalador de giro de la columna 24 así lee los bits de código en una unidad de 4 bits (mb bits) en la dirección de la fila que inicia con la primera fila de todas las columnas que forman la memoria 31 y generan los bits de código como el código LDPC después de que el giro de columna se intercala con la sección 32 (Figuras. 16 y 17) del desmultiplexor 25.

[0197]

Sin embargo, si la dirección de la posición de la cabeza (más superior) de cada columna se representa por 0 y la dirección de las posiciones en la columna dirección de la columna representadas por los enteros de un orden ascendente, de entonces el intercalador de giro de la columna 24 de la figura 22 establece, para la columna más a la izquierda, la posición de inicio

00 240

de escritura a la posición cuya dirección es 0; establece, para la segunda columna (desde la izquierda), la posición de inicio de escritura a la posición cuya dirección es 2; establece, para la tercera columna la posición de inicio de escritura a la posición cuya dirección es 4; y establece, para la cuarta columna, la posición de inicio de escritura a la posición cuya dirección es 4 y establece, para la cuarta columna, la posición de inicio de escritura para la posición cuya dirección es 7.

[0198]

Cabe notar que, con relación a las columnas para las cuales la posición de inicio de escritura es cualquier otra posición de la posición cuya dirección es 0, después de los bits de código son escritos abajo de la posición más inferior, la posición de escritura regresa a la parte superior (posición cuya dirección es 0) y escribir en una posición inmediatamente precedente a la posición de inicio de escritura. Posteriormente, se lleva a cabo la escritura en la siguiente columna (derecha).

[0199]

Al llevar a cabo tal intercalado de giro de columna como se describió anteriormente, tal situación de que una pluralidad de bits de código que corresponden a la pluralidad de nuevas variables que conectan el mismo nodo de comprobación son hechas de un símbolo de 16QAM (incluido en el mismo símbolo) con relación a los códigos LDPC de todos los índices de codificación cuya longitud de código N es 64,800 como se prescribió en el estándar DVB-S.2 se puede evitar, y como resultado, se puede mejorar el desempeño en la decodificación en una ruta de comunicación que suministra borrado.

[0200]

La Figura.23 ilustra el número de columnas de la memoria 31 necesarias para intercalar el giro de columna y la dirección de la posición de inicio de la escritura para cada método de modulación con relación al código LDPC de los once diferentes índices de codificación que tienen la longitud de código N de 64,800 como se prescribo en el estándar DVB-S.2.

[0201]

Como el método de remplazo para el proceso de remplazo del desmultiplexor 25 (figura 8), uno de los primeros a terceros método de remplazo de la figura 16 se adapta y además, donde se adapta QPSK como el método de modulación, el número de bit m de un símbolo es 2 bits y el múltiplo b es 1.

[0202]

En este caso, de acuerdo a la Figura.23, la memoria 31 tiene dos columnas para almacenar 2 x 1 (= mb) bits en la dirección de la fila y almacena 64,800/(2 x 1) bits en la dirección de la columna. Entonces, la posición de inicio de la escritura para la primera de las

dos columnas de la memoria 31 se establece en la posición cuya dirección es 0, y la posición de inicio de escritura para la segunda columna se establece en la posición cuya dirección es 2.

[0203]

Además, donde el cuarto método de remplazo de la figura 17 se adapta como el método de remplazo para el proceso de remplazo del desmultiplexor 25 (figura 8) y además se adopta QPSK como el método de modulación, el número de bit m de un símbolo es 2 bits y el múltiplo b es 2.

[0204]

En este caso, de acuerdo a la Figura.23, la memoria 31 tiene cuatro columnas para almacenar 2 x 2 bits en la dirección de la fila y almacena 64,800/(2 x 2) bits en la dirección de la columna. Entonces, la posición de inicio de la escritura para la primera de entre las cuatro columnas de la memoria 31 se establece en a la posición cuya dirección es 0; y la posición de inicio de escritura para la segunda columna se establece en la posición cuya dirección es 2; la posición de inicio de escritura para la tercera columna se establece en la posición cuya dirección es 4; la posición de inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 7.

[0205]

Además, donde uno de los primeros a terceros métodos de remplazo de la figura 16 se adapta como el método de remplazo para el proceso de remplazo del desmultiplexor 25 (figura 8) y además se adopta 16QAM como el método de modulación, el número de bit m de un símbolo es 4 bits y el múltiplo b es 1.

[0206]

En este caso, de acuerdo con la Figura.23, la memoria 31 tiene cuatro columnas para almacenar 4 x 1 bits en la dirección de la fila y almacena 64,800/(4 x 1) bits en la dirección de la columna. Entonces, la posición de inicio de la escritura para la primera de entre las cuatro columnas de la memoria 31 se establece en a la posición cuya dirección es 0; y la posición de inicio de escritura para la segunda columna se establece en la posición cuya dirección es 2; la posición para inicio de escritura para la tercera columna se establece en la posición cuya dirección es 4; y la posición de inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 7.

[0207]

Además, donde el cuarto método de remplazo de la figura 17 se adapta como el método de remplazo para el proceso de remplazo del desmultiplexor 25 (figura 8) y además se adopta 16QAM como el método de modulación, el número de bit m de un símbolo es 4 bits y el múltiplo b es 2.

00 242

[0208]

En este caso, de acuerdo a la Figura.23, la memoria 31 tiene ocho columnas para almacenar 4 x 2 bits en la dirección de la fila y almacena 64,800/(4 x 2) bits en la dirección de la columna. Entonces, la posición de inicio de la escritura para la primera de entre las ocho columnas de la memoria 31 se establece en a la posición cuya dirección es 0; y la posición de inicio de escritura para la segunda columna se establece en la posición cuya dirección es 0; la posición para inicio de escritura para la tercera columna se establece en la posición cuya dirección es 2; la posición de inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 4; la posición para inicio de escritura para la quinta columna se establece en la posición cuya dirección es 4; la posición para inicio de escritura para la sexta columna se establece en la posición cuya dirección es 5; la posición para inicio de escritura para la séptima columna se establece en la posición cuya dirección es 7; y la posición para inicio de escritura para la octava columna se establece en la posición cuya dirección es 7.

[0209]

Además, uno del primer al tercer método de remplazo de la figura 16 se adapta como el método de remplazo para el proceso de remplazo del desmultiplexor 25 (figura 8) y además se adopta 64QAM como el método de modulación, el número de bit m de un símbolo es 6 bits y el múltiplo b es 1.

[0210]

En este caso, de acuerdo a la Figura.23, la memoria 31 tiene seis columnas para almacenar 6 x 1 bits en la dirección de la fila y almacena 64,800/(6 x 1) bits en la dirección de la columna. Entonces, la posición para inicio de la escritura para la primera de entre las seis columnas de la memoria 31 se establece en a la posición cuya dirección es 0; y la posición de inicio de escritura para la segunda columna se establece en la posición cuya dirección es 2; la posición para inicio de escritura para la tercera columna se establece en la posición cuya dirección es 5; la posición para inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 9; la posición para inicio de escritura para la quinta columna se establece en la posición cuya dirección es 10; y la posición para inicio de escritura para la sexta columna se establece en la posición cuya dirección es 13.

[0211]

Además, donde el cuarto método de remplazo de la figura 17 se adapta como el método de remplazo para el proceso de remplazo del desmultiplexor 25 (figura 8) y además se adopta 64QAM como el método de modulación, el número de bit m de un símbolo es 6 bits y el múltiplo b es 2.

[0212]

En este caso, de acuerdo a la Figura.23, la memoria 31 tiene doce columnas para almacenar 6 x 2 bits en la dirección de la fila y almacena 64,800/(6 x 2) bits en la dirección de la columna. Entonces, la posición para inicio de la escritura para la primera de entre las doce columnas de la memoria 31 se establece en a la posición cuya dirección es 0; y la posición de inicio de escritura para la segunda columna se establece en la posición cuya dirección es 0; la posición para inicio de escritura para la tercera columna se establece en la posición cuya dirección es 2; la posición de inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 2; la posición para inicio de escritura para la quinta columna se establece en la posición cuya dirección es 3; la posición para inicio de escritura para la sexta columna se establece en la posición cuya dirección es 4; la posición para inicio de escritura para la séptima columna se establece en la posición cuya dirección es 4; la posición para inicio de escritura para la octava columna se establece en la posición cuya dirección es 5; la posición para inicio de escritura para la novena columna se establece en la posición cuya dirección es 5; la posición para inicio de escritura para la décima columna se establece en la posición cuya dirección es 7; la posición para inicio de escritura para la onceava columna se establece en la posición cuya dirección es 8; y la posición para inicio de escritura para la doceava columna se establece en la posición cuya dirección es 9.

[0213]

Además, donde uno del primer al tercer método de remplazo de la figura 16 se adapta como el método de remplazo para el proceso de remplazo del desmultiplexor 25 (figura 8) y además se adopta 256QAM como el método de modulación, el número de bit m de un símbolo es 8 bits y el múltiplo b es 1.

[0214]

En este caso, de acuerdo a la Figura.23, la memoria 31 tiene ocho columnas para almacenar 8 x 1 bits en la dirección de la fila y almacena 64,800/(8 x 1) bits en la dirección de la columna. Entonces, la posición para inicio de la escritura para la primera de entre las ocho columnas de la memoria 31 se establece en a la posición cuya dirección es 0; y la posición de inicio de escritura para la segunda columna se establece en la posición cuya dirección es 0; la posición para inicio de escritura para la tercera columna se establece en la posición cuya dirección es 2; la posición de inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 4; la posición para inicio de escritura para la quinta columna se establece en la posición cuya dirección es 4; la posición para inicio de escritura para la sexta columna se establece en la posición cuya dirección es 5; la posición para inicio de escritura para la séptima columna se establece en la posición cuya dirección es 7; y la posición para inicio de escritura para la octava columna se establece en la posición cuya dirección es 5.

[0215]

Además, donde se adopta el cuarto método de remplazo de la figura 17 se adapta como el método de remplazo para el proceso de remplazo del desmultiplexor 25 (figura 8) y además se adopta 256QAM como el método de modulación, el número de bit m de un símbolo es 8 bits y el múltiplo b es 2.

[0216]

En este caso, de acuerdo a la Figura.23, la memoria 31 tiene dieciséis columnas para almacenar 8 x 2 bits en la dirección de la fila y almacena 64,800/(8 x 2) bits en la dirección de la columna. Entonces, la posición para inicio de la escritura para la primera de entre las dieciséis columnas de la memoria 31 se establece en a la posición cuya dirección es 2; y la posición de inicio de escritura para la segunda columna se establece en la posición cuya dirección es 2; la posición para inicio de escritura para la tercera columna se establece en la posición cuya dirección es 2; la posición de inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 2; la posición para inicio de escritura para la quinta columna se establece en la posición cuya dirección es 2; la posición para inicio de escritura para la sexta columna se establece en la posición cuya dirección es 3; la posición para inicio de escritura para la séptima columna se establece en la posición cuya dirección es 7; la posición para inicio de escritura para la octava columna se establece en la posición cuya dirección es 15; la posición para inicio de escritura para la novena columna se establece en la posición cuya dirección es 16; la posición para inicio de escritura para la décima columna se establece en la posición cuya dirección es 20; la posición para inicio de escritura para la onceava columna se establece en la posición cuya dirección es 22; la posición para inicio de escritura para la doceava columna se establece en la posición cuya dirección es 22; la posición para inicio de escritura para la treceava columna se establece en la posición cuya dirección es 27; la posición para inicio de escritura para la catorceava columna se establece en la posición cuya dirección es 27; la posición para inicio de escritura para la quinceava columna se establece en la posición cuya dirección es 28; y la posición para inicio de escritura para la dieciseisava columna se establece en la posición cuya dirección es 32.

[0217]

Además, donde uno a tercer método de remplazo de la figura 16 se adapta como el método de remplazo para el proceso de remplazo del desmultiplexor 25 (figura 8) y además se adopta 1024QAM como el método de modulación, el número de bit m de un símbolo es 10 bits y el múltiplo b es 1.

[0218]

En este caso, de acuerdo a la Figura.23, la memoria 31 tiene diez columnas para almacenar 10 x 1 bits en la dirección de la fila y almacena 64,800/(10 x 1) bits en la dirección de la columna. Entonces, la posición para inicio de la escritura para la primera de entre las diez columnas de la memoria 31 se establece en a la posición cuya dirección es 0; y la posición de

inicio de escritura para la segunda columna se establece en la posición cuya dirección es 3; la posición para inicio de escritura para la tercera columna se establece en la posición cuya dirección es 6; la posición de inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 8; la posición para inicio de escritura para la quinta columna se establece en la posición cuya dirección es 11; la posición para inicio de escritura para la sexta columna se establece en la posición cuya dirección es 13; la posición para inicio de escritura para la séptima columna se establece en la posición cuya dirección es 15; la posición para inicio de escritura para la octava columna se establece en la posición cuya dirección es 17; la posición para inicio de escritura para la novena columna se establece en la posición cuya dirección es 18; y la posición para inicio de escritura para la décima columna se establece en la posición cuya dirección es 20.

[0219]

Además, donde el cuarto método de remplazo de la figura 17 se adapta como el método de remplazo para el proceso de remplazo del desmultiplexor 25 (figura 8) y además se adopta 1024QAM como el método de modulación, el número de bit m de un símbolo es 10 bits y el múltiplo b es 2.

[0220]

En este caso, de acuerdo a la Figura.23, la memoria 31 tiene veinte columnas para almacenar 10 x 2 bits en la dirección de la fila y almacena 64,800/(10 x 2) bits en la dirección de la columna. Entonces, la posición para inicio de la escritura para la primera de entre las veinte columnas de la memoria 31 se establece en a la posición cuya dirección es 0; y la posición de inicio de escritura para la segunda columna se establece en la posición cuya dirección es 1; la posición para inicio de escritura para la tercera columna se establece en la posición cuya dirección es 3; la posición de inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 4; la posición para inicio de escritura para la quinta columna se establece en la posición cuya dirección es 5; la posición para inicio de escritura para la sexta columna se establece en la posición cuya dirección es 6; la posición para inicio de escritura para la séptima columna se establece en la posición cuya dirección es 6; la posición para inicio de escritura para la octava columna se establece en la posición cuya dirección es 9; la posición para inicio de escritura para la novena columna se establece en la posición cuya dirección es 13; la posición para inicio de escritura para la décima columna se establece en la posición cuya dirección es 14; la posición para inicio de escritura para la onceava columna se establece en la posición cuya dirección es 14; la posición para inicio de escritura para la doceava columna se establece en la posición cuya dirección es 16; la posición para inicio de escritura para la treceava columna se establece en la posición cuya dirección es 21; la posición para inicio de escritura para la catorceava columna se establece en la posición cuya dirección es 21; la posición para inicio de escritura para la quinceava columna se establece en la posición cuya dirección es 23; la posición para inicio de escritura para la dieciseisava columna se establece en

00 246

la posición cuya dirección es 25; la posición para inicio de escritura para la diecisieteava columna se establece en la posición cuya dirección es 25; la posición para inicio de escritura para la dieciochoava columna se establece en la posición cuya dirección es 26; la posición para inicio de escritura para la diecinueveava columna se establece en la posición cuya dirección es 28; y la posición para inicio de escritura para la veinteava columna se establece en la posición cuya dirección es 30.

[0221]

Además, donde el uno del primer al tercer método de remplazo de la figura 16 se adapta como el método de remplazo para el proceso de remplazo del desmultiplexor 25 (figura 8) y además se adopta 4096QAM como el método de modulación, el número de bit m de un símbolo es 12 bits y el múltiplo b es 1.

[0222]

En este caso, de acuerdo a la Figura.23, la memoria 31 tiene código columnas para almacenar 12 x 1 bits en la dirección de la fila y almacena 64,800/(12 x 1) bits en la dirección de la columna. Entonces, la posición para inicio de la escritura para la primera de entre las doce columnas de la memoria 31 se establece en a la posición cuya dirección es 0; y la posición de inicio de escritura para la segunda columna se establece en la posición cuya dirección es 0; la posición para inicio de escritura para la tercera columna se establece en la posición cuya dirección es 2; la posición de inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 2; la posición para inicio de escritura para la quinta columna se establece en la posición cuya dirección es 3; la posición para inicio de escritura para la sexta columna se establece en la posición cuya dirección es 4; la posición para inicio de escritura para la séptima columna se establece en la posición cuya dirección es 4; la posición para inicio de escritura para la octava columna se establece en la posición cuya dirección es 5; la posición para inicio de escritura para la novena columna se establece en la posición cuya dirección es 5; la posición para inicio de escritura para la décima columna se establece en la posición cuya dirección es 7; la posición para inicio de escritura para la onceava columna se establece en la posición cuya dirección es 8; y la posición para inicio de escritura para la doceava columna se establece en la posición cuya dirección es 9.

[0229]

Además, donde el cuarto método de remplazo de la figura 17 se adapta como el método de remplazo para el proceso de remplazo del desmultiplexor 25 (figura 8) y además se adopta 4096QAM como el método de modulación, el número de bit m de un símbolo es 12 bits y el múltiplo b es 2.

[0224]

En este caso, de acuerdo con la Figura.23, la memoria 31 tiene 24 columnas para almacenar 12 x 2 bits en la dirección de la fila y almacena 64,800/(12 x 2) bits en la dirección de la columna. Entonces, la posición para inicio de la escritura para la primera de entre las 24 columnas de la memoria 31 se establece en a la posición cuya dirección es 0; y la posición de inicio de escritura para la segunda columna se establece en la posición cuya dirección es 5; la posición para inicio de escritura para la tercera columna se establece en la posición cuya dirección es 8; la posición de inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 8; la posición para inicio de escritura para la quinta columna se establece en la posición cuya dirección es 8; la posición para inicio de escritura para la sexta columna se establece en la posición cuya dirección es 8; la posición para inicio de escritura para la séptima columna se establece en la posición cuya dirección es 10; la posición para inicio de escritura para la octava columna se establece en la posición cuya dirección es 10; la posición para inicio de escritura para la novena columna se establece en la posición cuya dirección es 10; la posición para inicio de escritura para la décima columna se establece en la posición cuya dirección es 12; la posición para inicio de escritura para la onceava columna se establece en la posición cuya dirección es 13; la posición para inicio de escritura para la doceava columna se establece en la posición cuya dirección es 16; la posición para inicio de escritura para la treceava columna se establece en la posición cuya dirección es 17; la posición para inicio de escritura para la catorceava columna se establece en la posición cuya dirección es 19; la posición para inicio de escritura para la quinceava columna se establece en la posición cuya dirección es 21; la posición para inicio de escritura para la dieciseisava columna se establece en la posición cuya dirección es 22; la posición para inicio de escritura para la diecisieteava columna se establece en la posición cuya dirección es 23; la posición para inicio de escritura para la dieciochoava columna se establece en la posición cuya dirección es 26; la posición para inicio de escritura para la diecinueveava columna se establece en la posición cuya dirección es 37; la posición para inicio de escritura para la veinteava columna se establece en la posición cuya dirección es 39; la posición para inicio de escritura para la veintiunava columna se establece en la posición cuya dirección es 40; la posición para inicio de escritura para la veintidosava columna se establece en la posición cuya dirección es 41; la posición para inicio de escritura para la veintitresava columna se establece en la posición cuya dirección es 41; la posición para inicio de escritura para la veinticuatroava columna se establece en la posición cuya dirección es 41.

[0225]

La figura 24 índica en número de columnas de la memoria 31 necesaria para el intercalado de giro de columna y la posición de inicio de escritura para cada método de modulación con relación a los códigos LDPC de 10 diferentes índices de codificación que tienen la longitud de código N de 16, 200 como se prescribió en el estándar DVB-S.2.

[0226]

Como método de remplazo para el proceso de remplazo del desmultiplexor 25 (figura 8), uno del primer a tercer método de remplazo de la figura 16, se adopta, y además donde QPSK se adopta como el método de modulación, el número de bit m de un símbolo de 2 bits y el múltiplo b es 1.

[0227]

En este caso, de acuerdo a la Figura.24, la memoria 31 tiene dos columnas para almacenar 2 x 1 bits en la dirección de la fila y almacena 16,200/(2 x 1) bits en la dirección de la columna. Entonces, la posición de inicio de la escritura para la primera de las dos columnas de la memoria 31 se junta en la posición cuya dirección es 0, y la posición de inicio de escritura para la segunda columna se establece en la posición cuya dirección es 0.

[0228]

Además, donde el cuarto método de remplazo de la figura 17 se adapta como el método de remplazo para el proceso de remplazo del desmultiplexor 25 (figura 8) y además se adopta QPSK como el método de modulación, el número de bit m de un símbolo es 2 bits y el múltiplo b es 2.

[0229]

En este caso, de acuerdo a la Figura.24, la memoria 31 tiene cuatro columnas para almacenar 2 x 2 bits en la dirección de la fila y almacena 16,200/(2 x 2) bits en la dirección de la columna. Entonces, la posición de inicio de la escritura para la primera de entre las cuatro columnas de la memoria 31 se establece en a la posición cuya dirección es 0; y la posición de inicio de escritura para la segunda columna se establece en la posición cuya dirección es 2; la posición de inicio de escritura para la tercera columna se establece en la posición cuya dirección es 3; y la posición de inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 3.

[0230]

Además, donde uno de los primeros a terceros métodos de remplazo de la figura 16 se adapta como el método de remplazo para el proceso de remplazo del desmultiplexor 25 (figura 8) y además se adopta 16QAM como el método de modulación, el número de bit m de un símbolo es 4 bits y el múltiplo b es 1.

[0231]

En este caso, de acuerdo con la Figura.24, la memoria 31 tiene cuatro columnas para almacenar 4 x 1 bits en la dirección de la fila y almacena 16,200/(4 x 1) bits en la dirección de la columna. Entonces, la posición de inicio de la escritura para la primera de entre las cuatro columnas de la memoria 31 se establece en a la posición cuya dirección es 0; la posición de inicio de escritura para la segunda columna se establece en la posición cuya dirección es 2; la

00 249

posición para inicio de escritura para la tercera columna se establece en la posición cuya dirección es 3; y la posición de inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 3.

[0232]

Además, donde se adopta el cuarto método de remplazo de la figura 17 como el método de remplazo para el proceso de remplazo del desmultiplexor 25 (figura 8) y además se adopta 16QAM como el método de modulación, el número de bit m de un símbolo es 4 bits y el múltiplo b es 2.

[0233]

En este caso, de acuerdo a la Figura.24, la memoria 31 tiene ocho columnas para almacenar 4 x 2 bits en la dirección de la fila y almacena 16,200/(4 x 2) bits en la dirección de la columna. Entonces, la posición de inicio de la escritura para la primera de entre las ocho columnas de la memoria 31 se establece en a la posición cuya dirección es 0; la posición de inicio de escritura para la segunda columna se establece en la posición cuya dirección es 0; la posición para inicio de escritura para la tercera columna se establece en la posición cuya dirección es 0; la posición de inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 1; la posición para inicio de escritura para la quinta columna se establece en la posición cuya dirección es 7; la posición para inicio de escritura para la sexta columna se establece en la posición cuya dirección es 20; la posición para inicio de escritura para la séptima columna se establece en la posición cuya dirección es 20; y la posición para inicio de escritura para la octava columna se establece en la posición cuya dirección es 21.

[0234]

Además, donde uno del primer al tercer método de remplazo de la figura 16 se adapta como el método de remplazo para el proceso de remplazo del desmultiplexor 25 (figura 8) y además se adopta 64QAM como el método de modulación, el número de bit m de un símbolo es 6 bits y el múltiplo b es 1.

[0235]

En este caso, de acuerdo a la Figura.24, la memoria 31 tiene seis columnas para almacenar 6 x 1 bits en la dirección de la fila y almacena 16,200/(6 x 1) bits en la dirección de la columna. Entonces, la posición para inicio de la escritura para la primera de entre las seis columnas de la memoria 31 se establece en la posición cuya dirección es 0; la posición de inicio de escritura para la segunda columna se establece en la posición cuya dirección es 0; la posición para inicio de escritura para la tercera columna se establece en la posición cuya dirección es 2; la posición para inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 3; la posición para inicio de escritura para la quinta columna se

establece en la posición cuya dirección es 7; y la posición para inicio de escritura para la sexta columna se establece en la posición cuya dirección es 7.

[0236]

Además, donde se adopta el cuarto método de remplazo de la figura 17 se como el método de remplazo para el proceso de remplazo del desmultiplexor 25 (figura 8) y además se adopta 64QAM como el método de modulación, el número de bit m de un símbolo es 6 bits y el múltiplo b es 2.

[0237]

En este caso, de acuerdo con la Figura.24, la memoria 31 tiene doce columnas para almacenar 6 x 2 bits en la dirección de la fila y almacena 16,200/(6 x 2) bits en la dirección de la columna. Entonces, la posición para inicio de la escritura para la primera de entre las doce columnas de la memoria 31 se establece en a la posición cuya dirección es 0; y la posición de inicio de escritura para la segunda columna se establece en la posición cuya dirección es 0; la posición para inicio de escritura para la tercera columna se establece en la posición cuya dirección es 0; la posición de inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 2; la posición para inicio de escritura para la quinta columna se establece en la posición cuya dirección es 2; la posición para inicio de escritura para la sexta columna se establece en la posición cuya dirección es 2; la posición para inicio de escritura para la séptima columna se establece en la posición cuya dirección es 3; la posición para inicio de escritura para la octava columna se establece en la posición cuya dirección es 3; la posición para inicio de escritura para la novena columna se establece en la posición cuya dirección es 3; la posición para inicio de escritura para la décima columna se establece en la posición cuya dirección es 6; la posición para inicio de escritura para la onceava columna se establece en la posición cuya dirección es 7; y la posición para inicio de escritura para la doceava columna se establece en la posición cuya dirección es 7.

[0238]

Además, donde uno del primer al tercer método de remplazo de la figura 16 se adapta como el método de remplazo para el proceso de remplazo del desmultiplexor 25 (figura 8) y además se adopta 256QAM como el método de modulación, el número de bit m de un símbolo es 8 bits y el múltiplo b es 1.

[0239]

En este caso, de acuerdo a la Figura.24, la memoria 31 tiene ocho columnas para almacenar 8 x 1 bits en la dirección de la fila y almacena 16,200/(8 x 1) bits en la dirección de la columna. Entonces, la posición para inicio de la escritura para la primera de entre las ocho columnas de la memoria 31 se establece en a la posición cuya dirección es 0; la posición de inicio de escritura para la segunda columna se establece en la posición cuya dirección es 0; la

00 251

posición para inicio de escritura para la tercera columna se establece en la posición cuya dirección es 0; la posición de inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 1; la posición para inicio de escritura para la quinta columna se establece en la posición cuya dirección es 7; la posición para inicio de escritura para la sexta columna se establece en la posición cuya dirección es 2; la posición para inicio de escritura para la séptima columna se establece en la posición cuya dirección es 20; y la posición para inicio de escritura para la octava columna se establece en la posición cuya dirección es 21.

[0240]

Además, donde uno del primer al tercer método de remplazo de la figura 16 se adapta como el método de remplazo para el proceso de remplazo del desmultiplexor 25 (figura 8) y además se adopta 1054QAM como el método de modulación, el número de bit m de un símbolo es 10 bits y el múltiplo b es 1.

[0241]

En este caso, de acuerdo a la Figura.24, la memoria 31 tiene diez columnas para almacenar 10 x 1 bits en la dirección de la fila y almacena 16,200/(10 x 1) bits en la dirección de la columna. Entonces, la posición para inicio de la escritura para la primera de entre las diez columnas de la memoria 31 se establece en a la posición cuya dirección es 0; y la posición de inicio de escritura para la segunda columna se establece en la posición cuya dirección es 1; la posición para inicio de escritura para la tercera columna se establece en la posición cuya dirección es 2; la posición de inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 2; la posición para inicio de escritura para la quinta columna se establece en la posición cuya dirección es 3; la posición para inicio de escritura para la sexta columna se establece en la posición cuya dirección es 3; la posición para inicio de escritura para la séptima columna se establece en la posición cuya dirección es 4; la posición para inicio de escritura para la octava columna se establece en la posición cuya dirección es 4; la posición para inicio de escritura para la novena columna se establece en la posición cuya dirección es 5; y la posición para inicio de escritura para la décima columna se establece en la posición cuya dirección es 7.

[0242]

Además, donde el cuarto método de remplazo de la figura 17 se adapta como el método de remplazo para el proceso de remplazo del desmultiplexor 25 (figura 8) y además se adopta 1024QAM como el método de modulación, el número de bit m de un símbolo es 10 bits y el múltiplo b es 2.

[0243]

En este caso, de acuerdo a la Figura.24, la memoria 31 tiene 20 columnas para almacenar 10 x 2 bits en la dirección de la fila y almacena 12,000/(10 x 2) bits en la dirección de la columna. Entonces, la posición para inicio de la escritura para la primera de entre las 20

columnas de la memoria 31 se establece en a la posición cuya dirección es 0; y la posición de inicio de escritura para la segunda columna se establece en la posición cuya dirección es 0; la posición para inicio de escritura para la tercera columna se establece en la posición cuya dirección es 0; la posición de inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 2; la posición para inicio de escritura para la quinta columna se establece en la posición cuya dirección es 2; la posición para inicio de escritura para la sexta columna se establece en la posición cuya dirección es 2; la posición para inicio de escritura para la séptima columna se establece en la posición cuya dirección es 2; la posición para inicio de escritura para la octava columna se establece en la posición cuya dirección es 2; la posición para inicio de escritura para la novena columna se establece en la posición cuya dirección es 5; la posición para inicio de escritura para la décima columna se establece en la posición cuya dirección es 5; la posición para inicio de escritura para la onceava columna se establece en la posición cuya dirección es 5; la posición para inicio de escritura para la doceava columna se establece en la posición cuya dirección es 5; la posición para inicio de escritura para la treceava columna se establece en la posición cuya dirección es 5; la posición para inicio de escritura para la catorceava columna se establece en la posición cuya dirección es 7; la posición para inicio de escritura para la quinceava columna se establece en la posición cuya dirección es 7; la posición para inicio de escritura para la dieciseisava columna se establece en la posición cuya dirección es 7; la posición para inicio de escritura para la diecisieteava columna se establece en la posición cuya dirección es 7; la posición para inicio de escritura para la dieciochoava columna se establece en la posición cuya dirección es 8; la posición para inicio de escritura para la diecinueveava columna se establece en la posición cuya dirección es 8; y la posición para inicio de escritura para la veinteava columna se establece en la posición cuya dirección es 10.

[0244]

Además, donde el uno del primer al tercer método de remplazo de la figura 16 se adapta como el método de remplazo para el proceso de remplazo del desmultiplexor 25 (figura 8) y además se adopta 4096QAM como el método de modulación, el número de bit m de un símbolo es 12 bits y el múltiplo b es 1.

[0245]

En este caso, de acuerdo a la Figura.24, la memoria 31 tiene doce código columnas para almacenar 12 x 1 bits en la dirección de la fila y almacena 16,200/(12 x 1) bits en la dirección de la columna. Entonces, la posición para inicio de la escritura para la primera de entre las doce columnas de la memoria 31 se establece en a la posición cuya dirección es 0; y la posición de inicio de escritura para la segunda columna se establece en la posición cuya dirección es 0; la posición para inicio de escritura para la tercera columna se establece en la posición cuya dirección es 0; la posición de inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 2; la posición para inicio de escritura para la quinta columna se establece en la posición cuya dirección es 2; la posición para inicio de escritura

para la sexta columna se establece en la posición cuya dirección es 2; la posición para inicio de escritura para la séptima columna se establece en la posición cuya dirección es 3; la posición para inicio de escritura para la octava columna se establece en la posición cuya dirección es 3; la posición para inicio de escritura para la novena columna se establece en la posición cuya dirección es 3; la posición para inicio de escritura para la décima columna se establece en la posición cuya dirección es 6; la posición para inicio de escritura para la onceava columna se establece en la posición cuya dirección es 7; y la posición para inicio de escritura para la doceava columna se establece en la posición cuya dirección es 7.

[0246]

Además, donde el cuarto método de remplazo de la figura 17 se adapta como el método de remplazo para el proceso de remplazo del desmultiplexor 25 (figura 8) y además se adopta 4096QAM como el método de modulación, el número de bit m de un símbolo es 12 bits y el múltiplo b es 2.

[0247]

En este caso, de acuerdo con la Figura.24, la memoria 31 tiene 24 columnas para almacenar 12 x 2 bits en la dirección de la fila y almacena 16,200/(12 x 2) bits en la dirección de la columna. Entonces, la posición para inicio de la escritura para la primera de entre las 24 columnas de la memoria 31 se establece en a la posición cuya dirección es 0; y la posición de inicio de escritura para la segunda columna se establece en la posición cuya dirección es 0; la posición para inicio de escritura para la tercera columna se establece en la posición cuya dirección es 0; la posición de inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 0; la posición para inicio de escritura para la quinta columna se establece en la posición cuya dirección es 0; la posición para inicio de escritura para la sexta columna se establece en la posición cuya dirección es 0; la posición para inicio de escritura para la séptima columna se establece en la posición cuya dirección es 0; la posición para inicio de escritura para la octava columna se establece en la posición cuya dirección es 1; la posición para inicio de escritura para la novena columna se establece en la posición cuya dirección es 1; la posición para inicio de escritura para la décima columna se establece en la posición cuya dirección es 1; la posición para inicio de escritura para la onceava columna se establece en la posición cuya dirección es 2; la posición para inicio de escritura para la doceava columna se establece en la posición cuya dirección es 2; la posición para inicio de escritura para la treceava columna se establece en la posición cuya dirección es 2; la posición para inicio de escritura para la catorceava columna se establece en la posición cuya dirección es 3; la posición para inicio de escritura para la quinceava columna se establece en la posición cuya dirección es 7; la posición para inicio de escritura para la dieciseisava columna se establece en la posición cuya dirección es 9; la posición para inicio de escritura para la diecisieteava columna se establece en la posición cuya dirección es 9; la posición para inicio de escritura para la dieciochoava columna se establece en la posición cuya dirección es 9; la posición para inicio de escritura para la

diecinueveava columna se establece en la posición cuya dirección es 10; la posición para inicio de escritura para la veinteava columna se establece en la posición cuya dirección es 10; la posición para inicio de escritura para la veintiunavo columna se establece en la posición cuya dirección es 10; la posición para inicio de escritura para la veintidosava columna se establece en la posición cuya dirección es 10; la posición para inicio de escritura para la veintitresava columna se establece en la posición cuya dirección es 10; y la posición para inicio de escritura para la veinticuatroava columna se establece en la posición cuya dirección es 11.

[0248]

Ahora, un proceso de transmisión llevado a cabo por el aparato de transmisión 11 de la Figura.8 se describe con referencia al diagrama de flujo de la figura 25.

[0249]

La sección que codificación el LDPC 21 espera que los datos del objeto sean suministrados a este y, en la etapa S101, codifique los datos del objeto en los códigos LDPC y suministre los códigos LDPC al intercalador de bit 22. Posteriormente, los avances de procesamiento a la etapa S102.

[0250]

En la etapa S102, el intercalador de bit 22 lleva a cabo el intercalado de bit para los códigos LDPC desde el LDPC desde la sección que codifica el LDPC 21 y le suministra los códigos LDPC después del intercalar a la sección de mapeo 26. Posteriormente, el procesamiento avanza a la etapa S103.

[0251]

En particular, en la etapa S102, el intercalador de paridad 23 en el intercalador de bit 22 lleva a cabo el intercalado de paridad para los códigos LDPC desde la sección de codificación LDPC 21 y suministra a los códigos LDPC después del intercalado de paridad al intercalador de giro de columna 24.

[0252]

El intercalador de giro de columna 24 lleva a cabo el intercalado de giro de columna para el los códigos LDPC desde el intercalador de paridad 23 y luego desmultiplexor 25 lleva cabo el proceso de remplazo para los códigos LDPC después del intercalado de giro de columna mediante el intercalador de giro de columna 24. Entonces, los códigos LDPC después del proceso de remplazo son suministrados desde el desmultiplexor 25 a la sección de mapeo 26.

[0253]

En la etapa S103, la sección de mapeo 26 mapea los bits de código m de los códigos LDPC desde el símbolo del desmultiplexor 25 a los números representados por los puntos de

señal definidos por el método de modulación de la modulación ortogonal llevaba a cabo mediante la sección de modulación ortogonal 27 y suministra los bits de código mapeados a la sección de modulación ortogonal 27. Entonces, el procesamiento avanza a la etapa S104.

[0254]

En la etapa S104, en la sección de modulación ortogonal 27 lleva a cabo la modulación ortogonal de un portador de acuerdo con los símbolos desde la sección de mapeo 26. Luego, el procesamiento avanza a la etapa S105, en la cual la señal de modulación obtenida como resultado de la modulación ortogonal transmitida, posteriormente el procesamiento termina.

[0255]

Cabe notar que el proceso de transmisión de la figura 25 se lleva a cabo repetitivamente.

[0256]

Al llevar a cabo el intercalado de paridad y el intercalo de giro de columna como se describió anteriormente, la tolerancia al borrado y a los errores en ráfaga donde una pluralidad de bits de código de unos códigos LDPC son trasmitidos como un símbolo se puede mejorar.

[0257]

Aquí, aunque en la Figura.8, el intercalador de paridad 23 que es un bloque para llevar a cabo el intercalado de paridad y el intercalado de giro de columna 24 que es un bloque para llevar a cabo el intercalado de giro de columna se configuran separadamente uno del otro para la conveniencia de la descripción, el intercalador de paridad 23 y el intercalador de giro de columna 24 pueden de otra manera ser configurados integralmente uno con el otro.

[0258]

En particular, tanto el intercalo de paridad como el intercalado de giro de columna se pueden llevar a cabo al escribir y leer los bits de código en y desde una memoria se pueden representar por medio de una matriz para convertir la dirección (direcciones de escritura) en las cuales escribir los bits de código para ser llevada a cabo en direcciones (direcciones de lectura) se debe llevar a cabo la lectura de los bits de código.

[0259]

De acuerdo con esto, si una matriz obtenida al multiplicar una matriz representativa del intercalado de paridad y una matriz representativa del intercalado de columna se determina por adelantado, entonces si la matriz se utiliza para convertir los bits de código, entonces si se utiliza la matriz para convertir los bits de código, se puede obtener entonces un resultado cuando el intercalado de paridad llevado a cabo y luego los códigos LDPC después del intercalo de paridad son un giro de columna intercalado.

[0260]

Además, adicionalmente del intercalador de paridad 23 y del intercalador de giro de columna 24, también el desmultiplexor 25 se puede configurar integralmente.

[0261]

En particular, también el proceso de remplazo llevado a cabo por el desmultiplexor 25 se puede representar mediante una matriz para convertir una dirección de escritura de la memoria 31 para almacenar el código LDPC en una dirección de lectura.

[0262]

De acuerdo con esto, si una matriz obtenida mediante la multiplicación de una matriz representativa del intercalado de paridad, otra matriz representativa del intercalado de giro de columna y una matriz representativa adicional del proceso de remplazo se determina por adelantado, entonces el intercalo de paridad, el intercalo de giro de columna y el proceso de remplazo se pueden llevar a cabo colectivamente mediante la matriz determinada.

[0263]

Cabe notar que es posible llevar a cabo solamente una intercalado de paridad y el intercalo de giro de columna.

[0264]

Ahora, una simulación llevada a cabo con relación al aparato de transmisión 11 de la Figura.8 para medir el índice de error (índice de error de bit) se describe con referencia a las Figuras. 26 a 28.

[0265]

La simulación fue llevada a cabo adoptando una ruta de comunicación que tiene una oscilación cuyo D/U es 0 db.

[0266]

La figura 26 muestra un modelo de la ruta de comunicación adaptada en la simulación.

[0267]

En particular, A de la figura 26 muestra un modelo de la oscilación adopta en la simulación.

[0268]

Mientras tanto, B de la figura 26 muestra un modelo de una ruta de comunicación que tiene una oscilación representada por el modelo de A en la figura 26.

[0269]

Cabe notar que, en B de la figura 26, H representa el modelo de la oscilación de A de la figura 26. Además, en B de la figura 26, N representa ICI (Interferencia Inter Portador), y la simulación, y el valor esperado E [N^2] de la potencia fue aproximada mediante AWGN.

[0270]

Las Figuras. 17 y 28 ilustran las relaciones entre el índice de error obtenido por la simulación y la frecuencia Doppler f_d de la oscilación.

[0271]

Cabe notar que la figura 27 ilustra una relación entre el índice de error y la frecuencia Doppler f_d donde el método de modulación es 16QAM y el índice de error (r) es (3/4) y además el método de remplazo es el primer método de remplazo. Mientras tanto, la figura 28 ilustra la relación entre el indicie de error y la frecuencia Doppler f_d donde el método del modulación es 64QAM y el índice de el índice de codificación (r) es (3/4) y además el método de remplazo es el primer método de remplazo.

[0272]

Además, en las Figuras. 27 Y 28 la línea gruesa curva indica la relación entre el índice error y la frecuencia Doppler f_d donde todo el intercalado de paridad, el intercalado de giro de columna y el proceso de remplazo se llevaron a cabo. y la línea delgada curva indica la relación entre el índice de error y frecuencia Doppler f_d donde el solamente el proceso de remplazo desde entre el intercalado de paridad, el intercalado de giro de columna y el proceso de remplazo se llevan a cabo.

[0273]

Tanto en la Figuras. 27 y 28, se puede reconocer que el índice de error mejora (disminuye) donde todo lo del intercalado de paridad, el intercalado de giro de columna y el proceso de remplazo se llevan a cabo en lugar de donde solamente se lleva a cabo el proceso de remplazo.

[0274]

La figura 29 es un diagrama de bloque que muestra un ejemplo de una configuración de un aparato de recepción 12 de la figura 7.

[0275]

En relación a la figura 29, el aparato de recepción 12 es un aparato para procesamiento de datos para recibir una señal de modulación desde el aparato de transmisión 11 (figura 7) e incluye una sección de demodulación ortogonal 51, una sección de desmapeo 52, un desintercalador 53 y una sección de decodificación LDPC 56.

[0276]

La sección de demodulación ortogonal 51 recibe una señal de modulación para el aparato de transmisión 11 leva cabo la demodulación ortogonal. Y luego suministra los símbolos obtenidos como resultado de la demodulación ortogonal (valores sobre los ejes I y Q) a la sección de desmapeo 52.

[0277]

La sección de desmapeo 52 lleva a cabo el desmapeo de convertir los símbolos desde la sección de demodulación ortogonal 51 a los bits de código de un código LDPC y suministra los bits de código al desintercalador 53.

[0278]

El desintercalador 53 incluye un multiplexor (MUX) 54, un desintercalador de giro de columna 55 lleva a cabo el desintercalador de los bits de código LDPC desde la sección de desmapeo 52.

[0279]

En particular, el multiplexor 54 lleva a cabo un proceso de remplazo inverso (proceso inverso al proceso de remplazo) que corresponde al proceso de remplazo llevado a cabo por el desmultiplexor 25 de la figura 8 para los códigos LDPC desde la sección de desmapeo 52, es, un proceso de remplazo inverso de regresar las posiciones de los bits de código reemplazados por el proceso de remplazo a las posiciones originales. Luego, el multiplexor 54 suministra un código LDPC obtenido como resultado del proceso de remplazo inverso al desintercalador de giro de columna.

[0280]

El desintercalador de giro de columna 55 lleva a cabo el desintercalado de giro de columna (proceso inverso al intercalado de giro de columna) que corresponde al intercalado de giro de columna como un proceso de re-disposición llevado a cabo por el intercalador de giro de columna 24 de la figura 8, esto es, por ejemplo, el desintercalado de giro de columna como un proceso de re-disposición inverso de regresar el arreglo de los bits de código del código LDPC que tienen un arreglo cambiado por el intercalado de giro de columna como el proceso de re-disposición al arreglo original, para el código LDPC para el multiplexor 54.

[0281]

El desintercalador de giro de columna 55 lleva a cabo el desintercalado de giro de columna al escribir los bits de código del código LDPC hacia y leer los bits de código de escritura desde la memoria para desintercalado, la memoria se configura similarmente a la memoria 31 mostrada en la figura 22 y así sucesivamente.

[0282]

Cabe notar que, en el desintercalador de giro de columna 55, la escritura de los bits de código se lleva a cabo en la dirección de fila de la memoria para desintercalado utilizando las direcciones de lectura luego de leer los códigos desde la memoria 31 como direcciones de escritura. Mientras tanto, la lectura de los bits de código se lleva a cabo en la dirección de columna de la memoria para desintercalado utilizando las direcciones de escritura luego de escribir los bits de código en la memoria 31 como direcciones de lectura.

[0283]

Los códigos LDPC obtenidos como resultado del intercalado de giro de columna se suministran desde la desintercalador de giro de columna 55 a la sección de decodificación LDPC 56.

[0284]

Aquí, aunque el código LDPC suministrado desde la la sección de desmapeo 52 al desintercalador 53 se a obtenido mediante el intercalado de paridad, el intercalado de giro de columna y el proceso de remplazo llevados a cabo en este orden para esto, el desintercalador 53 lleva cabo solamente el proceso de remplazo inverso que corresponde al proceso de remplazo y el desintercalado de giro de columna que corresponde al intercalado de giro de columna. De acuerdo con esto, el desintercalado de paridad que corresponde al intercalado de paridad (proceso inverso al intercalado de paridad), esto es, el desintercalado de paridad que regresa al arreglo de los bits de código de los códigos LDPC, cuyo arreglo se ha variado por el intercalado de paridad, al arreglo original, no se lleva a cabo.

[0285]

De acuerdo con esto, el código LDPC para el cual el proceso de remplazo inverso del desintercalado de giro de columna se ha llevado a cabo pero el desintercalado de paridad no se ha llevado a cabo se suministra desde el (desintercalador de giro de columna 55) del desintercalador 53 a la sección de decodificación LDPC 56.

[0286]

La sección de decodificación LDPC 56 lleva a cabo la decodificación LDPC del código LDPC desde el desintercalador 53 utilizando una matriz de comprobación de paridad y conversión, obtenido al llevar a cabo al menos un remplazo de columna que corresponde al intercalado de paridad para la matriz de comprobación de paridad H utilizada para la codificación LDPC mediante la sección de codificación LDPC 21 de la figura 8, y genera datos obtenidos como resultado de la decodificación LDPC como un resultado de decodificación de los datos objeto.

[0287]

La figura 30 es un diagrama de flujo que ilustra un proceso de recepción llevado a cabo por el aparato de recepción 12 de la figura 29.

[0288]

La sección de demodulación ortogonal 51 recibe una señal de modulación para el aparato de transmisión 11 en la etapa S111. Entonces, el procesamiento avanza a la etapa S112, en la cual la sección de demodulación ortogonal 51 lleva cabo la demodulación ortogonal de la señal de modulación. La sección de demodulación ortogonal 51 suministra los símbolos obtenidos como resultado de la demodulación ortogonal a la sección de desmapeo 52, posteriormente el procesamiento avanza desde la etapa S112 a la etapa S113.

[0289]

En la etapa S113, la sección de desmapeo 52 lleva a cabo el desmapeo de convertir los símbolos desde la sección de modulación ortogonal 51 hacia los bits de código de un código LDPC y suministra a los bits de código al desintercalador 53, posteriormente el procesamiento avanza a la etapa S114.

[0290]

En la etapa S114, el desintercalador 53 lleva cabo el desintercalado de los bits de código del código LDPC desde la sección de desmapeo 52, posteriormente el procesamiento avanza a la etapa S115.

[0291]

En particular, la etapa S114, el multiplexor 54 en el desintercalador 53 lleva cabo un proceso de remplazo inverso para el código LDPC desde la sección de desmapeo 52 y suministra el código LDPC obtenido como resultado del proceso de remplazo inverso al desintercalador de giro de columna 55.

[0292]

El desintercalador de giro de columna 55 lleva a cabo el desintercalado de giro de columna para el código LDPC desde el desmultiplexor 54 y suministra un código LDPC como resultado del desintercalado de giro de columna a la sección de decodificación LDPC 53.

[0293]

En la etapa S115, la sección de decodificación LDPC 56 lleva a cabo la decodificación LDPC del código LDPC desde el desintercalador de giro de columna 55 utilizando una matriz de comprobación de paridad obtenida al llevar a cabo al menos un remplazo de columna que corresponde al intercalado de paridad apara la matriz de comprobación de paridad H utilizada para la codificación LDPC mediante la sección de codificación LDPC 21 de la figura 8, y genera

00 251

los datos obtenidos mediante la decodificación LDPC como un resultado de decodificación de los datos del objeto. Posteriormente, el procesamiento termina.

[0294]

Cabe notar que el proceso de recepción de la Figura.30 se lleva a cabo repetitivamente.

[0295]

También la figura 29, el multiplexor 54 para llevar a cabo el proceso de remplazo inverso y el desintercalador de giro de columna 55 para llevar a cabo el desintercalado de giro de columna se configuran separadamente uno del otro para conveniencia de la descripción similarmente como el caso de la figura 8. Sin embrago, el multiplexor 54 y el desintercalador de giro de columna 55 se pueden configurar en este punto.

[0296]

Adicionalmente, cuando el aparato de transmisión 11 de la FIG. 8 no llevan a cabo el intercalado de giro de columna, no hay necesidad de proporcionar el desintercalador de giro de columna 55 en el aparato de recepción 12 de la FIG.29.

[0297]

Ahora, la decodificación LDPC llevada a cabo por la sección de decodificación LDPC 56 de la FIG. 29 se describe Adicionalmente.

[0298]

La sección de decodificación LDPC 56 de la FIG. 29 lleva a cabo la decodificación LDPC de un código LDPC, para el que se ha llevado a cabo el proceso de remplazo inverso y el desintercalado de giro de columna pero el desintercalado de paridad no se ha llevado a cabo. desde el desintercalador de giro de columna 55 como se describió anteriormente utilizando una matriz de comprobación de paridad de conversión obtenida al llevar a cabo por lo menos un remplazo de columna que corresponde el intercalado de paridad para la matriz de comprobación de paridad H utilizada para la codificación LDPC por la sección de codificación LDPC 21 de la FIG. 8.

[0299]

Aquí, la decodificación LDPC que puede suprimir la frecuencia de operación dentro de un rango suficientemente implementable aunque suprime la escala de circuito al llevar a cabo la decodificación LDPC utilizando la matriz de comprobación de paridad de conversión ya se ha propuesto anteriormente (refiérase a, por ejemplo, la Patente Japonesa expuesta No. 2004-343170).

[0300]

Así, la decodificación LDPC propuesta anteriormente que utiliza una matriz de comprobación de paridad de conversión se describe primero con referencia un las FIGS. 31 un 34.

[0301]

La FIG. 31 muestra en ejemplo de la matriz de comprobación de paridad H de un código LDPC cuya longitud del código N es 90 y el índice de codificación es 2/3.

[0302]

Cabe notar que, en FIG. 31, 0 se representa por un punto (.) (Esto aplica de manera similar También a las FIGS. 32 y 33 descritas adelante).

[0303]

En la matriz de comprobación de paridad H de la FIG. 31, la matriz de paridad tiene una estructura escalonada.

[0304]

La FIG. 32 ilustra una matriz de comprobación de paridad H' obtenida al aplicar el remplazo de fila de una expresión (8) y el remplazo de columna de una expresión (9) a la matriz de comprobación de paridad H de la FIG. 31.

[0305]

Remplazo de fila: fila $6s+t+1 \rightarrow$ fila $5t+s+1$ (8)

[0306]

Un remplazo de columna: columna $6x+y+61 \rightarrow$ columna $5y+x+61$ (9)

[0307]

Sin embargo, en las expresiones (8) y (9), s, t, x y y son enteros dentro de los rangos de $0 \leq s < 5$, $0 \leq t < 6$, $0 \leq x < 5$ y $0 \leq t < 6$, respectivamente.

[0308]

De acuerdo con el remplazo de fila de la expresión (8), se lleva a cabo el remplazo en tal una forma que las filas 1, 7, 13, 19 y 25 cada una de cuyos números indican un restante de 1 cuando se divide por 6 se remplazan en la 1, 2, 3, 4 y 5 filas, y las filas 2, 8, 14, 20 y 26 cada una de cuyos números indican un restante de 2 cuando se divide por 6 se remplazan en las filas 6, 7, 8, 9 y 10.

[0309]

De otra parte, de acuerdo con el remplazo de columna de la expresión (9), el remplazo se lleva a cabo para la columna 61 y siguientes (matriz de paridad) tal como las columnas 61, 67, 73, 79 y 85 cada uno de cuyos números indican un restante de 1 cuando se divide por 6 se remplazan por las columnas 61, 62, 63, 64 y 65, y las columnas 62, 68, 74, 80 y 86 cada una de cuyos números indican un restante de 2 cuando se divide por 6 se remplazan por las columnas 66, 67, 68, 69 y 70.

[0310]

Una matriz obtenida al llevar a cabo el remplazo de las filas y las columnas para la matriz de comprobación de paridad H de la FIG. 31 es una matriz de comprobación de paridad H' de la FIG. 32.

[0311]

Aquí, aún si se lleva a cabo el remplazo de fila de la matriz de comprobación de paridad H, esta no tiene una influencia sobre la disposición de los bits de código del código LDPC.

[0312]

Sin embargo, el remplazo de columna de la expresión (9) corresponde el intercalado de paridad cuando la longitud de información K, el número de columna unitaria P de la estructura cíclica y el divisor q (= M/P) de la longitud de paridad M (Aquí, 30) en el intercalado de paridad del intercalador de bit de código K+qx+y+1 con la posición de bit de código K+Py+x+1 fijo en 60, 5 y 6, respectivamente.

[0313]

Si la matriz de comprobación de paridad H' (denominada adecuadamente en adelante como matriz de comprobación de paridad de remplazo) de la FIG. 32 se multiplica por un resultado del mismo remplazo como aquel de la expresión (9) para el código LDPC de la matriz de comprobación de paridad H (Denominada en adelante adecuadamente como la matriz de comprobación de paridad original) de la FIG. 31, entonces se general vector 0. En particular, cuando se obtiene un vector de fila al aplicar el remplazo de columna de la expresión (9) por el vector de fila c como el código LDPC (una palabra de código) de la matriz de comprobación de paridad original H se representa por c', debido que Hc^T llega un ser el vector 0 en la base de la característica de la matriz de comprobación de paridad, También $H'c'^T$ llega un ser naturalmente el vector 0.

[0314]

Apartar de lo anterior, la matriz de comprobación de paridad de conversión H' de la FIG. 32 se convierte en la matriz de comprobación de paridad de un código LDPC c' obtenida al llevar a cabo el remplazo de columna de la expresión (9) para el código LDPC c de la matriz de comprobación de paridad original H.

[0315]

De acuerdo con lo anterior, al llevar a cabo el remplazo de columna de la expresión (9) para el código LDPC c de la matriz de comprobación de paridad original H, codificar (decodificación LDPC) el código LDPC c después del remplazo de columna utilizando la matriz de comprobación de paridad H' de la FIG. 32 y luego llevando a cabo el remplazo inverso para el remplazo de columna de la expresión (9) para el resultado de la decodificación , se puede obtener un resultado de decodificación similar a aquel obtenido con el código LDPC de la matriz de comprobación de paridad original H se codifica utilizando la matriz de comprobación de paridad H.

[0316]

La FIG. 33 muestra la matriz de comprobación de paridad de conversión H' de la FIG. 32 en donde se proporciona espacio entre las unidades de matrices 5 × 5.

[0317]

En FIG. 33, la matriz de comprobación de paridad de conversión H' se representa por una combinación de una matriz unitaria de 5 × 5 elementos, otra matriz (denominada en adelante adecuadamente como matriz cuasiunitaria) que corresponde a la matriz unitaria cuyo elemento o elementos de 1 se cambian en un elemento o elementos de 0, una matriz adicional(denominada en adelante adecuadamente como matriz de cambio) que corresponde a la matriz unitaria o matriz cuasiunitaria después que se cambia cíclicamente (cambio cíclico), todavía una matriz adicional (denominada en adelante adecuadamente como matriz de suma) de dos o más matrices unitarias, matriz cuasiunitaria y matriz de cambio, y una matriz 0 de 5 × 5 elementos.

[0318]

Se considera que la matriz de comprobación de paridad de conversión H' de la FIG. 33 está compuesta de una matriz unitaria, una matriz cuasiunitaria, una matriz de cambio, una matriz de suma y una matriz 0 de 5 × 5 elementos. Por lo tanto, las matrices de 5 × 5 elementos que componen la matriz de comprobación de paridad de conversión H' se denominan en adelante como matrices de componentes.

[0319]

Para la decodificación de un código LDPC representado por una matriz de comprobación de paridad representada por una matriz de P × P componentes, se puede utilizar una arquitectura que lleva a cabo operaciones matemáticas de nodo de comprobación y operaciones matemáticas de nodo variable simultáneamente para nodo de comprobación P y nodos variables P.

[0320]

La FIG. 34 es un diagrama de bloques que muestra un ejemplo de una configuración de un aparato para decodificación que lleva a cabo tal decodificación como se describió recientemente.

[0321]

En particular, la FIG. 34 muestra en ejemplo de una configuración de un aparato para decodificación que lleva a cabo la decodificación de código LDPC de la matriz de comprobación de paridad original H de la FIG. 31 utilizando la matriz de comprobación de paridad de conversión H' de la FIG. 33 obtenida al llevar a cabo por lo menos el remplazo de columna de la expresión (9).

[0322]

El aparato para decodificación de la FIG. 34 incluye una memoria de almacenamiento de datos de borde 300 que incluye seis FIFO 300_1 a 300_6, un selector 301 para seleccionar los FIFO 300_1 a 300_6, una sección de cálculo de nodo de comprobación 302, dos circuitos de cambio cíclico 303 y 308, una memoria de almacenamiento de datos de borde 304 que incluye 18 FIFO 304_1 a 304_{18}, un selector 305 para seleccionar los FIFO 304_1 a 304_{18}, una memoria de datos de recepción 306 para almacenar información de recepción de almacenamiento, una sección de cálculo de nodos variables 307, una sección de cálculo de palabra decodificada309, una sección de re-disposición de datos de recepción 310, y una sección de re-disposición de datos decodificados 311.

[0323]

Primero, se describe un método de almacenamiento de datos en las memorias de almacenamiento de datos de borde 300 y 304.

[0324]

La memoria de almacenamiento de datos de borde 300 incluye seis FIFO 300_1 a 300_6 cuyo número es igual a un cociente cuando el número de fila 30 de la matriz de comprobación de paridad de conversión H' de la FIG. 33 se divide por el número de filas 5 de las matrices de componentes. Cada uno de los FIFO 300y (y = 1, 2, ..., 6) tiene una pluralidad de etapas de regiones de almacenamiento de tal manera que los mensajes que corresponde a cinco bordes cuyo número es igual al número de filas y el número de columnas de las matrices de componentes se pueden leer desde o escribir en las regiones de almacenamiento de cada etapa al mismo tiempo. Adicionalmente, el número de etapas de las regiones de almacenamiento de cada FIFO 300y es nueve que es el número máximo de 1s (peso Hamming) en la dirección de fila de la matriz de comprobación de paridad de conversión de la FIG. 33.

[0325]

En el FIFO 300_1, los datos (mensajes v_i de los nodos variables) que corresponden a las posiciones del valor 1 en la primera a quinta filas de la matriz de comprobación de paridad de conversión H' de la FIG. 33 se almacenan en una forma cerrada en la dirección horizontal en las filas individuales (en la forma en donde 0 se ignora). En particular, Si un elemento en la fila j de la columna i ava columna se representa como (j, i), entonces en las regiones de almacenamiento en la primera etapa del FIFO 300_1, se almacenan los datos que corresponde las posiciones del valor 1 de la matriz unitaria de 5 × 5 elementos de (1, 1) a (5, 5) de la matriz de comprobación de paridad de conversión H'. En las regiones de almacenamiento en la segunda etapa, los datos que corresponde las posiciones del valor 1 de una matriz de cambio de (1, 21) a (5, 25) de la matriz de comprobación de paridad de conversión H' (una matriz de cambio obtenida al cambiar cíclicamente la matriz unitaria de 5 × 5 elementos por tres en la dirección hacia la derecha). También en las regiones de almacenamiento en las etapas tres a ocho, se almacenan datos en una relación asociada con la matriz de comprobación de paridad de conversión H'. Luego, en las regiones de almacenamiento en la etapa nueve, se almacenan los datos que corresponde a las posiciones del valor de una matriz de cambio de (1, 86) a (5, 90) de la matriz de comprobación de paridad de conversión H' (una matriz de cambio obtenida al remplazar el valor 1 en la primera fila de la matriz unitaria de 5 × 5 elementos con el valor 0 y luego cambiar cíclicamente la matriz unitaria después de remplazo por uno en la dirección hacia la izquierda).

[0326]

En el FIFO 3002, se almacenan datos que corresponde las posiciones del valor 1 desde la sexta a la décima filas de la matriz de comprobación de paridad de conversión H' de la FIG. 33. en particular, en la región de almacenamiento en la primera etapa del FIFO 3002, se almacenan datos que corresponde las posiciones del valor 1 de una primera matriz de cambio que forma una matriz de suma de (6, 1) a (10, 5) de la matriz de comprobación de paridad de conversión H' (una matriz de suma que es la suma de una primera matriz de cambio obtenida al cambiar cíclicamente de la matriz unitaria de 5 × 5 elementos por uno en la dirección hacia la derecha y una segunda matriz de cambio obtenida al cambiar cíclicamente la matriz unitaria de 5 × 5 elementos por dos en la dirección hacia la derecha). Adicionalmente, en la región de almacenamiento en la segunda etapa, se almacenan los datos que corresponde las posiciones del valor 1 de la segunda matriz de cambio que forma la matriz de suma de (6, 1) a (10, 5) de la matriz de comprobación de paridad de conversión H'.

[0327]

En particular, con respecto a una matriz de componente cuyo peso es 2 o más, cuando la matriz de componente se representa en la forma de la suma de una pluralidad de entre una matriz unitaria de P × P elementos que tienen el peso 1, una matriz cuasiunitaria que corresponde a la matriz unitaria cuyo uno o más elementos tiene el valor 1 se remplazan con 0 y una matriz de cambio obtenida al cambiar cíclicamente la matriz unitaria o la matriz

cuasiunitaria, se almacenan datos que corresponde las posiciones del valor 1 matrices unitarias, matriz cuasiunitaria o matriz de cambio cuyo peso es 1 (mensajes que corresponde a bordes que pertenecen a la matriz unitaria, matriz cuasiunitaria o matriz de cambio) en la misma dirección (la misma FIFO de entre los FIFO 300_1 a 300_6).

[0328]

También en las regiones de almacenamiento en las etapas tercera a novena, se almacenan datos en relaciones asociadas con la matriz de comprobación de paridad de conversión H'.

[0329]

También los FIFO 300_3 a 300_6 almacenan datos en una relación asociadas con la matriz de comprobación de paridad de conversión H'.

[0330]

La memoria de almacenamiento de datos de borde 304 incluye 18 FIFO 304_1 a 304_{18} cuyo número es igual al cociente en donde el número de columna 90 de la matriz de comprobación de paridad de conversión H' se divide por el número de columna 5 de la matriz de componente. Cada memoria de almacenamiento de datos de borde 304x (x = 1, 2, 18) incluye una pluralidad de etapas de regiones de almacenamiento, y mensajes que corresponde a cinco bordes del número de que es igual al número de filas y el número de columnas de la matriz de comprobación de paridad de conversión H' se puede leer desde o escribir en las regiones de almacenamiento de cada etapa al mismo tiempo.

[0331]

En el FIFO 3041, los datos que corresponde a las posiciones del valor 1 de la primera a quinta columnas de la matriz de comprobación de paridad de conversión H' de la FIG. 33 (mensajes u_j de los nodos de comprobación) se almacenan en una forma cerrada en la dirección vertical en las columnas individuales (en la forma en donde 0 se ignora). En particular, en las regiones de almacenamiento en la primera etapa del FIFO 304_1, se almacenan datos que corresponde las posiciones del valor 1 de la matriz unitaria de 5 × 5 elementos de (1, 1) a (5, 5) de la matriz de comprobación de paridad de conversión H'. en las regiones de almacenamiento en la segunda etapa, se almacenan datos que corresponden a las posiciones del valor de la primera matriz de cambio que forma una matriz de suma de (6, 1) a (10, 5) de la matriz de comprobación de paridad vertical H' (una matriz de suma que es la suma de una primer matriz de cambio obtenida al cambiar cíclicamente la matriz unitaria de 5 × 5 elementos por uno a la derecha y una segunda matriz de cambio obtenida al cambiar cíclicamente la matriz unitaria de 5 × 5 elementos por dos a la derecha). Adicionalmente, en las regiones de almacenamiento en la tercera etapa, los datos que corresponden las posiciones del valor 1 de la segunda matriz de

cambio que forma la matriz de suma de (6, 1) a (10, 5) de la matriz de comprobación de paridad vertical H'.

[0332]

En particular, con respecto a una matriz de componente cuyo peso es 2 o más, cuando se representa la matriz de componente en la forma de la suma de pluralidad de entre una matriz unitaria de P × P elementos que tienen el peso 1, una matriz cuasiunitaria que corresponde a la matriz unitaria cuyo uno o más elementos tiene el valor 1 se remplazan con 0 y una matriz de cambio obtenida al cambiar cíclicamente la matriz unitaria o la matriz cuasiunitaria, se almacenan datos que corresponde a las posiciones del valor 1 de la matriz unitaria, matriz cuasiunitaria o matriz de cambio cuyo peso es 1 (mensajes que corresponden a los bordes que pertenecen a la matriz unitaria, matriz cuasiunitaria o matriz de cambio) en la misma dirección (FIFO de entre los FIFO 304_1 a 304_{18}).

[0333]

También con respecto a las regiones de almacenamiento en la cuarta y quinta etapas, se almacenan datos en una relación asociadas con la matriz de comprobación de paridad de conversión H'. El número de etapas de las regiones de almacenamiento del FIFO 304_1 es 5 que es el número máximo del número de 1s (peso Hamming) en la dirección de fila en la primera a quinta columnas de la matriz de comprobación de paridad de conversión H'.

[0334]

También los FIFO 304_2 y 304_3 almacenan datos en una relación asociada con la matriz de comprobación de paridad de conversión H' de manera similar, y cada longitud (número de etapas) de los FIFO 304_2 y 304_3 es 5. También los FIFO304_4 a 304_{12} almacenan datos en una relación asociada con la matriz de comprobación de paridad de conversión H' de manera similar, y cada longitud de los FIFO 304_4 a 304_{12} es 3. También los FIFO 304_{13} a 304_{18} almacenan datos en una relación asociada con la matriz de comprobación de paridad de conversión H' de manera similar, y cada longitud de los FIFO 304_{13} a 304_{18} es 2.

[0335]

Ahora, se describe operación del aparato de decodificación de la FIG.34.

[0336]

La memoria de almacenamiento de datos de borde 300 incluye seis FIFO 300_1 a 300_6, y los FIFO en cuyo datos se almacenan se seleccionan entre los FIFO 300_1 a 300_6 de acuerdo con la información (Datos de matriz) D312 que representa a que fila pertenece la matriz de comprobación de paridad de conversión H' cinco mensajes D311 suministrados del circuito de cambio cíclico 308 en la etapa precedente. Luego, se almacenan los cinco mensajes D311 colectivamente y en orden en los FIFO seleccionados. Adicionalmente, cuando los datos se

leen, la memoria de almacenamiento de datos de borde 300 lee cinco mensajes $D300_1$ en orden del FIFO 300_1 y suministra los cinco mensajes $D300_1$ al selector 301 en la etapa siguiente. Después finaliza la lectura de los mensajes del FIFO 300_1, la memoria de almacenamiento de datos de borde 300 lee los mensajes en orden También del FIFO 330_2 a 300_6 y suministra la lectura de mensajes al selector 301.

[0337]

El selector 301 selecciona los cinco mensajes de aquel FIFO del que datos se leen actualmente los datos de entre los FIFO 300_1 a 300_6 de acuerdo con la señal seleccionada $D30_1$ y suministra cinco mensajes como los mensajes D302 a la sección de cálculo de nodo de comprobación 302.

[0338]

La sección de cálculo de nodo de comprobación 302 incluye cinco calculadores de nodo de comprobación 302_1 a 302_5 y lleva a cabo la operación matemática de nodo de comprobación de acuerdo con la expresión (7) utiliza el mensaje D302 ($D302_1$ a $D302_5$) (mensajes v_i de la expresión (7)) suministrados a este a través del selector 301. Luego, la sección de cálculo de nodo de comprobación 302 suministra cinco mensajes D303 ($D303_1$ a $D303_5$) (mensajes u_j de la expresión (7)) obtenido como un resultado de las operaciones matemática de nodo de comprobación al circuito de cambio cíclico 303.

[0339]

El circuito de cambio cíclico 303 cambia cíclicamente los cinco mensajes $D303_1$ a 303_5 determinado por la sección de cálculo de nodo de comprobación 302 basado en la información (Datos de Matriz) D305 con respecto al número de matrices unitarias originales de los bordes correspondientes que se cambian cíclicamente en la matriz de comprobación de paridad de conversión H', y suministra un resultado del cambio cíclico como un mensaje D304 a la memoria de almacenamiento de datos de borde 304.

[0340]

La memoria de almacenamiento de datos de borde 304 incluye 18 FIFO 304_1 a 304_{18}. La memoria de almacenamiento de datos de borde 304 selecciona un FIFO en el que se almacenan los datos de entre los FIFO 304_1 a 304_{18} de acuerdo con la información D305 que se relaciona con que fila de la matriz de comprobación de paridad de conversión H' pertenece los cinco mensajes D304 suministrados del circuito de cambio cíclico 303 en la etapa precedente y almacena colectivamente los cinco mensajes D304 en orden en el FIFO seleccionado. De otra parte, cuando se leen los datos, la memoria de almacenamiento de datos de borde 304 lee cinco mensajes $D306_1$ en orden desde el FIFO 304_1 y suministra el mensaje $D306_1$ al selector 305 en la etapa siguiente. Después que finaliza la lectura de datos del FIFO 304_1, la memoria

de almacenamiento de datos de borde 304 lee los mensajes en orden también desde FIFO 304_2 a 304_{18} y suministra los mensajes al selector 305.

[0341]

El selector 305 selecciona cinco mensajes del FIFO del que se leen actualmente los datos de entre los FIFO 3041 a 30418 de acuerdo con la señal seleccionada D307 y suministra los mensajes seleccionados como mensajes D308 a la sección de cálculo de nodo variable 307 y la sección de cálculo de palabra decodificada 309.

[0342]

De otra parte, la sección de re-disposición de datos de recepción 310 lleva a cabo el remplazo de columna de la expresión (9) para re-disponer un código LDPC D313 recibido a través de una ruta de comunicación y suministra el código LDPC re-dispuesto D313 como datos de recepción D314 a la memoria de datos de recepción 306. La memoria de datos de recepción 306 calcula y almacena un LLR recepción (Relación de Probabilidad Logarítmica) de los datos de recepción D314 suministrados a este de la sección de re-disposición de datos de recepción 310 y recolecta y suministra cada uno de los cinco de los LLRs de recepción como valores de recepción D309 a la sección de cálculo de nodo variable 307 y la sección de cálculo de palabra decodificada 309.

[0343]

La sección de cálculo de nodo variable 307 incluye cinco calculadores de nodos variables 307_1 a 307_5 y lleva a cabo la operación matemática de nodo variable de acuerdo con la expresión (1) utilizando los mensajes D308 (308_1 a 308_5) (mensajes u_j de la expresión (1)) suministrados a este a través el selector 305 y los cinco valores de recepción D309 (valores de recepción u_{oi} de la expresión (1)) suministradas a este de la memoria de datos de recepción 306. Entonces, la sección de cálculo de nodo variable 307 suministra mensajes D310 ($D301_1$ a $D310_5$) (mensajes v_i de la expresión (1)) obtenida como un resultado de la operación matemática para el circuito de cambio cíclico 308.

[0344]

El circuito de cambio cíclico 308 cambia cíclicamente los mensajes $D310_1$ a $D310_5$ calculados por la sección de cálculo de nodo variable 307 basado en la información con respecto a ese número de matrices unitarias originales del borde correspondiente que se cambia cíclicamente en la matriz de comprobación de paridad de conversión H', y suministra un resultado de del cambio cíclico como un mensaje D311 a la memoria de almacenamiento de datos de borde 300.

[0345]

Al llevar a cabo la secuencia de operaciones descritas anteriormente, la decodificación en un ciclo de un código LDPC se puede llevar a cabo. En el aparato de decodificación de la FIG.34, después se decodifica un código LDPC mediante un número predeterminado de veces, se determina un resultado de decodificación final mediante la sección de cálculo de palabra decodificada 309 y la sección de re-disposición de datos decodificados 311 y luego generados.

[0346]

En particular, la sección de cálculo de palabra decodificada 309 incluye cinco calculadores de palabra decodificado 309_1 a 309_5 y actúa como una etapa final en una pluralidad de ciclos de la decodificación para calcular un resultado de decodificación (palabra decodificada) de acuerdo con la expresión (5) utilizando cinco mensajes D308 ($D308_1$ a $D308_5$) (mensajes u_j de la expresión (5)) generados del selector 305 y los cinco valores de recepción D309 (valores de recepción u_{oi} de la expresión (5)) generados de la memoria de datos de recepción 306. Luego, la sección de cálculo de palabra decodificada 309 suministra datos decodificados D315 obtenido como un resultado del cálculo de la sección de re-disposición de datos decodificados 311.

[0347]

La sección de re-disposición de datos decodificados 311 lleva a cabo el remplazo inverso al remplazo de columna de la expresión (9) para los datos decodificados D315 suministrados a este de la sección de cálculo de palabra decodificada 309 para re-disponer el orden de los datos decodificados D315 y genera datos decodificados re-dispuestos D315 como un resultado de la decodificación D316.

[0348]

Como se describió anteriormente, al aplicar uno o ambos remplazos de fila y un remplazo de columna a una matriz de comprobación de paridad (matriz de comprobación de paridad original) para convertir la matriz de comprobación de paridad en una matriz de comprobación de paridad (matriz de comprobación de paridad de conversión) que se puede representar mediante una combinación de una matriz unitaria de P × P elementos, una matriz cuasiunitaria que corresponde a la matriz unitaria cuyo elementos o elementos de 1 se cambian en un elemento o elementos de 0, una matriz de cambio que corresponde a la matriz unitaria o matriz cuasiunitaria después que se cambia cíclicamente, una matriz de suma de dos o más del la matriz unitaria, matriz cuasiunitaria y matriz de cambio, y una matriz 0 de P × P elementos como se describió anteriormente, llega a ser posible adoptar para decodificación de código LDPC una arquitectura que lleva a cabo la operaciones matemáticas de nodo de comprobación y la operaciones matemáticas de nodo variable simultáneamente para nodo de comprobación P y nodos variables P. Por consiguiente, al llevar a cabo la operación matemática de nodo simultáneamente para P nodos, es posible suprimir la frecuencia de operación dentro de un rango implementable para llevar a cabo la decodificación LDPC.

[0349]

La sección de decodificación LDPC 56 que compone el aparato de recepción 12 de la FIG. 29 lleva a cabo las operaciones matemáticas de nodo de comprobación y las operaciones matemáticas de nodo variable simultáneamente para nodo de comprobación P y nodos variables P para llevar a cabo de manera similar la decodificación LDPC al aparato de decodificación de la FIG. 34.

[0350]

En particular, se asume ahora simplificar la descripción de que la matriz de comprobación de paridad de un código LDPC generado de la sección de codificación LDPC 21 que compone el aparato de transmisión 11 de la FIG. 8 es, por ejemplo, la matriz de comprobación de paridad H en donde la matriz de paridad tiene una estructura escalonada mostrada en FIG.31. En este caso, el intercalador de paridad 23 del aparato de transmisión 11 lleva a cabo intercalado de paridad para intercalar el bit de código K+qx+y+1 a la posición del bit de código K+Py+x+1 con la longitud de información K fija en 60, con el número de columna unitaria P de la estructura cíclica fijo en 5 y con el divisor q (= M/P) de la longitud de paridad M a 6.

[0351]

Debido que este intercalado de paridad corresponde al remplazo de columna de la expresión (9), la sección de decodificación LDPC 56 no necesita llevar a cabo el remplazo de columna de la expresión (9).

[0352]

Por lo tanto, en el aparato de recepción 12 de la FIG.29, un código LDPC para el que no se ha llevado a cabo desintercalado de paridad esto es, un código LDPC en un estado en donde el remplazo de columna de la expresión (9) se lleva a cabo. se suministra desde el desintercalador de giro de columna 55 a la sección de decodificación LDPC 56 como se describió anteriormente. La sección de decodificación LDPC 56 lleva a cabo el procesamiento similar a que del aparato de decodificación de la FIG. 34 excepto que el remplazo de columna de la expresión (9) no se lleva a cabo.

[0353]

En particular, FIG. 35 muestra en ejemplo de una configuración de la sección de decodificación LDPC 56 de la FIG.29.

[0354]

Con referencia a la FIG. 35, la sección de decodificación LDPC 56 se configura de manera similar a aquella del aparato de decodificación de la FIG. 34 excepto que la sección de re-disposición de datos de recepción 310 de la FIG. 34 no se proporciona y lleva a cabo

procesamiento similar a aquel del aparato de decodificación de la FIG. 34 excepto que el remplazo de columna de la expresión (9) no se lleva a cabo. Por lo tanto, la descripción de la sección de decodificación LDPC 56 se omite aquí.

[0355]

En razón a que la sección de decodificación LDPC 56 se puede configurar sin incluye la sección de re-disposición de datos de recepción 310 como se describió anteriormente, se puede reducir en escala en comparación con el aparato de decodificación de la FIG. 34.

[0356]

Cabe notar que, aunque, en las FIGS. 31 a 35, se asume que la longitud del código N de un código LDPC es 90; la longitud de información K es 60; el número de columna unitaria P (número de fila y número de columna de una matriz de componente) de la estructura cíclica es 5; y el divisor q (= M/P) de la longitud de paridad M es 6, para simpleza de la descripción, la longitud el código N, longitud de información K, el número de columna unitario P de la estructura cíclica y el divisor q (= M/P) no se limitan individualmente a los valores específicos dados anteriormente.

[0357]

En particular, aunque la sección de codificación LDPC 21 en el aparato de transmisión 11 de la FIG. 8 genera un código LDPC en donde, por ejemplo, la longitud el código N es 64,800, la longitud de información K es N – Pq (= N – M), el número de columna unitaria P de la estructura cíclica es 360 y el divisor q es M/P, la sección de decodificación LDPC 56 mostrada en FIG. 35 también se puede aplicar cuando la decodificación LDPC es llevada a cabo al llevar a cabo las operaciones matemáticas de nodo de comprobación y las operaciones matemáticas de nodo variable simultáneamente para nodo de comprobación P y nodos variables P con respecto a tal un código LDPC como se describió recientemente.

[0358]

Aunque las series de procesos descritos anteriormente se pueden ejecutar mediante hardware, se pueden ejecutar de otra forma por software. Cuando las series de procesos se ejecutan por software, un programa que constituye el software se instala en un computador para uso universal o similar.

[0359]

FIG. 36 muestra en ejemplo de una configuración de una realización de un computador en el que un programa para ejecutar las series de procesos descritos anteriormente se instala.

[0360]

El programa se puede registrar por adelantado en un disco duro 405 o en un ROM 403 como un medio de registro constituido en el computador.

[0361]

O, se puede almacenar (grabar) temporalmente o permanentemente en o en un medio de grabación removible 411 tal como un disco flexible, un CD-ROM (Disco Compacto de Memoria de solo Lectura), un disco MO (Magneto Óptico), un DVD (Disco Versátil Digital), un disco magnético o una memoria de semiconductor. Tal un medio de grabación removible 411 como se describió recientemente se puede suministrar como el llamado paquete software.

[0362]

Cabe notar que el programa no solo se puede instalar a partir tal un medio de registro removible 411 como se describió anteriormente en el computador si no que También se puede instalar en el disco duro 405 en el computador cuando se transfiere a este y recibido por la sección de comunicación 408. En este caso, el programa se puede transferir al computador mediante comunicación inalámbrica desde un sitio de descarga a través un satélite artificial para radiodifusión satelital digital o transferir al computador mediante comunicación por cable a través de una red tal como un LAN (Red de Área Local) o Internet.

[0363]

El computador tiene una CPU constituida allí (Unidad de Procesamiento Central) 402. un interfaz entrada/salida 410 se conecta a la CPU 402 mediante un bus 401, y Si se ingresa una instrucción a la CPU 402 a través de una interfaz entrada/salida 410 cuando una sección de ingreso 407 configurada desde un teclado, un ratón, un micrófono y así sucesivamente se opera por un usuario o en un caso similar, la CPU 402 ejecuta el programa de almacenado en la ROM (Memoria de Solo Lectura) 403. O, la CPU 402 carga un programa almacenado en el disco duro 405, un programa transferido desde un satélite o una red, recibido por la sección de comunicación 408 e instalado en el disco duro 405 o un programa de lectura del medio de grabación removible 411 cargado en un una unidad 409 e instalado en el disco duro 405 en una RAM (Memoria de Acceso Aleatorio) 404 y ejecuta el programa. Por consiguiente, la CPU 402 lleva a cabo el procesamiento de acuerdo con el diagrama de flujo descritos anteriormente o el procesamiento llevado a cabo por la configuración del diagrama de bloque descritos anteriormente. Luego, la CPU 402 genera un resultado del procesamiento de una sección de generación 406 configurada desde un LCD (Pantalla de Cristal Líquido), un parlante y así sucesivamente y transmite el resultado del procesamiento desde la sección de comunicación 408 a través de la una interfaz entrada/salida 410 o graba el resultado del procesamiento en el disco duro 405 como demandas de ocasión.

[0364]

Aquí, en la presente especificación, las etapas de procesamiento que describe el programa para producir que el computador lleve a cabo varios procesos no necesariamente se procesa en una series de tiempo de acuerdo con el orden descrito como un diagrama de flujo si no que incluye aquellos procesos para ser ejecutados en paralelo o individualmente (por ejemplo, procesos en paralelo o procesos por objeto).

[0365]

Adicionalmente, el programa se puede procesar mediante un computador individual o se puede procesar mediante procesamiento distribuido mediante una pluralidad de computadores. Adicionalmente, el programa se puede transferir a y se ejecuta por un computador en un lugar remoto.

[0366]

Cabe notar que la realización de la presente invención no se limita a la realización específica descritas anteriormente pero se puede alterar de varias formas sin apartase de la materia objeto de la presente invención.

[0367]

En particular, aunque, en la presente realización, el intercalado de paridad y el intercalado de giro de columna como un proceso de re-disposición se llevan a cabo para un código LDPC prescrito en DVB-S.2, el intercalado de paridad se puede aplicar a un código LDPC de una matriz de comprobación de paridad cuya matriz de información no tiene una estructura cíclica Si la matriz de paridad tiene una estructura escalonada. Adicionalmente, el intercalado de giro de columna como el proceso de re-disposición también se pueden aplicar al código LDPC de una matriz de comprobación de paridad que se puede variar con el fin de tener una estructura seudocíclica por lo menos mediante remplazo de columna, el código QC-LDPC (QC: Cuasi-Cíclico) y así sucesivamente en donde la matriz de comprobación de paridad tiene un una estructura cíclica.

[0368]

En particular, solo se requiere para la matriz de comprobación de paridad de código LDPCs que se haga un objeto del intercalado de paridad ya que la matriz de paridad de la misma tiene una estructura escalonada aunque no necesita que la matriz de información tenga una estructura cíclica.

[0369]

Adicionalmente, la matriz de comprobación de paridad de un código LDPC que se hace de un objeto de intercalado de giro de columna cuando el proceso de re-disposición no se limita particularmente en los terminaos de la estructura.

[0370]

Cabe notar que solo es necesario para el proceso de re-disposición que este pueda re-disponer los bits de código de un código LDPC de tal que una pluralidad bits de código que corresponden al valor 1 incluido en una fila arbitraria de la matriz de comprobación de paridad no se incluyan en el mismo símbolo y se puedan llevar a cabo por un método diferente el intercalado de giro de columna. En particular, el proceso de re-disposición se puede llevar a cabo al utilizar no la memoria 31 para almacenar datos en la dirección de columna y la dirección de fila si no, por ejemplo, una memoria para almacenar solo datos en una dirección y controlar la dirección de escritura y la dirección de lectura de la memoria.

[0371]

Ahora, se describe Adicionalmente para la codificar LDPC mediante la sección de codificación 21 del aparato de transmisión 11.

[0372]

Por ejemplo, se prescriben en el DVB-S.2 estándar, la codificación LDPC de las dos longitudes de códigos diferentes N de 64,800 bits y 16,200 bits.

[0373]

y, para el código LDPC cuya longitud de código N es 64,800 bits, se prescriben 11 índices de codificación 1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6, 8/9 y 9/10 y para el código LDPC cuya longitud de código N es 16,200 bits, se prescriben los 10 índices de codificación 1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6 y 8/9.

[0374]

La sección de codificación LDPC 21 lleva a cabo la codificación (codificación de corrección de error) en código LDPCs de diferentes índices de codificación cuya longitud de código N es 64,800 bits o 16,200 bits de acuerdo con una matriz de comprobación de paridad H preparado para cada longitud de código N y para cada la índice de codificación .

[0375]

En particular, la sección de codificación LDPC 21 almacena una tabla de valor inicial de matriz de comprobación de paridad descritas adelante para producir una matriz de comprobación de paridad H para cada longitud de código N y para cada índice de codificación.

[0376]

Aquí, el DVB-S.2 estándar, Los códigos LDPC de las dos longitudes diferentes de código N de 64,800 bits y 16,200 bits se prescriben como se describió anteriormente, y se prescriben los 11 índices de codificación diferentes para el código LDPC cuya longitud de código N es

00 277

64,800 bits y se prescriben los 10 índices de codificación diferentes para el código LDPC cuya longitud de código N es 16,200 bits.

[0377]

De acuerdo con lo anterior, cuando el aparato de transmisión 11 es un aparato que lleva a cabo un procesamiento de conformidad con el DVB-S.2 estándar, las tablas de valor inicial de matriz de comprobación de paridad que corresponden individualmente a 11 índices de codificación diferente para el código LDPC cuya longitud de código N es 64,800 bits y las tablas de valor inicial de matriz de comprobación de paridad que corresponden individualmente a los 10 índices de codificación diferentes para el código LDPC cuya longitud de código N es 16,200 bits se almacenan en la sección de codificación LDPC 21.

[0378]

La sección de codificación LDPC 21 usa una longitud de código N y un índice de codificación r para códigos LDPC, por ejemplo, en respuesta a una operación de un operador. La longitud de código N y el índice de codificación r establecidos por la sección de codificación LDPC 21 se denominan en adelante como longitud de código fijo N e índice de codificación r, respetivamente.

[0379]

La sección de codificación LDPC 21 coloca, basado en las tablas de valor inicial de matriz de comprobación de paridad que corresponden a la longitud de código fijo N y el índice de codificación r, elementos del valor 1 de una matriz de información H_A que corresponden a la longitud de información K (= Nr = longitud de código N – longitud de paridad M) que corresponden a la longitud de código fijo N y al índice de codificación fijo r en un periodo de 360 columnas (numero de columna unitaria P de la estructura cíclica) en I dirección de columna para producir una matriz de comprobación de paridad H.

[0380]

Luego, la sección de codificación LDPC 21 extrae bits de información para la longitud de información K de los datos de objeto que son un objeto de transmisión tal como datos de imagen o datos de sonido suministrados desde el aparato de transmisión 11. Adicionalmente, la sección de codificación LDPC 21 calcula bits de paridad que corresponden a los bits información basados en la matriz de comprobación de paridad H para producir una palabra código (código LDPC) para una longitud de código.

[0381]

En otras palabras, la sección de codificación LDPC 21 lleva a cabo sucesivamente operaciones matemáticas de un bit de paridad de la palabra código c que satisface la siguiente expresión.

[0382]

$Hc^T = 0$

[0383]

Aquí, en la expresión anterior, c indica un vector de fila como la palabra de código (código LDPC), y c^T indica la inversión del vector de fila c.

Cuando, dentro del vector fila c como el código de LDPC (una palabra código), una porción que corresponde a los bits de información se representa mediante un vector fila A y una porción correspondiente a los bits de paridad se representa mediante un vector de fila T, el vector de fila C puede ser representado por una expresión de c = [A | T] del vector de fila A como los bits de información y el vector fila T como los bits de paridad.

Adicionalmente, la matriz de comprobación de paridad H se puede representar, de la matriz de información H_A de aquellos bits de código del Código LDPC que corresponden a los bits de información y la matriz de paridad H_T de aquellos bits de código del Código LDPC que corresponden a los bits de paridad mediante una expresión $H = [H_A \mid H_T]$ (matriz en donde los elementos de la matriz de información H_A son elementos en el lado izquierdo y los elementos de la matriz de paridad H_T son elementos en el lado derecho).

Adicionalmente, por ejemplo, en el DVB-S.2 estándar, la matriz de comprobación de paridad H_T de la matriz de comprobación de paridad $H = [H_A \mid H_T]$ tiene una estructura escalonada.

Es necesario para la matriz de comprobación de paridad H y el vector de fila c = [A | T] como un código LDPC para satisfacer la expresión $Hc^T = 0$, y cuando la matriz de paridad H_T de la matriz de comprobación de paridad $H = [H_A \mid H_T]$ tiene una estructura escalonada, el vector de fila T como bits de paridad que configuran el vector de fila c = [e] | que satisface la expresión $Hc^T = 0$ se pueden determinar secuencialmente al fijar los elementos de cada fila a cero con el fin de empezar los elementos en la primera fila del vector de columna Hc^T en la expresión $Hc^T = 0$.

Si la sección de codificación LDPC 21 determina un bit de paridad T para un bit de información A, entonces este genera una palabra código c = [A | T] representado por el bit de información A y el bit de paridad T como un resultado de la codificación LDPC del bit de información A.

Como se describió anteriormente, la sección de codificación LDPC 21 almacena tablas de valor inicial de matriz de comprobación de paridad que corresponde a las longitudes de

código N y los Índices de codificación r en por adelantado allí y llevan a cabo la codificación LDPC de la longitud de código fijo N y el Índice de codificación fijo r que utiliza una matriz de comprobación de paridad H producida de las tablas de valor inicial de matriz de comprobación de paridad que corresponden a la longitud de código fijo N y al índice de codificación fijo r.

Cada tabla de valor inicial de matriz de comprobación de paridad es una tabla que representa la posición de elementos del valor 1 de la matriz de información H_A que corresponde a la longitud de información K que corresponde a la longitud de código N y la el índice de codificación r del código LDPC de la matriz de comprobación de paridad H (código LDPC definido por la matriz de comprobación de paridad H) para cada 360 filas (un número unitario de columna P de la estructura periódica), y se produce por adelantado para una matriz de comprobación de paridad H para cada longitud de código N y cada índice de codificación r.

Las figuras 37 a 82 ilustran las tablas de valor inicial de matriz de comprobación de paridad para producir varias matrices de comprobación de paridad H que incluyen tablas de valor inicial de matriz de comprobación de paridad prescritas en el DVB-S.2 estándar.

[0392]

En particular, la FIG. muestra la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el DVB-S.2 estándar y que tiene una longitud de código N de 16.200 bits y un índice de Codificación r de 2/3.

Las figuras a 40 muestran la tabla de valor inicial de matriz de comprobación de paridad para una Matriz de comprobación de paridad H prescrita en el DVB-S.2 estándar y que tiene una Longitud de código N de 64.800 bits y un Índice de Codificación r de 2/3.

Cabe notar que la figura es una vista continua de la figura la figura 40 es una vista continua de la figura

La figura41 muestra la tabla de valor inicial de matriz de comprobación de paridad de una matriz de comprobación de paridad H prescrita en el DVB-S.2 estándar y con una longitud de código N de 16.200 bits y un Índice de codificación r de 3/4.

Las figuras42 a 45 muestran la tabla de valor inicial matriz de comprobación de paridad de una matriz de comprobación de paridad H prescrita en el DVB-S.2 estándar y que tiene una longitud de código N de 64.800 bits y un índice de codificación r de 3/4.

Cabe notar que la figura es una vista continua de la figura la figura 44 es una vista continua de la figura , la figura45 es una vista continua de la figura 44.

La figura 46 muestra la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el DVB-S.2 estándar y que tiene una longitud de código N de 16.200 bits y un índice de codificación r de 4/5.

Las figuras a 50 muestran la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el DVB-S.2 estándar y que tiene una longitud de código N de 64.800 bits y un índice de codificación r de 4/5.

Cabe notar que la figura 48 es una vista continua de la 47 y la figura 49 es una vista continua de la figura Adicionalmente, la figura50 es una vista continua de la figura 49.

La figura 51 muestra la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el DVB-S.2 estándar y que tiene una longitud de código N de 16.200 bits y un índice de codificación r de 5/6.

Las figuras a 55 muestran la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el DVB-S.2 estándar y que tiene una longitud de código N de 64.800 bits y un índice de codificación r de 5/6.

Cabe notar que la figura es una vista continua de la figura 52 y la figura 54 es una vista continua de la figura 53. Adicionalmente, la figura es una vista continua de la figura 54.

La figura 56 muestra la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el DVB-S.2 estándar y que tiene una longitud de código N de 16.200 bits y un índice de codificación r de 8/9.

Las figuras a 60 muestran la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el DVB-S.2 estándar y que tiene una longitud de código N de 64.800 bits y un índice de codificación r de 8/9.

Cabe notar que la figura es una vista continua de la figura la figura 59 es una vista continua de la figura 58. Adicionalmente, la figura es una vista continua de la figura

Las figuras a 64 muestran la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el DVB-S.2 estándar y que tiene una longitud de código N de 64.800 bits y un índice de codificación r de 9/10.

Cabe notar que la figura es una vista continua de la figura y la figura 63 es una vista continua de la figura 62. Adicionalmente, la figura es una vista continua de la figura 63.

00 281

Las 65 y 66 muestran la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el DVB-S.2 estándar y que tiene una longitud de código N de 64.800 bits y un índice de codificación r de 1/4.

Cabe notar que la figura es una vista continua de la figura 65.

Las figuras 67 y 68 muestran la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el DVB-S.2 estándar y que tiene una longitud de código N de 64.800 bits y un índice de codificación r de 1/3.

Cabe notar que la figura 68 es una vista continua de la figura 67.

Las figuras 70 muestran la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el DVB-S.2 estándar y que tiene una longitud de código N de 64.800 bits y un índice de codificación r de 2/5.

Cabe notar que la figura 70 es una vista continua de la figura 69.

Las figuras 71 a 73 muestran la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el DVB-S.2 estándar y que tiene una longitud de código N de 64.800 bits y un índice de codificación r de 1/2.

Cabe notar que la figura 72 es una vista continua de la figura la figura 73 es una vista continua de la figura 72.

[0417]

Las figuras 74 a 76 muestran la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el DVB-S.2 estándar y que tiene una longitud de código N 64.800 bits y un índice de codificación r de 3/5.

[0418]

Cabe notar que la figura 75 es una vista continua de la figura y la figura es una vista continua de la figura 75.

La figura 77 muestra la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el DVB-S.2 estándar y que tiene una longitud de código N de 16.200 bits y un índice de codificación r de 1/4.

La figura 78 muestra la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el DVB-S.2 estándar y que tiene una longitud de código N de 16.200 bits y un índice de codificación r de 1/3.

00 282

La figura 79 muestra la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el DVB-S.2 estándar y que tiene una longitud de código N de 16.200 bits y un índice de codificación r de 2/5.

La figura 80 muestra la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el DVB-S.2 estándar y que tiene una longitud de código N de 16.200 bits y un índice de codificación r de 1/2.

La figura 81 muestra la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el DVB-S.2 estándar y que tiene una longitud de código N de 16.200 bits y un índice de codificación r de 3/5.

La figura 82 muestra la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el DVB-S.2 estándar y que tiene una longitud de código N de 16.200 bits y un índice de codificación r de 3/5, que se puede utilizar en lugar de el valor inicial de la matriz de comprobación de paridad de la tabla de la figura 81.

La sección de codificación LDPC 21 del aparato de transmisión 11 determina una matriz de comprobación de paridad H de la siguiente forma utilizando las tablas de valor inicial de matriz de comprobación de paridad.

En particular la figura 83 ilustra un método para determinar una matriz de comprobación de paridad H de una tabla de valor inicial de matriz de comprobación de paridad.

Cabe notar que la tabla de valor inicial de matriz de comprobación de paridad de la figura 83 indica la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el DVB-S.2 estándar y que tiene una longitud de 16.200 código N bits y un índice de codificación de r 2/3 mostrado en la figura. 37.

[0428]

Como se describió anteriormente, la tabla de valor inicial de matriz de comprobación de paridad es una tabla que representa la posición de los elementos del valor 1 de una matriz de información H_A que corresponde a la longitud de la información K que corresponde a la longitud del código N y al índice de codificación r del código LDPC para cada 360 columnas (para cada número de columna unitaria P de la estructura cíclica), y en la primer fila de la tabla de valor inicial de matriz de comprobación de paridad, un números de filas de elementos del valor 1 en la columna 1 + 360 (i-1) -ésima de la matriz de comprobación de paridad H (números de las filas donde el número de fila de la primera fila de la matriz de comprobación de paridad H es 0) igual al número de peso de columna que tiene la columna 1 + 360 (i-1).

00 283

Aquí, se asume que la matriz de paridad H_T de la matriz de comprobación de paridad H que corresponde a la longitud de paridad M tiene una estructura escalonada y se determina por adelantado. De acuerdo con la tabla de valor inicial de matriz de comprobación de paridad, se determina la matriz de información H_A que corresponde a la longitud de información K de dentro de la matriz de comprobación de paridad H.

El número de fila k + 1 de la tabla de valor inicial de la matriz de comprobación de paridad difiere dependiendo de la longitud de información K.

La longitud información K y el número de fila k + 1 de la tabla de valor inicial de la matriz de comprobación de paridad satisface una relación dada por la siguiente expresión.

$$K = (k + 1) \times 360$$

Aquí, 360 en la expresión anterior es el número de columna unitaria P de la estructura cíclica.

En la tabla de valor inicial de la matriz de comprobación de paridad de la figura. se enumeran valores numéricos 13 en la primera a tercera fila y se enumeran tres valores numéricos en la cuarta fila a la fila para k +1 (en la figura 83, 30).

De acuerdo con lo anterior, el número de pesos columna en la matriz de comprobación de paridad H determinada por la tabla de valor inicial de la matriz de comprobación de la figura 83 es 13 en la primera fila a la fila 1 + 360 × (3-1) -1, pero es 3 en las filas 1 + 360 × (3-1) a las filas K.

La primer fila de la tabla de valor inicial de la matriz de comprobación de paridad de la figura 83 incluye 0, 2084, 1613, 1548, 1286, 1460, 3196, 4297, 2481, 3369, 3451, 4620 y 2622, y esto indica que en la primer columna de la matriz de comprobación de paridad H, los elementos en las filas de los números de la fila del 0, 2084, 1613, 1548, 1286, 1460, 3196, 4297, 2481, 3369, 3451, 4620 y 2622 tienen el valor 1 (y a pesar que los otros elementos tengan el valor 0).

Adicionalmente, la segunda fila de la tabla de valor inicial de la matriz de comprobación de paridad de la figura 83 incluye 1, 122, 1516, 3448, 2880, 1407, 1847, 3799, 3529, 373, 971, 4358 y 3108, y esto indica que, en la columna 361 (= 1 + 360 × (2-1)) de la matriz de comprobación de paridad H, los elementos en las filas de los números de fila de 1, 122, 1546, 3448, 2880, 1407, 1847, 3799, 3529, 373, 971, 4358 y 3108 tienen el valor 1.

Como se dió anteriormente, la tabla de valor inicial de la matriz de comprobación de paridad representa la posición de elementos del valor 1 de la matriz de información H_A de la matriz de comprobación de paridad H para cada 360 columnas.

Cada una de las columnas de la matriz de comprobación de paridad H diferente de la columna 1 + 360 × (i-1), esto es, cada una de las columnas de 2 × 360 (i-1) a columna 360 × i, incluye elementos del valor de 1 obtenidos al cambiar cíclicamente los elementos del valor de la 1 de la columna 1 + 360 x (i-1) que dependen de la tabla de valor inicial de la matriz de comprobación de paridad periódicamente en la dirección hacia abajo (en la dirección hacia abajo de la columna), de acuerdo con la longitud de paridad M.

En particular, por ejemplo, la columna 2 + 360 × (i-1) es una columna obtenida al cambiar cíclicamente la columna 1 + 360 × (i-1) en la dirección hacia abajo por M/360 (= q), y la siguiente 3 + 360 x (i-1) es una columna obtenida al cambiar cíclicamente la columna 1 + 360 × (i-1) en la dirección hacia abajo por 2 × M/360 (= 2 × q), y luego cambiar cíclicamente la columna cambiada cíclicamente (columna 2 + 360 (i-1) en la dirección hacia abajo por M/360 (= q).

Ahora, si se asume que el valor numérico en la columna j (j desde la izquierda) en la fila i ava (fila i ava dese arriba) de la tabla de valor inicial de la matriz de comprobación de paridad está representada por $b_{i,j}$, el número de fila del elemento j avo del valor 1 en la columna w de la matriz de comprobación de paridad H es representada por H_{wj}, entonces el número de fila H_{wj} del elemento del valor 1 en la columna w que es una columna diferente de la columna 1 + 360 × (i-1) de la matriz de comprobación de paridad H se puede determinar de acuerdo con la siguiente expresión.

$$H_{wj} = \text{mod}\ (h_{i,j} + \text{mod}\ ((w-1), P) \times q, M)$$

Aquí, mod (x, y) representa un residuo cuando x se divide por y.

Adicionalmente, P es el número unitario de columnas de la estructura cíclica descrita anteriormente y es, por ejemplo, en el DVB-S.2 estándar, 360. Adicionalmente, q es un valor M/360 obtenido al dividir la longitud M por la paridad unidad de la columna número P (= 360) de la estructura cíclica.

La sección de codificación LDPC 21 especifica el número de fila de los elementos del valor 1 en la columna 1 + 360 × (i-1) de la matriz de comprobación de paridad H de la tabla de valor inicial de la matriz de comprobación de paridad.

Adicionalmente, la sección de codificación LDPC 21 determina el número de fila H_{wj} del elemento del valor 1 en la columna w-ava que es una columna diferente de la columna 1 + 360 × (i-1) de la matriz de comprobación de paridad H y produce una matriz de comprobación de paridad H en el que los elementos de los números de fila obtenidos por lo anterior tienen el valor 1.

[0447]

Ahora, las variaciones de los métodos de remplazo de los bits de código de un código de LDPC en el proceso de remplazo mediante la sección de remplazo 32 del desmultiplexor 25 en el aparato de transmisión 11, esto es, se describen del patrón de asignación (denominado en adelante como patrón de asignación de bits) de los bits de código de un código de LDPC y los bits de símbolo representativo de un símbolo.

En el desmultiplexor 25, los bits de código de un código LDPC se escriben en la dirección de la memoria la columna 31, que almacena (N/(mb)) × (mb) bits en la dirección de columna × dirección de fila. Después, los bits de código se leen en una unidad de mb bits en la dirección de fila. Adicionalmente, en el desmultiplexor 25, la sección de remplazo 32 reemplaza los bits de código mb leídos en la dirección de fila de la memoria de 31 y determina los bits de código después de la sustitución como bits de símbolo mb b los símbolos b (sucesivos).

En particular, la sección de remplazo 32 determina el bit i + 1 desde el bit más significativo de los bits de código mb leídos en la dirección de fila de la memoria 31 bits como el bit de código b_i, y determina el bit i + 1 desde el bit más significativo desde los bits de símbolo mb de los símbolos b (sucesivos) como el bit de símbolo y_i, y, luego reemplaza los bits de código mb b_0 a $_{b-1}$ mb de acuerdo con un patrón de asignación de bits predeterminado.

muestra un ejemplo de un patrón de asignación de bits que pueden ser adoptadas cuando el código LDPC es un código LDPC cuya longitud de código N es 64.800 bits y cuyo índice de codificación es de 5/6 o 9/10 y a pesar que el método de modulación es 4096QAM y el múltiplo de b es 1.

Cuando el código LDPC es un código LDPC cuya longitud de código N es 64.800 bits y cuya índice de codificación es de 5/6 o 9/10 y a pesar que el método de modulación es 4096QAM y el múltiplo de b es 1, en el desmultiplexor 25, los bits de código escritos en la memoria 31 para almacenar (64.800/(12 × 1)) × (12 × 1) bits en la dirección de columna × la dirección de fila se leen en una unidad de 12 × 1 (=mb) bits en la dirección de fila y se suministra en la sección de remplazo 32.

La sección de remplazo 32 se reemplaza 12 × 1 (=mb) a_0 b_{11} de tal manera que los 12 × 1 (mb =) bits de código de a_0 a b_{11} a ser reemplazados de la memoria 31 se pueden asignar a los bits de símbolo 12 × 1 (= mb) y_0 a y_{11} de un símbolo (= b) como se ve en la figura 84.

En particular, de acuerdo con la figura 84, la sección de remplazo 32 lleva a cabo. con respecto a ambos de un código LDPC que tiene un índice de codificación de 5/6 y un código de LDPC que tiene un índice de codificación de 9/10 de entre los códigos LDPC que tiene una longitud del código N de 64.800 bits, el remplazo para asignar

el bit del código b_0 al bit de símbolo y_8,
el bit del código b_1 al bit de símbolo y_0,
el bit del código b_2 al bit de símbolo y_6,
el bit del código b_3 al bit de símbolo y_1,
el bit del código b_4 al bit de símbolo y_4,
el bit del código b_5 al bit de símbolo y_5,
el bit del código b_6 al bit de símbolo y_2,
el bit del código b_7 al bit de símbolo y_3,
el bit del código b_8 al bit de símbolo y_7,
el bit del código b_9 al bit de símbolo y_{10},
el bit del código b_{10} al bit de símbolo y_{11}, y
el bit del código b_{11} al bit de símbolo y_9.

La figura 85 muestra un ejemplo de un código de asignación de bits que se puede adoptar cuando el código LDPC es un código LDPC cuya longitud de código N es 64.800 bits y cuyo índice de codificación es 5/6 o 9/10 y además el método de modulación es 4096QAM y las múltiples b es 2.

Cuando el código LDPC es un código LDPC cuya longitud de código N es 64.800 bits y cuyo índice de codificación es de código de 5/6 o 9/10 y además el método de modulación es 4096QAM y las múltiples b es 2, en el desmultiplexor 25, los bits de código escritos en la memoria 31 para almacenar (64.800/(12 × 2)) × (12 × 2) bits en la dirección de columna × dirección de fila se leen en una unidad de 12 × 2 (mb =) bits en la dirección de fila y se suministran en la sección de remplazo de 32.

La sección de remplazo 32 reemplaza a 12 × dos (=mb) b_0 a b_{23} de tal manera que 12 × 2 (mb =) bits de código b_0 a b_{23} para ser leídos desde la memoria del 31 se pueden asignar a los 12 × 2 (= mb) y bits de símbolo b_0 a $_{23}$ y de dos símbolos sucesivos (= b) como se ve en la figura 85.

[0457]

En particular, de acuerdo a la figura 85, la sección de remplazo 32 lleva a cabo. con respecto a ambos de un código LDPC que tiene un índice de codificación de 5/6 y un código LDPC que tiene un índice de codificación de 9/10 de los códigos LDPC que tienen una longitud de código N de 64.800 bits, el remplazo para asignar

el bit de código b_0 al bit de símbolo y_8,
el bit de código b_2 al bit de símbolo $_0$,

el bit de código b_4 al bit de símbolo y_6,
el bit de código b_6 al bit de símbolo y_1,
el bit de código b_8 al bit de símbolo y_4,
el bit de código b_{10} al bit de símbolo y_5,
el bit de código b_{12} al bit de símbolo y_2,
el bit de código b_{14} al bit de símbolo y_3,
el bit de código b_{16} al bit de símbolo y_7,
el bit de código b_{18} al bit de símbolo y_{10},
el bit de código b_{20} al bit de símbolo y_{11},
el bit de código b_{22} al bit de símbolo y_9,
el bit de código b_1 al bit de símbolo y_{20},
el bit de código b_3 al bit de símbolo y_{12},
el bit de código b_5 al bit de símbolo y_{18},
el bit de código b_7 al bit de símbolo y_{13},
el bit de código b_9 al bit de símbolo y_{16},
el bit de código b_{11} al bit de símbolo y_{17},
el bit de código b_{13} al bit de símbolo y_{14},
el bit de código b_{15} al bit de símbolo y_{15},
el bit de código b_{17} al bit de símbolo y_{19},
el bit de código b_{19} al bit de símbolo y_{22},
el bit de código b_{21} al bit de símbolo y_{23}, y
el bit de código b_{23} al bit de símbolo y_{21}.

Aquí, el patrón de asignación de bits de la figura 85 utiliza el patrón de asignación de bits de la figura en donde el múltiplo b es uno sin ninguna modificación. En particular, la asignación de los bits de código b_0, b_2,..., b_{22} a los bits de símbolo y_i, y la asignación de la B_1, B_3,..., b_{23} a los bits de símbolo y_i son similares a la asignación de los bits de código de b_0 a b_{11} a los bits de símbolo b_1 de la figura 84.

La figura 86 muestra un ejemplo de un patrón de asignación de bits que se puede adoptar cuando el método de modulación es 1024QAM y el código LDPC es un código LDPC cuya longitud de código N es 16.200 bits y cuyo índice de codificación es de 3/4, 5/6 o 8/ 9 y adicionalmente el múltiplo de b es 2 y también cuando el método de modulación es 1024QAM y el código LDPC es un código LDPC cuya longitud de código N es 16.200 bits y cuyo índice de codificación es de 3/4, 5/6 o 9 /10 y adicionalmente el múltiplo de b es 2.

Cuando el código LDPC es un código LDPC cuya longitud de código N es 16.200 bits y cuyo índice de codificación es de 3/4, 5/6 o 8/9 y el método de modulación es 1024QAM y adicionalmente el múltiplo de b es 2, en el desmultipl xor 25, los bits de código escritos en la memoria 31 para almacenar (16.200/(10 × 2)) × (10 × 2) bits en la dirección de columna ×

00 288

dirección de fila se leen en una unidad de 10 × 2 (=mb) bits en la dirección de fila y se suministran a la sección de remplazo 32.

Por otra parte, cuando el código LDPC es un código LDPC cuya longitud de código N es 16.200 bits y cuyo índice de codificación es de 3/4, 5/6 o 9 /10 y el método de modulación es 1024QAM y adicionalmente el múltiplo de b es 2, en el desmultiplexor 25, los bits de código escritos en la memoria 31 para almacenar (64.800/(10 × 2)) × (10 × 2) bits en la dirección de columna × dirección de fila se leen en una unidad de 10 × 2 (= mb) bits en la dirección de fila y se suministran en la sección de remplazo 32.

La sección de remplazo 32 reemplaza 10 × 2 (mb =) bits de código b_0 a b_{19} de tal manera que 10 × 2 (mb =) bits de código b_0 a b_{19} a ser leído de la memoria 31 se pueden asignar a las 10 × 2 (= mb) y bits de símbolo y_0 a y_{19} de dos (= b) los símbolos sucesivos como se ve en la figura 86.

En particular, de acuerdo con la figura 86, la sección de remplazo 32 lleva a cabo. con respecto a todos los códigos LDPC que tienen un índice de codificación de 3/4, los códigos LDPC que tienen un índice de codificación de 5/6 y códigos LDPC que tienen un índice de codificación adicional de 8/9 de entre los códigos LDPC que tienen una longitud de código de 16.200 bits así como también códigos LDPC que tienen un índice de codificación de 3/4, los códigos LDPC que tienen un índice de codificación de 5/6 y códigos LDPC que tienen un índice de codificación adicional de 9/10 de entre los códigos LDPC que tienen otra longitud de código N 64.800, el remplazo para asignar

el bit de código b_0 al bit de símbolo y_8,
el bit de código b_1 al bit de símbolo y_3,
el bit de código b_2 al bit de símbolo y_7,
el bit de código b_3 al bit de símbolo y_{10},
el bit de código b_4 al bit de símbolo y_{19},
el bit de código b_5 al bit de símbolo y_4,
el bit de código b_6 al bit de símbolo y_9,
el bit de código b_7 al bit de símbolo y_5,
el bit de código b_8 al bit de símbolo y_{17},
el bit de código b_9 al bit de símbolo y_6,
el bit de código b_{10} al bit de símbolo y_{14},
el bit de código b_{11} al bit de símbolo y_{11},
el bit de código b_{12} al bit de símbolo y_2,
el bit de código b_{13} al bit de símbolo y_{18},
el bit de código b_{14} al bit de símbolo y_{16},
el bit de código b_{15} al bit de símbolo y_{15},
el bit de código b_{16} al bit de símbolo $_0$,

el bit de código b_4 al bit de símbolo y_{21},
el bit de código b_5 al bit de símbolo y_{16},
el bit de código b_6 al bit de símbolo y_{23},
el bit de código b_7 al bit de símbolo y_{18},
el bit de código b_8 al bit de símbolo y_{11},
el bit de código b_9 al bit de símbolo y_{14},
el bit de código b_{10} al bit de símbolo y_{22},
el bit de código b_{11} al bit de símbolo y_5,
el bit de código b_{12} al bit de símbolo y_6,
el bit de código b_{13} al bit de símbolo y_{17},
el bit de código b_{14} al bit de símbolo y_{13},
el bit de código b_{15} al bit de símbolo y_{20},
el bit de código b_{16} al bit de símbolo y_1,
el bit de código b_{17} al bit de símbolo y_3,
el bit de código b_{18} al bit de símbolo y_9,
el bit de código b_{19} al bit de símbolo y_2,
el bit de código b_{20} al bit de símbolo y_7,
el bit de código b_{21} al bit de símbolo y_8,
el bit de código b_{22} al bit de símbolo y_{12}, y
el bit de código y_{23} al bit de símbolo y_0.

De acuerdo con los patrones de asignación que se muestran en las figuras a 87, se pude adoptar el mimo patrón de asignación de bits para una pluralidad de clases de códigos LDPC, y adicionalmente, la tolerancia a los errores se puede fijar a un deseado con respecto a todas las clases de códigos LDPC.

En particular, las figuras 88 a 91 ilustran los resultados de las simulaciones del BER (Índice De Error De Bit) en donde se lleva a cabo un proceso de remplazo de acuerdo con los patrones de asignación de bits de las figuras 84 a 87.

[0471]

Cabe notar que, en las figuras 88 a 91, el eje de abscisas representa E_s/N_0 (relación de potencia de señal/a potencia de ruido por un símbolo) y el eje de ordenadas representa el BER.

Adicionalmente, una línea curva representa el REC de continua en donde se llevado a cabo el proceso de remplazo y una línea intermitente corta y larga alterna representa el BER cuando no se lleva a cabo un proceso de remplazo.

La figura 88 ilustra el BER cuando un proceso de remplazo de acuerdo con el patrón de asignación de bits de la figura se lleva a cabo para los códigos LDPC cuya longitud de código N

es 64.800, y cuyo índice de codificación es 5/6 y 9/10 adoptando 4096QAM como el método de modulación y fijando el múltiplo b a 1.

La figura 89 ilustra el BER en donde un proceso de remplazo de acuerdo con el patrón de asignación de bits de la figura 85 se lleva a cabo para los códigos LDPC cuyo longitud de código N es 64.800, y cuyo índice de codificación es 5/6 y 9/10 adoptando 4096QAM como método de modulación y fijando el múltiplo múltiples b a 2.

Cabe notar que, en las figuras 88 y 89, una gráfica que tiene una marca triangular a esta representa el BER con respecto al código LDPC que tiene un índice de codificación de 5/6, y una gráfica que tiene un asterisco aplicado a este que representa el BER con respecto al código LDPC que tiene el índice de codificación de 9/10.

[0476]

La figura 90 ilustra el BER en donde un proceso de remplazo de acuerdo con el patrón de asignación de bits de la figura 86 se lleva a cabo para códigos LDPC cuya longitud de código N es 16.200 y cuyo índice de codificación es 3/4, 5/6 y 8/9 y para códigos LDPC cuya longitud de código N es 64.800, y cuyo índice de codificación es 3/4, 5/6 y 9/10/adoptando 1024 QAM como el método de modulación y fijando el múltiplo b a 2.

abe notar que, en la figura una gráfica que tiene un asterisco aplicado a este representa el BER con respecto al código LDPC que tiene la longitud de código N de 64.800 y el índice de codificación de 9/10, y un gráfica que tiene una marca triangular dirigida hacia arriba aplicada a esta representa el BER con respecto a los códigos LDPC que tiene la longitud del código N de 64.800 y el índice de codificación de 5/6. Adicionalmente, un gráfica que tiene una marca de cuadrado aplicada a esta representa el BER con respecto al código LDPC que tiene la longitud del código N de 64.800 y el índice de codificación de 3/4.

Adicionalmente, en la figura 90, una gráfica que tiene una marca redonda aplicada a esta representa el BER con respecto al código LDPC que tiene la longitud del código de N 16.200 y el índice de codificación de 8/9, y un gráfica con una marca triangular dirigida a la baja que afectan a dichas representa el BER con respecto a la LDPC código que tiene la longitud del código N de 16.200 y el índice de codificación de 5/6. Adicionalmente, un gráfica que tiene una marca de mas aplicada a esta representa el BER con respecto al código LDPC que tiene la longitud del código N de 16.200 y el índice de codificación de 3/4.

La figura 91 ilustra el BER en donde un proceso de remplazo de acuerdo con el patrón de asignación de bits de la figura se lleva a cabo para códigos LDPC cuya longitud de código N es 16.200 y cuyo índice decodificación es 5/6 y 8 9/y para códigos LDPC cuya longitud de código N es 64.800 y cuyo índice de codificación es 5/6 y 9/10 adoptando como 4096 QAM como el método de modulación y fija el múltiplo b a 2.

00 292

Cabe notar que, en la figura 91, un gráfica que tiene un asterisco aplicado a esta representa el BER con respecto al código LDPC que tiene una longitud del código N de 64.800 y el índice de codificación de 9/10, y un gráfica que tiene una marca triangular dirigida hacia arriba aplicada a esta representa el BER con respecto a los códigos LDPC que tiene longitud de código N de 64.800 y el índice de codificación de 5/6.

Adicionalmente, en la figura una gráfica que tiene una marca redonda aplicada a esta representa el BER con respecto al código LDPC que tiene una longitud de código N de 16.200 y el índice de codificación de 8/9, y un gráfica con una marca triangular dirigida hacia abajo aplicada a esta representa el BER con respecto al código LDPC que tiene la longitud de código N de 16.200 y el índice de codificación de 5/6.

De acuerdo con las figuras 88 a 91, se puede adoptar el mismo patrón de asignación bits con respecto a una pluralidad de códigos LDPC. Adicionalmente, se puede fijar la tolerancia a errores a un nivel deseado con respecto a todas las clases de códigos LDPC.

En particular, cuando un patrón de asignación de bits para uso exclusivo se adopta para cada uno de una pluralidad de clases de códigos LDPC que tienen diferentes longitudes de código y diferentes índices de codificación, la tolerancia a un error se puede elevar a un alto nivel de desempeño. Sin embargo, es necesario cambiar el patrón de asignación de bits para cada uno de una pluralidad de códigos LDPC.

De otra parte, de acuerdo con la asignación con el patrón de asignación de bits e las figuras 48 a 87, se puede adoptar el mismo patrón de asignación de bits para una pluralidad de clases de códigos LDPC que tienen diferentes longitudes de código y diferentes índices de codificación , y la necesidad de cambiar el patrón de asignación de bits para cada uno de una pluralidad de clases de códigos LDPC como en un caso en donde el patrón de asignación para uso exclusivo se adopta para cada uno de una pluralidad de clases de códigos LDPC que se elimina.

[0485]

Adicionalmente, de acuerdo con los patrones de asignación de bits de las figuras 84 a 87, los errores de tolerancia se pueden elevar a un alto nivel aunque es un poco menor que aquel en donde un patrón de asignación de bits para uso exclusivo se adopta para cada una de una pluralidad de clases de códigos LDPC.

[0486]

En particular, por ejemplo, cuando el núcleo de modulación es 4096 QAM, el mismo patrón de asignación de bits en la figura 84 o 85 se puede utilizar para todos los códigos LDPC que tienen la longitud de código N de 64.800 y el índice de codificación de 5/6 y 9/10. Aun

cuando el mismo patrón de asignación de bits se adopta de esta manera, se puede elevar la tolerancia a errores a un alto nivel.

[0487]

Adicionalmente, por ejemplo, cuando el método de modulación es 1024 QAM, el mismo patrón de asignación de bits de la figura 83 se puede adoptar para todos los códigos LDPC que tienen la longitud del código N de 16.200 y el índice de codificación de 3/4, 5/6 y 8 y 9 y los códigos LDPC que tienen la longitud del código N de 64.800 y el índice de codificación de 3/4, 5/6 y 9/10. Entonces, aun si se adopta el mismo patrón de asignación de bits de esta manera, se puede elevar la tolerancia a errores a un alto nivel.

[0488]

Adicionalmente, por ejemplo, cuando el método de modulación es 4096 QAM, el mismo patrón de asignación de bits de la figura 87 se puede adoptar para todos los códigos LDPC que tienen la longitud del código N de 16.200 y el índice de codificación de 5/6 y 8/9 y los códigos LDPC que tienen la longitud de código N de 64.800 y el índice de codificación de 5/6 y 9/10. Entonces, aun si se adopta el mismo patrón de asignación de bits de esta manera, se puede elevar la tolerancia a errores a un nivel alto.

[0489]

Se describen adicionalmente variaciones del patrón de asignación de bits.

[0490]

La figura 92 ilustra un ejemplo de un patrón de asignación de bits que se puede adoptar cuando el código de LDPC es cualquier código LDPC que tiene la longitud del código N de 16.200 o 64.800 bits y uno de los índices de codificación para el código LDPC definido por una matriz de comprobación de paridad H producido, por ejemplo, de cualquiera de las tablas de valor inicial de matriz de comprobación de paridad mostradas en las figuras 37 a 82 que diferentes del índice codificación de 3/5 y Adicional al método de modulación que es QPSK y el múltiplo b es 1.

[0491]

Cuando el código LDPC es un código de LDPC que tiene la longitud de código N de 16.200 o 64.800 bits y tiene el índice de codificación diferente de 3/5 y adicionalmente el método de modulación QPSK y el múltiplo b es 1, el desmultiplexor 25 lee los bits de código escritos en la memoria 31 para almacenar (N/(2 × 1)) × (2 × 1) bits en la dirección de columna x de dirección de fila en una unidad de 2 × 1 (= mb) bits en la dirección de fila y suministra los bits de código de lectura a la sección de remplazo 32.

[0492]

La sección de remplazo 32 reemplaza 2 × 1 (= mb) bits de código b_0 a b_1 leídos desde la memoria 31 de tal una forma que los bits de código 2 × 1 (= mb) b_0 y b_1 se asignan a los bits de símbolo 2 × 1 (= mb) y_0 y y_1 de un símbolo (= b) como se ve en la figura 92.

[0493]

En particular, de acuerdo con la figura 92, la sección de remplazo 32 lleva a cabo el remplazo para asignar el bit de código de b_0 al bit de símbolo y_0 y aparte el código b_1 al bit de código y_1.

[0494]

Cabe notar que, en este caso, también es posible considerar que el remplazo no se lleva a cabo y los bits de código b_0 y b_1 se determinan ya que ellos son los bits de símbolo y_0 y y_1, respectivamente.

[0495]

La figura 93 muestra un ejemplo de un patrón de asignación de bits que se puede adoptar cuando el código LDPC es un código LDPC que tiene la longitud de código N de 16.200 o 64.800 bits y tiene un índice de codificación diferente de 3/5 y adicionalmente el método de modulación es 16 QAM y el múltiplo b es 2.

[0496]

Cuando el código LDPC es un código LDPC que tiene la misma longitud del código N de 16.200 o 64.800 bits y tiene un índice de codificación diferente 3/5 y adicionalmente el método de modulación 16 QAM y el múltiplo b es 2, el desmultiplexor 25 lee los bits de códigos escritos en la memoria 31 para almacenar (N/(4 × 2)) × (4 × 2) bits en la dirección de columna × la dirección de fila en una unidad de 4 × 2 (= mb) bits en la dirección de fila y suministra los bits de código de lectura a la sección de remplazo 32.

[0497]

La sección de remplazo 32 reemplaza 4 × 2 (= mb) bits de Código b_0 a b_7 leídos desde la memoria del 31 en tal un forma que 4 × 2 (= mb) bits de Código se asignan a 4 × 2 (= mb) bits de símbolo y_0 a y_7 de dos (= b) símbolos sucesivos como se ve en la figura 93.

[0498]

En particular, de acuerdo con la figura 93, la sección de remplazo 32 lleva a cabo el remplazo para asignar

el bit de código b_0 al bit de símbolo y_7,

el bit de código b_1 al bit de símbolo y_1,

el bit de código b_2 al bit de símbolo y_4,

el bit de código b_3 al bit de símbolo y_2,

00 295

el bit de código b_4 al bit de símbolo y_5,
el bit de código b_5 al bit de símbolo y_3,
el bit de código b_6 al bit de símbolo y_6, y
el bit de código b_7 al bit de símbolo y_0.

[0499]

La figura 94 muestra un ejemplo de un patrón de asignación de bits que se puede adoptar cuando el método de modulación 64 QAM y el código LDPC es un código LDPC cuya longitud de código N es 16.200 o 64.800 bits y cuyo índice de codificación es cualquiera diferente de 3/5 y adicionalmente el múltiplo b es 2.

[0500]

Cuando el código LDPC es un código LDPC cuya longitud de código N es 16.200 o 64.800 bits y cuyo índice de codificación cualquier otro diferente de 3/5 y el método de modulación es 64 QAM y adicionalmente el múltiplo b es 2, en el desmultiplexor 25, los bits de código escritos en la memoria 31 para almacenar (N/(6 × 2)) × (6 × 2) bits en la dirección de columna × de dirección de fila se leen en una unidad de 6 × 2 (= mb) bits en la dirección de fila y suministran a la sección de remplazo de 32.

[0501]

La sección de remplazo 32 reemplaza los 6 × 2 (= mb) bit de código b_0 a b_{11} leídos desde la memoria 31 de tal manera que los 6 × 2 (= mb) bits de código b_0 a b_{11} se pueden asignar a los 6 × 2 (= mb) bits de símbolo y_0 a y_{11} de dos (= b) símbolos sucesivos como se ve en la figura 94.

[0502]

En particular, de acuerdo con la figura 94, la sección de remplazo 32 lleva a cabo el remplazo para asignar

El bit de código b_0 al bit de símbolo y_{11},
el bit de código b_1 al bit de símbolo y_7,
el bit de código b_2 al bit de símbolo y_3,
el bit de código b_3 al bit de símbolo y_{10},
el bit de código b_4 al bit de símbolo y_6,
el bit de código b_5 al bit de símbolo y_2,
el bit de código b_6 al bit de símbolo y_9,
el bit de código b_7 al bit de símbolo y_5,
El bit de código b_8 al bit de símbolo y_1,
el bit de código b_9 al bit de símbolo y_8,
el bit de código b_{10} al bit de símbolo y_4, y
El bit de código b_{11} al bit de símbolo y_0.

[0503]

La figura 95 muestra un ejemplo de un patrón de asignación de bit que se puede adoptar cuando el método de modulación es 256 QAM y el código LDPC es un código LDPC cuya longitud de código N es 64800 bits y cuyo índice de codificación es cualquiera diferente de 3/5 y adicionalmente el múltiplo b es 2.

[0504]

Cuando el código LDPC es un código LDPC cuya longitud de código N es 64800 bits y cuyo índice de codificación es cualquiera diferente de 3/5 y el método de modulación es 256 QAM y adicionalmente el múltiplo b es 2, en el desmultiplexor 25, los bits almacenados en la memoria 31 para almacenar (64,800/(8 × 2)) × (8 × 2) bits en la dirección de columna x la dirección de fila se leen en una unidad de (8 × 2) bits en la dirección de fila y se suministran a la sección de remplazo 32.

[0505]

La sección de remplazo 32 reemplaza los 8 × 2 (= mb) bits de código b_0 a b_{15} leídos desde la memoria 31 de tal manera que los 8 × 2 (= mb) bits de código b_0 a b_{15} se pueden signar a los 8 × 2 (= mb) bits de símbolo y_0 a y_{15} de dos (= b) símbolos sucesivos como se ve en la figura 95.

[0506]

En particular, de acuerdo con la figura 95, la sección de remplazo 32 lleva a cabo el remplazo para asignar

el bit de código b_0 al bit de símbolo y_{15},
el bit de código b_1 al bit de símbolo y_1,
el bit de código b_2 al bit de símbolo y_{13},
el bit de código b_3 al bit de símbolo y_3,
el bit de código b_4 al bit de símbolo y_8,
el bit de código b_5 al bit de símbolo y_{11},
el bit de código b_6 al bit de símbolo y_9,
el bit de código b_7 al bit de símbolo y_5,
el bit de código b_8 al bit de símbolo y_{10},
el bit de código b_9 al bit de símbolo y_6,
el bit de código b_{10} al bit de símbolo y_4,
el bit de código b_{11} al bit de símbolo y_7,
el bit de código b_{12} al bit de símbolo y_{12},
el bit de código b_{13} al bit de símbolo y_2,
el bit de código b_{14} al bit de símboloy$_{14}$, y
el bit de código b_{15} al bit de símbolo y_0.

[0507]

La figura 96 muestra un ejemplo de un patrón de asignación de bit que puede ser adoptado en cuyo el método de modulación es de 256QAM y el código LDPC es un código LDPC cuya longitud de código es N 16,200 bits y es cualquiera diferente de 3/5 y adicionalmente el múltiplo b es 1.

[0508]

Cuyo el código LDPC es un código LDPC cuya longitud de código N es 16,200 bits y cuyo índice de codificación es cualquiera diferente de 3/5 y el método de modulación es 256QAM y adicionalmente el múltiplo b es 1, en el desmultiplexor 25, los bits de código escritos en la memoria 31 para almacenar (16,200/(8 × 1)) × (8 × 1) bits en la dirección de columna× dirección de fila son leen en una unidad de 8 × 1 (= mb) bits en la dirección de fila y suministra a la sección de remplazo 32.

[0509]

La sección de remplazo 32 reemplaza los 8 × 1 (= mb) bits de código b_0 a b_7 leídos desde la memoria 31 de tal manera que 8 × 1 (= mb) bits de código b_0 a b_7 se pueden asignar a los 8 × 1 (= mb) bits de símbolo y_0 a y_7 de un (= b) símbolo como se ve en la figura 96.

[0510]

En particular, de acuerdo con la figura 96, la sección de remplazo 32 lleva a cabo el remplazo para asignar

el bit de código b_0 al bit de símbolo y_7,
el bit de código b_1 al bit de símbolo y_3,
el bit de código b_2 al bit de símbolo y_1,
el bit de código b_3 al bit de símbolo y_5,
el bit de código b_4 al bit de símbolo y_2,
el bit de código b_5 al bit de símbolo y_6,
el bit de código b_6 al bit de símbolo y_4, y
el bit de código b_7 al bit de símbolo y_0.

[0511]

La figura 97 muestra un ejemplo de un patrón de asignación de bit que puede ser adoptado cuyo el código LDPC es un código LDPC cuya longitud de código N es 16,200 o 64,800 bits y cuyo índice de codificación es diferente de 3/5 y adicionalmente el método de modulación es QPSK y el múltiplo b es 1.

[0512]

00 298

Cuyo el código LDPC es un código LDPC cuya longitud de código N es 16,200 o 64,800 bits y cuyo índice de codificación es cualquiera diferente de 3/5 y adicionalmente el método de modulación es QPSK y el múltiplo b es 1, en el desmultiplexor 25, los bits de código escritos en la memoria 31 para almacenar(N/(2 × 1)) × (2 × 1) bits en la dirección de columna× dirección de fila are son leídos en una unidad de 2 × 1 (= mb) bits en la dirección de fila y suministran a la sección de remplazo 32.

[0513]

La sección de remplazo 32 reemplaza los 2 × 1 (= mb) bits de código b_0 y b_1 leídos desde la memoria 31 de tal manera que los 2 × 1 (= mb) bits de código b_0 y b_1 se pueden asignar a los 2 × 1 (= mb) bits de símbolo y_0 y y_1 de un (= b) símbolo como se ve en la figura 97.

[0514]

En particular, de acuerdo con la figura 97, la sección de remplazo 32 lleva a cabo el remplazo para asignar

el bit de código b_0 al bit de símbolo y_0, y

el bit de código b_1 al bit de símbolo y_2.

[0515]

Cabe notar que, en este caso, también es posible considerar que el remplazo no se lleva a cabo y se determinan los bits de código b_0 y b_1 ya que ellos son los bits de símbolo y_0 y y_1, respectivamente.

[0516]

La figura 98 muestra un ejemplo de un patrón de asignación de bit que puede ser adoptado cuyo el código LDPC es un Código LDPC cuya longitud de código N es 64,800 bits y cuyo índice de codificación es 3/5 y adicionalmente el método de modulación es 16QAM y el múltiplo b es 2.

[0517]

Cuyo el código LDPC es un código LDPC cuya longitud de código N es 64,800 bits y cuyo índice de codificación es 3/5 y adicionalmente el método de modulación es 16QAM y el múltiplo b es 2, en el desmultiplexor 25, los bits de código escritos en la memoria 31 para almacenar(64,800/(4 × 2)) × (4 × 2) bits en la dirección de columna× dirección de fila son leídos en una unidad de 4 × 2 (= mb) bits in la dirección de fila y suministran a la sección de remplazo 32.

[0518]

La sección de remplazo 32 reemplaza los 4 × 2 (= mb) bits de código b_0 a b_7 leídos desde la memoria 31 de tal manera que los 4 × 2 (= mb) bits de código b_0 a b_7 se pueden

00 299

asignar a los 4 × 2 (= mb) bits de símbolo y_0 a y_7 de dos (= b) símbolos sucesivos como se ve en la figura 98.

[0519]

En particular, de acuerdo con la figura 98, la sección de remplazo 32 lleva a cabo el remplazo para asignar

el bit de código b_0 al bit de símbolo y_0,

el bit de código b_1 al bit de símbolo y_5,

el bit de código b_2 al bit de símbolo y_1,

el bit de código b_3 al bit de símbolo y_2,

el bit de código b_4 al bit de símbolo y_4,

el bit de código b_5 al bit de símbolo y_7,

el bit de código b_6 al bit de símbolo y_3, y

el bit de código b_7 al bit de símbolo y_6.

[0520]

La figura 99 muestra un ejemplo de un patrón de asignación de bit que puede ser adoptado cuyo el código LDPC es un código LDPC cuya longitud de código N es 16,200 bits y cuyo índice de codificación es 3/5 y adicionalmente el método de modulación es 16QAM y el múltiplo b es 2.

[0521]

Cuyo el código LDPC es un código LDPC cuya longitud de código N es 64,800 bits y cuyo índice de codificación es 3/5 y adicionalmente el método de modulación es 16QAM y el múltiplo b es 2, en el desmultiplexor 25, los bits de código escritos en la memoria 31 para almacenar (16,200/(4 × 2)) × (4 × 2) bits en la columna de dirección × dirección de fila son leídas en una unidad de 4 × 2 (= mb) bits en la dirección de fila y suministran a la sección de remplazo 32.

[0522]

La sección de remplazo 32 reemplaza los 4 × 2 (= mb) bits de código b_0 a b_7 leídos desde la memoria 31 que los 4 × 2 (= mb) bits de código b_0 a b_7 se pueden asignar a los 4 × 2 (= mb) bits de símbolo y_0 a y_7 de dos (= b) símbolos sucesivos como se ve en la figura 99.

[0523]

En particular, de acuerdo con la figura 99, la sección de remplazo 32 lleva a cabo el remplazo para asignar

el bit de código b_0 al bit de símbolo y_7,

el bit de código b_1 al bit de símbolo y_1,

el bit de código b_2 al bit de símbolo y_4,

el bit de código b_3 al bit de símbolo y_2,

el bit de código b_4 al bit de símbolo y_5,

el bit de código b_5 al bit de símbolo y_3,

el bit de código b_6 al bit de símbolo y_6, y

el bit de código b_7 al bit de símbolo y_0.

[0524]

La figura 100 muestra un ejemplo de un patrón de asignación de bits que se puede adoptar cuando el método de modulación es 64QAM y el código LDPC es un código LDPC cuya longitud de código N es 64,800 bits y cuyo índice de codificación es 3/5 y adicionalmente el múltiplo b es 2.

[0525]

Cuando el código LDPC es un código LDPC cuya longitud de código N es 64,800 bits y cuyo índice de codificación es 3/5 y el método de modulación es 64QAM y adicionalmente el múltiplo b es 2, en el desmultiplexor 25, los bits de código escritos en la memoria 31 para almacenar (64,800/(6 × 2)) × (6 × 2) bits en la columna de dirección × dirección de fila son leídas en una unidad de 6 × 2 (= mb) bits in la dirección de fila y suministran a la sección de remplazo 32.

[0526]

La sección de remplazo 32 remplaza los 6 × 2 (= mb) bits de código b_0 a b_{11} leídas desde la memoria 31 de tal manera que los 6 × 2 (= mb) bits de código b_0 a b_{11} se pueden asignar a los 6 × 2 (= mb) bits de símbolo y_0 a y_{11} de dos (= b) símbolos sucesivos como se ve en la figura 100.

[0527]

En particular, de acuerdo con la figura 100, la sección de remplazo 32 lleva a cabo el remplazo para asignar

el bit de código b_0 al bit de símbolo y_2,

el bit de código b_1 al bit de símbolo y_7,

el bit de código b_2 al bit de símbolo y_6,

el bit de código b_3 al bit de símbolo y_9,

el bit de código b_4 al bit de símbolo y_0,

el bit de código b_5 al bit de símbolo y_3,

el bit de código b_6 al bit de símbolo y_1,

el bit de código b_7 al bit de símbolo y_8,

el bit de código b_8 al bit de símbolo y_4,

el bit de código b_9 al bit de símbolo y_{11},

el bit de código b_{10} al bit de símbolo y_5, y

el bit de código b_{11} al bit de símbolo y_{10}.

00 301

[0528]

La figura 101 muestra un ejemplo de un patrón de asignación de bits que puede adoptarse cuando el método de modulación es 64QAM y el código LDPC es un código LDPC cuya longitud de código N es 16,200 bits y cuyo índice de codificación es 3/5 y adicionalmente el múltiplo b es 2.

[0529]

cuando el código LDPC es un código LDPC cuya longitud de código N es 16,200 bits y cuyo índice de codificación es 3/5 y el método de modulación es 64QAM y adicionalmente el múltiplo b es 2, en el desmultiplexor 25, los bits de código escritos en la memoria 31 para almacenar (16,200/(6 × 2)) × (6 × 2) bits en la columna de dirección × dirección de fila son leídas en una unidad de 6 × 2 (= mb) bits en la dirección de fila y suministran a la sección de remplazo 32.

[0530]

La sección de remplazo 32 remplaza los 6 × 2 (= mb) bits de código b_0 a b_{11} leídas desde la memoria 31 de tal manera que los 6 × 2 (= mb) bits de código b_0 a b_{11} se pueden asignar a los 6 × 2 (= mb) bits de símbolo y_0 a y_{11} de dos (= b) símbolos sucesivos como se ve en FIG. 101.

[0531]

En particular, de acuerdo con la figura 101, la sección de remplazo 32 lleva a cabo el remplazo para asignar

el bit de código b_0 al bit de símbolo y_{11},
el bit de código b_1 al bit de símbolo y_7,
el bit de código b_2 al bit de símbolo y_3,
el bit de código b_3 al bit de símbolo y_{10},
el bit de código b_4 al bit de símbolo y_6,
el bit de código b_5 al bit de símbolo y_2,
el bit de código b_6 al bit de símbolo y_9,
el bit de código b_7 al bit de símbolo y_5,
el bit de código b_8 al bit de símbolo y_1,
el bit de código b_9 al bit de símbolo y_8,
el bit de código b_{10} al bit de símbolo y_4, y
el bit de código b_{11} al bit de símbolo y_0.

[0532]

La figura 102 muestra un ejemplo de un patrón de asignación de bits que puede adoptarse cuando el método de modulación es 256QAM y el código LDPC es un código LDPC

00 302

cuya longitud de código N es 64,800 bits y cuyo índice de codificación es 3/5 y adicionalmente el múltiplo b es 2.

[0533]

Cuando el código LDPC es un código LDPC cuya longitud de código N es 64,800 bits y cuyo el índice de codificación es 3/5 y el método de modulación es 256QAM y adicionalmente el múltiplo b es 2, en el desmultiplexor 25, los códigos de bits escritos la memoria 31 para almacenar (64,800/(8 × 2)) × (8 × 2) bits en la dirección de columna × dirección de fila se leen en una unidad de 8 × 2 (= mb) bits en la dirección de fila y se suministran a la sección de remplazo 32.

[0534]

La sección de remplazo 32 remplaza los 8 × 2 (= mb) bits de código b_0 a b_{15} leído desde la memoria 31 de tal manera que los 8 × 2 (= mb) bits de código b_0 a b_{15} se puede asignar a los 8 × 2 (= mb) bits de símbolo y_0 a y_{15} de dos (= b) símbolos sucesivos como se ve en la FIG. 102.

[0535]

En particular, de acuerdo con la FIG. 102, la sección de remplazo 32 lleva a cabo remplazo para asignar

el bit de código b_0 al bit de símbolo y_2,
el bit de código b_1 al bit de símbolo y_{11},
el bit de código b_2 al bit de símbolo y_3,
el bit de código b_3 al bit de símbolo y_4,
el bit de código b_4 al bit de símbolo y_0,
el bit de código b_5 al bit de símbolo y_9,
el bit de código b_6 al bit de símbolo y_1,
el bit de código b_7 al bit de símbolo y_8,
el bit de código b_8 al bit de símbolo y_{10},
el bit de código b_9 al bit de símbolo y_{13},
el bit de código b_{10} al bit de símbolo y_7,
el bit de código b_{11} al bit de símbolo y_{14},
el bit de código b_{12} al bit de símbolo y_6,
el bit de código b_{13} al bit de símbolo y_{15},
el bit de código b_{14} al bit de símbolo y_5, y
el bit de código b_{15} al bit de símbolo y_{12}.

[0536]

Las FIG. 103 muestra en ejemplo de un patrón de asignación de bit que se puede adaptar cuando el método de modulación es 256QAM y el código LDPC es un código LDPC

00 303

cuya longitud de código N es 16,200 bits y cuyo el índice de codificación es 3/5 y adicionalmente el múltiplo b es 1.

[0537]

Cuando el código LDPC es un código LDPC cuya longitud de código N es 16,200 bits y cuyo el índice de codificación es 3/5 y el método de modulación es 256QAM y adicionalmente el múltiplo b es 1, en el desmultiplexor 25, los códigos de bits escritos en la memoria 31 para almacenar (16,200/(8 × 1)) × (8 × 1) bits en la dirección de columna × dirección de fila se leen en una unidad de 8 × 1 (= mb) bits en la dirección de fila y se suministran a la sección de remplazo 32.

[0538]

La sección de remplazo 32 remplaza los 8 × 1 (= mb) bits de código b_0 a b_7 leído desde la memoria 31 de tal manera que los 8 × 1 (= mb) bits de código b_0 a b_7 se puede asignar a los 8 × 1 (= mb) bits de símbolo y_0 a y_7 de una (= b) símbolo como se ve en la FIG. 103.

[0539]

En particular, de acuerdo con FIG. 103, la sección de remplazo 32 lleva a cabo remplazo para asignar

El bit de código b_0 al bit de símbolo y_7,
El bit de código b_1 al bit de símbolo y_3,
El bit de código b_2 al bit de símbolo y_1,
El bit de código b_3 al bit de símbolo y_5,
El bit de código b_4 al bit de símbolo y_2,
El bit de código b_5 al bit de símbolo y_6,
El bit de código b_6 al bit de símbolo y_4, y
El bit de código b_7 al bit de símbolo y_0.

[0540]

Ahora, se describe el desintercalador 53 que compone el aparato de recepción 12.

[0541]

FIG. 104 es una vista que ilustra el procesamiento del multiplexor 54 que compone el desintercalador 53.

[0542]

En particular, a de la FIG. 104 muestra en ejemplo de una configuración funcional del multiplexor 54.

[0543]

El multiplexor 54 está compuesta de sección de remplazo inversa 1001 y una memoria 1002.

[0544]

El multiplexor 54 determina los bits de símbolo suministrados desde la sección de desmapeo 52 en la etapa precedente como un objeto de procesamiento del mismo y lleva a cabo un proceso de remplazo inverso que corresponde proceso de remplazo llevada a cabo por el desmultiplexor 25 al aparato de transmisión 11 (proceso *inverso al* proceso de remplazo), que es, un proceso de remplazo inverso que regresa las posiciones de los bits de código (bits de símbolo) del código LDPC remplazados por el proceso de remplazo. Luego, El multiplexor 54 suministra un código LDPC obtenido como un resultado del proceso de remplazo inverso al desintercalador de giro de columna 55 en la etapa siguiente.

[0545]

En particular, en el multiplexor 54, los bits de símbolo mb y_0, y_1, ..., y_{mb-1} de b símbolos se suministran en una unidad de b símbolos (sucesivos) a la sección de remplazo inversa 1001.

[0546]

La sección de remplazo inversa 1001 lleva a cabo el remplazo inverso de regresa la disposición de los bits de símbolo mb y_0 a y_{mb-1} a la disposición original de los bits de código mb b_0, b_1, ..., b_{mb-1} (se lleva a cabo disposición de los bits de código b_0 a b_{mb-1} antes del remplazo mediante la sección de remplazo 32 que compone el desmultiplexor 25 en el aparato de transmisión 11 lateral). La sección de remplazo inversa 1001 genera los bits de código b_0 a b_{mb-1} obtenido como un resultado del remplazo inverso.

[0547]

La memoria 1002 tiene una capacidad de almacenamiento para almacenar mb bits en la dirección de fila (horizontal) y almacenar N/(mb) bits en la dirección de columna (vertical) de manera similar a la memoria 31 que compone el desmultiplexor 25 del aparato de transmisión 11 lateral . En otras palabras, la sección de remplazo inversa 1001 se configura de las columnas mb cada una de las cuales almacena N/(mb) bits.

[0548]

Sin embargo, en la memoria 1002, la escritura de los bits de código de los código LDPC generados de la sección de remplazo inversa 1001 se lleva a cabo en una dirección en la que la lectura de los bits de código de la memoria 31 del desmultiplexor 25 del aparato de transmisión 11 se lleva a cabo. y la lectura de bits de código escritos en la memoria 1002 se lleva a cabo en una dirección en la que se lleva a cabo la escritura de bits de código en la memoria 31.

[0549]

En particular, El multiplexor 54 del aparato de recepción 12 lleva a cabo sucesivamente la escritura de bits de código de un código LDPC generados de la sección de remplazo inversa 1001 en una unidad de mb bits en la dirección de fila que empiezan con la primera fila de la memoria 1002 hacia una más baja como se ve en A de la FIG. 104.

[0550]

Luego, cuando finaliza la escritura de bits de código para una longitud de código, El multiplexor 54 lee los bits de códigos en la dirección de columna de la memoria 1002 y suministra los bits de códigos al desintercalador de giro de columna 55 en la etapa siguiente.

[0551]

Aquí, B de la FIG. 104 es una vista que ilustra la lectura de los bits de código de la memoria 1002.

[0552]

El multiplexor 54 lleva a cabo la lectura de los bits de código de un código LDPC en una dirección hacia adelante (dirección de columna) de lo anterior de una columna que compone la memoria 1002 que empieza con una columna más a la izquierda hacia una columna hacia la derecha.

[0553]

Ahora, el procesamiento del desintercalador de giro de columna 55 que compone el desintercalador 53 del aparato de recepción 12 se describe con referencia a la FIG. 105.

[0554]

FIG. 105 muestra en ejemplo de una configuración de la memoria 1002 del multiplexor 54.

[0555]

La memoria 1002 tiene una capacidad de almacenamiento para almacenar mb bits en la dirección de columna (vertical) y almacena N/(mb) bits en la dirección de fila (horizontal) y está compuesta de mb columnas.

[0556]

El desintercalador de giro de columna 55 escribe bits de código de un código LDPC en la dirección de fila en la memoria 1002 y controla la posición en la que la lectura se inicia cuando se leen los bits de código en la dirección de columna para llevar a cabo el desintercalado de giro de columna.

[0557]

60 306

En particular, el desintercalador de giro de columna 55 lleva a cabo un proceso de re-disposición inverso para cambiar adecuadamente la posición de partida de lectura en la que la lectura del código de bits con respecto a cada de una pluralidad de columnas se inicia para regresar la disposición de bits de código re-dispuesto por el intercalado de giro de columna a la disposición original.

[0558]

Aquí, FIG. 105 muestra en ejemplo de una configuración de la memoria 1002 en donde el método de modulación es 16QAM y el múltiplo b es 1. De acuerdo con lo anterior, el número de bit m de un símbolo es 4 bits, y la memoria 1002 incluye cuatro columnas (= mb).

[0559]

El desintercalador de giro de columna 55 lleva a cabo (en el lugar del multiplexor 54), la escritura de bits de código de un código LDPC generados de la sección de remplazo 1001 en la dirección de fila sucesivamente en la memoria 1002 que empiezan con la primer fila hacia la fila más baja.

[0560]

Luego, Si finaliza la escritura de bits de código para una longitud de código, entonces el desintercalador de giro de columna 55 lleva a cabo la lectura de los bits de código en la dirección hacia abajo (dirección de columna) desde la parte superior de la memoria 1002 que comienza con una columna mas a la izquierda hacia una columna hacia la derecha.

[0561]

Sin embargo, el desintercalador de giro de columna 55 lleva a cabo la lectura de los bits de código de la memoria 1002 que determinan la posición de partida de escritura luego de la escritura de los bits de código mediante el intercalado de giro de columna 24 en el aparato de transmisión 11 lateral a una posición de partida de escritura de los bits de código.

[0562]

En particular, Si la dirección de la posición de la parte superior de cada columna se determina como 0 y la dirección de cada posición en la dirección de columna se representa por un entero dado en orden ascendente, entonces cuando el método de modulación es 16QAM y el múltiplo b es 1, el desintercalador de giro de columna 55 fija la posición de partida de lectura para la columna mas izquierda a la posición cuya dirección es 0, fija la posición de partida de lectura para la segunda columna (desde la izquierda) a la posición cuya dirección es 2, fija la posición de partida de lectura para la tercer columna a la posición cuya dirección es 4, y fija la posición de partida de lectura para la cuarta columna a la posición cuya dirección es 7.

[0563]

Cabe notar que, con respecto a cada de una de aquellas columnas cuya posición de partida de lectura tiene una dirección diferente de 0, la lectura de los bits de código se lleva a cabo de tal manera que, después de que se lleva a cabo tal lectura abajo a la posición más baja, se regresa a la posición de lectura a la parte superior (posición cuya dirección es 0) de la columna y la lectura se lleva a cabo hacia abajo a la posición inmediatamente precedente a la posición de partida de lectura. Luego, después esto, se lleva a cabo la lectura desde la siguiente columna (derecha).

[0564]

Al llevar a cabo tal intercalado de giro de columna como se describió anteriormente, la disposición de los bits de código re-dispuesto por el intercalado de giro de columna se regresa a la disposición original.

[0565]

La FIG. 106 es un diagrama de bloques que muestra otro ejemplo de la configuración del aparato de recepción 12.

[0566]

Con referencia a la FIG. 106, el aparato de recepción 12 es un aparato de procesamiento de datos el procesamiento que recibe una señal de modulación del aparato de transmisión 11 e incluye una sección de demodulación ortogonal 51, una sección de desmapeo 52, un desintercalador 53 y una sección de codificación LDPC 1021.

[0567]

La sección de demodulación ortogonal 51 recibe una señal de modulación del aparato de transmisión 11, lleva a cabo demodulación ortogonal y suministra símbolos (valores en las direcciones de los ejes I y Q) obtenido como un resultado de demodulación ortogonal a la sección de desmapeo 52.

[0568]

La sección de desmapeo 52 lleva a cabo el desmapeo de la conversión de los símbolos de la sección de demodulación ortogonal 51 en los bits de código de un código LDPC y suministra los bits de códigos al desintercalador 53.

[0569]

El desintercalador 53 incluye un multiplexor (MUX) 54, un desintercalador de giro de columna 55 y un desintercalador de paridad 1011 y lleva a cabo desintercalado de los bits de código del código LDPC de la sección de desmapeo 52.

[0570]

En particular, El multiplexor 54 determina un código LDPC de la sección de desmapeo 52 como un objeto del procesamiento del mismo y lleva a cabo un proceso de remplazo inverso que corresponde al proceso de remplazo llevado a cabo por el desmultiplexor 25 del aparato de transmisión 11 (proceso inverso a proceso de remplazo), esto es, un proceso de remplazo inverso de regreso a las posiciones de los bits de código remplazados por proceso de remplazo a las posiciones originales. Luego, El multiplexor 54 suministra un código LDPC obtenido como un resultado del proceso de remplazo inverso al desintercalador de giro de columna 55.

[0571]

El desintercalador de giro de columna 55 determina el código LDPC del multiplexor 54 como un objeto del procesamiento y lleva a cabo el desintercalado de giro de columna que corresponde el intercalado de giro de columna como un proceso de re-disposición llevado a cabo por el intercalado de giro de columna 24 al aparato de transmisión 11.

[0572]

El código LDPC obtenido como un resultado del desintercalado de giro de columna se suministra del desintercalador de giro de columna 55 al desintercalado de paridad 1011.

[0573]

El desintercalador de paridad 1011 determina los bits de códigos después del desintercalado de giro de columna mediante el desintercalador de giro de columna 55 como un objeto del procesamiento del mismo y lleva a cabo desintercalado de paridad que corresponde el intercalado de paridad llevada a cabo por el intercalado de paridad 23 del aparato de transmisión 11 (proceso inverso al intercalado de paridad), esto es, desintercalado de paridad del regreso de la disposición de los bits de código del código LDPC cuyo disposición se cambio mediante el intercalado de paridad a la disposición original.

[0574]

El código LDPC obtenido como un resultado del desintercalado de paridad se suministra desde el desintercalado de paridad 1011 a la sección de decodificación LDPC 1021.

[0575]

De acuerdo con lo anterior, en el aparato de recepción 12 de la FIG.106, el código LDPC para el que el proceso de remplazo inverso, el desintercalado de giro de columna y desintercalado de paridad se han llevado a cabo, esto es, un código LDPC obtenido mediante codificación LDPC de acuerdo con la matriz de comprobación de paridad H, se suministra a la sección de decodificación LDPC 1021.

[0576]

00 309

La sección de decodificación LDPC 1021 lleva a cabo la decodificación LDPC del código LDPC del desintercalador 53 utilizando la matriz de comprobación de paridad H en si misma utilizada para codificación LDPC mediante la sección de codificación LDPC 21 del aparato de transmisión 11 o una matriz de comprobación de paridad de conversión obtenida al llevar a cabo por lo menos la conversión de columna que corresponde el intercalado de paridad para la matriz de comprobación de paridad H. Luego, la sección de decodificación LDPC 1021 genera datos obtenidos mediante la decodificación LDPC como un resultado de la decodificación de los datos objeto.

[0577]

Aquí, en el aparato de recepción 12 de la FIG. 106, debido un código LDPC obtenido por codificación LDPC de acuerdo con la matriz de comprobación de paridad H se suministra del desintercalador (desintercalado de paridad 1011) 53 a la sección de decodificación LDPC 1021, en donde la decodificación LDPC del código LDPC se lleva a cabo utilizando la matriz de comprobación de paridad H en si misma utilizada para la codificación LDPC mediante la sección de codificación LDPC 21 del aparato de transmisión 11, la sección de decodificación LDPC 1021 se puede configurar, por ejemplo, a partir de un aparato para decodificación que lleva a cabo la decodificación LDPC de acuerdo con un método de decodificación de serie completa en donde la operación matemática de mensajes (mensajes de nodo de comprobación y mensajes de nodo variable) se llevan a cabo para un nodo por uno u otro aparato de decodificación en donde se lleva a cabo la decodificación LDPC de acuerdo con un método de decodificación paralelo completo en donde las operaciones matemática de mensaje se llevan a cabo simultáneamente (en paralelo) para todos los nodos.

[0578]

Adicionalmente, cuando la decodificación LDPC de un código LDPC se lleva a cabo utilizando una matriz de comprobación de paridad de conversión obtenida al llevar a cabo por lo menos el remplazo de columna que corresponde al intercalado de paridad para la matriz de comprobación de paridad H utilizada en la codificación LDPC por la sección de codificación LDPC 21 del aparato de transmisión 11, la sección de decodificación LDPC 1021 se puede confirmar de un aparato de decodificación de una arquitectura que lleva a cabo la operación matemática de nodo de comprobación y las operaciones matemáticas de nodo variable simultáneamente para P (o un divisor de P diferente de 1) nodos de comprobación y nodos variables P y que tiene una sección de re-disposición de datos de recepción 310 para llevar a cabo el remplazo de columna similar al remplazo de columna para obtener una matriz de comprobación de paridad de conversión para el código LDPC para re-disponer los códigos de bits del código LDPC.

[0579]

00 310

Cabe notar que, aunque, en la FIG. 106, El multiplexor 54 para llevar a cabo el proceso de remplazo inverso, el desintercalador de giro de columna 55 para llevar a cabo el desintercalado de giro de columna y desintercalador de paridad 1011 para llevar a cabo el desintercalado de paridad se configuran de manera separada uno del otro por conveniencia de descripción, dos o más del multiplexor 54, el desintercalador de giro de columna 55 y desintercalador de paridad 1011 se puede configurar integralmente de manera similar al intercalado de paridad 23, el intercalado de giro de columna 24 y desmultiplexor 25 del aparato de transmisión 11.

[0580]

La FIG. 107 es un diagrama de bloques que muestra un primer ejemplo de una configuración de un sistema de recepción que se puede aplicar al aparato de recepción 12.

[0581]

Con referencia a la FIG. 107, el sistema de recepción incluye una sección de adquisición 1101, una sección de procesamiento de decodificación de línea de transmisión 1102 y una sección de procesamiento de decodificación de fuente de información 1103.

[0582]

La sección de adquisición 1101 adquiere una señal que incluye un código LDPC obtenido por lo menos al codificar datos de objeto LDPC tal como datos de imagen y datos de música de un programa a través una línea de transmisión tal como, por ejemplo, radiodifusión digital terrestre, radiodifusión digital satelital, una red CATV, Internet o alguna otra red. Luego, la sección de adquisición 1101 suministra la señal adquirida a la sección de procesamiento de decodificación de línea de transmisión 1102.

[0583]

Aquí, cuando la señal adquirida por la sección de adquisición 1101 se radio difunde, por ejemplo, de una estación de radiodifusión a través de ondas terrestres, ondas satelitales, un CATV (Televisión por Cable) o similares, la sección de adquisición 1101 se configura a partir de un sintonizador, un STB (decodificador) o similares. De otra parte, cuando la señal adquirida por la sección de adquisición 1101 se transmite en un estado de multidifusión como en el IPTV (Protocolo de Internet Televisión), por ejemplo, de un servidor web, la sección de adquisición 11 se configura a partir de una red I/F (Interfaz) tal como, por ejemplo, un NIC (Tarjeta de Interfaz de Red).

[0584]

La sección de procesamiento de decodificación de línea de transmisión 1102 lleva a cabo un proceso de decodificación de línea de transmisión que incluy por lo menos un proceso para corregir errores producidos en la línea de transmisión para la señal adquirida a través de la

línea de transmisión por la sección de adquisición 1101, y suministra una señal obtenida como un resultado del proceso de decodificación de línea de transmisión a la sección de procesamiento de decodificación de fuente de información 1103. 00 311

[0585]

En particular, la señal adquirida a través de la línea de transmisión mediante la sección de adquisición 1101 es un señal obtenida en llevar a cabo por lo menos la codificación de corrección de error para corregir errores producidos en la línea de transmisión, y para tal una señal como se describió recientemente, la sección de procesamiento de decodificación de línea de transmisión 1102 lleva a cabo un proceso de decodificación de línea de transmisión tal como, por ejemplo, un proceso de corrección de error.

[0586]

Aquí, cuando la codificación de corrección de error, por ejemplo, codificación LDPC, codificación Reed-Solomon y demás están disponibles. Aquí, cuando ocurre codificación de corrección de error, se lleva a cabo por lo menos la codificación se LDPC.

[0587]

Adicionalmente, el proceso de decodificación de línea de transmisión incluye en algunas ocasiones la demodulación de una señal de modulación y así sucesivamente.

[0588]

La sección de procesamiento de decodificación de fuente de información 1103 lleva a cabo un proceso de decodificación de fuente de información que incluye por lo menos un proceso para descomprimir información comprimida en información original para el que se ha llevado a cabo el proceso de decodificación de línea de transmisión.

[0589]

En particular, la señal adquirida a través de la línea de transmisión por la sección de adquisición 1101 se ha procesado algunas veces por codificación de compresión para comprimir información con el fin de reducir la cantidad de datos tal como imágenes, sonido y demás como información. En este caso, la sección de procesamiento de decodificación de fuente de información 1103 lleva a cabo un proceso de decodificación de fuente de información (proceso de descompresión) para descomprimir la información comprimida original para una señal para la que se ha llevado a cabo el proceso de decodificación de línea de transmisión.

[0590]

Cabe notar que, cuando la señal adquirida a través de la línea de transmisión por la sección de adquisición 1101 no se ha llevado a cabo la compresión de codificación , la sección

00 312

de procesamiento de decodificación de fuente de información 1103 no lleva a cabo el proceso de descompresión de la información comprimida en la información original.

[0591]

Aquí, como el proceso de descompresión, por ejemplo, decodificación MPEG y demás están disponibles. Adicionalmente, del proceso de decodificación de línea de transmisión incluye algunas veces aleatorización en adición al proceso de descompresión.

[0592]

En el sistema de recepción configurado en tal forma como se describió anteriormente, la sección de adquisición 1101 recibe un señal obtenida al llevar a cabo la codificación de compresión tal como Codificación MPEG para datos de, por ejemplo, imágenes, sonido y demás y adicionalmente llevar a cabo la codificación de corrección de error tal como Codificación LDPC para los datos codificados de compresión a través una línea de transmisión. La señal se suministra a la sección de procesamiento de decodificación de línea de transmisión 1102.

[0593]

En la sección de procesamiento de decodificación de línea de transmisión 1102, se lleva a cabo un proceso similar, por ejemplo, mediante la sección de demodulación ortogonal 51, sección de desmapeo 52, desintercalador 53 y sección de codificación LDPC 56 (o sección de codificación LDPC 1021) llevan a cabo el proceso de decodificación de línea de transmisión para la señal de la sección de adquisición 1101. Luego, se suministra una señal obtenida como un resultado del proceso de decodificación de línea de transmisión a la sección de procesamiento de decodificación de fuente de información 1103.

[0594]

En la sección de procesamiento de decodificación de fuente de información 1103, se genera un proceso de decodificación de fuente de información tal como La decodificación MPEG llevada a cabo para la señal de la sección de procesamiento de decodificación de línea de transmisión 1102, y se genera la imagen o sonido obtenido como un resultado del proceso de decodificación de información.

[0595]

Tal un sistema de recepción de la FIG. 107 como se describió anteriormente se puede aplicar, por ejemplo, a un sintonizador para recibir radiodifusión de televisión como radiodifusión digital y demás.

[0596]

00 313

Cabe notar que es posible configurar la sección de adquisición 1101, la sección de procesamiento de decodificación de línea de transmisión 1102 y la sección de procesamiento de decodificación de fuente de información 1103 cada una como un aparato independiente (hardware (IC (Circuito Integrado) o similares) o un modulo de software).

[0597]

Adicionalmente, con respecto a la sección de adquisición 1101, la sección de procesamiento de decodificación de línea de transmisión 1102 y la sección de procesamiento de decodificación de fuente de información 1103, un conjunto de sección de adquisición 1101 y la sección de procesamiento de decodificación de línea de transmisión 1102, otra conjunto de la sección de procesamiento de decodificación de línea de transmisión 1102 y la sección de procesamiento de decodificación de fuente de información 1103 o un conjunto adicionalmente de la sección de adquisición 1101, la sección de procesamiento de decodificación de línea de transmisión 1102 y la sección de procesamiento de decodificación de fuente de información 1103 se puede configurar as con un único aparato independiente.

[0598]

La FIG. 108 es un diagrama de bloques que muestra un segundo ejemplo de la configuración del sistema de recepción que se puede aplicar al aparato de recepción 12.

[0599]

Cabe notar que, en la FIG. 108, los elementos que corresponden a aquellos en la FIG. 107 se denotan mediante los numerales de referencia similares, y la descripción de ellos se omite en forma adecuada en la siguiente descripción.

[0600]

El sistema de recepción de la FIG. 108 es común a aquel de la FIG. 107 ya que este incluye una sección de adquisición 1101, una sección de procesamiento de decodificación de línea de transmisión 1102 y una sección de procesamiento de decodificación de fuente de información 1103 pero es diferente de aquel de la FIG. 107 en que este incluye nuevamente una sección de generación 1111.

[0601]

La sección de generación 1111 es, por ejemplo, un aparato de visualización para visualizar una imagen o un parlante para generar sonido o generar una imagen, un sonido del mismo como una señal generada de la sección de procesamiento de decodificación de fuente de información 1103. En otras palabras, la sección de generación 1111 visualiza una imagen o genera un sonido.

[0602]

00 314

Tal un sistema de recepción de la FIG. 108 como se describió anteriormente se puede aplicar, por ejemplo, a un TV (receptor de televisión) para recibir una radiodifusión de televisión como una radiodifusión digital, un receptor de radio para recibir una radiodifusión de radio y demás.

[0603]

Cabe notar que, cuando la señal adquirida por la sección de adquisición 1101 no está en forma cuando no se aplica la codificación de compresión, una señal generada de la sección de procesamiento de decodificación de línea de transmisión 1102 se suministra a la sección de generación 1111.

[0604]

FIG. 109 es un diagrama de bloques que muestra un tercer ejemplo de la configuración del sistema de recepción que se puede aplicar al aparato de recepción 12.

[0605]

Cabe notar que, en la FIG. 109, elementos correspondientes a aquellos de la FIG. 107 se denotan mediante los numerales de referencia similares, y se omite la siguiente descripción, de los mismos.

[0606]

El sistema de recepción de la FIG. 109 es común a aquel de la FIG. 107 en que este incluye una sección de adquisición 1101 y una sección de procesamiento de decodificación de línea de transmisión 1102.

[0607]

Sin embargo, el sistema de recepción de la FIG. 109 es diferente de aquel de la FIG. 107 en que este no incluye la sección de procesamiento de decodificación de fuente de información 1103 pero incluye nuevamente una sección de grabación 1121.

[0608]

La sección de grabación 1121 graba (almacena) una señal (por ejemplo, un paquete TS de un TS de MPEG) generado de la sección de procesamiento de decodificación de línea de transmisión 1102 en o dentro de un medio de grabación (almacenamiento) tal como un disco Óptico, un disco duro (disco magnético) o una memoria flas.

[0609]

Tal un sistema de recepción de la FIG. 109 como se describió anteriormente se puede aplicar a una grabadora para grabar una radiodifusión de televisión o similares.

00 325

[0610]

Cabe notar que, en la FIG. 109, el sistema de recepción puede incluir la sección de procesamiento de decodificación de fuente de información 1103 de tal manera que una señal se ha llevado a cabo después del proceso de decodificación de fuente de información mediante la sección de procesamiento de decodificación de fuente de información 1103, es decir, una imagen o sonido obtenida mediante decodificación, se grabar por la sección de grabación 1121.

REIVINDICACIONES

1. Un aparato de procesamiento de datos que intercala datos, que comprende:

medio de intercalado de paridad para llevar a cabo intercalado de paridad de bits de paridad de intercalado de un código LDPC obtenido al llevar a cabo Codificación LDPC de acuerdo con una matriz de comprobación de paridad en la que una matriz de paridad que es una porción que corresponde a los bits de paridad de un código LDPC (Comprobación de Paridad de Baja Densidad) tiene una estructura escalonada individual a posiciones de otros de los bits de paridad .

2. El aparato de procesamiento de datos de acuerdo con la reivindicación 1, en donde:

el número de bit M de los bit de paridad del código LDPC es un se forma un símbolo de valor diferente de los números primos; y

cuando dos o más divisores del número de bit M de los bit de paridad diferente de 1 y M cuyo producto es igual a el número de bit M de los bit de paridad se representa por P y q,

el número de bit de bits de información del código LDPC se representa por K, un entero igual a o mayor que 0 pero menor que P se representa por x, y

otro entero igual a o mayor de 0 pero menor de q se representa por y,

dichos medios de intercalado de paridad intercala un bit de código K+qx+y+1 de entre los bits de paridad que son bits de código K+1 a K+M del código LDPC a la posición de bit de código K+Py+x+1.

3. El aparato de procesamiento de datos de acuerdo con la reivindicación 2, que comprende adicionalmente

medios de re-disposición para llevar a cabo. cuando el código LDPC se transmite como un símbolo, un proceso de re-disposición para re-disponer los códigos de bits del código LDPC después del intercalado de paridad de tal manera que una pluralidad de bits de código corresponden al valor de 1 incluida en una fila arbitraria de la matriz de comprobación de paridad no se incluye en el mismo símbolo .

4. El aparato de procesamiento de datos de acuerdo con la reivindicación 2, en donde:

el código LDPC es un código LDPC en donde una matriz de información que es una porción de la matriz de comprobación de paridad del código LDPC que corresponde al la información bits del código LDPC tienen una estructura cíclica; y

dichos aparato de procesamiento de datos comprende adicionalmente medios de re-disposición para llevar a cabo el intercalado de giro de columna para cambiar, cuando se forma un símbolo de los bits de código del código LDPC escritos en una columna dirección de medios de almacenamiento para almacenar los códigos de bits del código LDPC en una dirección de fila y la dirección de columna y se leen en la dirección de fila, la posición de partida de escritura cuando los bits de código del código LDPC se describen en la dirección de columna de dichos medios de almacenamiento se cambia para cada de las columnas de dichos medios de almacenamiento como un proceso de re-disposición para re-disponer los bits de códigos del código LDPC.

5. El aparato de procesamiento de datos de acuerdo con la reivindicación 4, en donde la matriz de paridad en la matriz de comprobación de paridad del código LDPC tiene una estructura seudocíclica en la que la matriz de paridad tiene una porción que tiene una estructura cíclica excepto parte de la misma, la estructura se obtiene al aplicar el remplazo de fila que corresponde el intercalado de paridad.

6. El aparato de procesamiento de datos de acuerdo con la reivindicación 5, en donde:

cuando se forma un símbolo de m de los bits de código del código LDPC, y

cuando la longitud el código del código LDPC es N bits y un entero positivo predeterminado se representa por b,

dichos medios de almacenamiento almacenan mb bits en la dirección de fila y almacena N/(mb) bits en la dirección de columna;

los bits de códigos del código LDPC se describen en la dirección de columna de dichos medios de almacenamiento, después se leen los bits de código en la dirección de fila, los bits de código mb leídos en la dirección de fila de dichos medios de almacenamiento se convierten en *símbolos b*.

7. Un método de procesamiento de datos para un aparato de procesamiento de datos que intercala datos, comprende:

Una etapa llevada a cabo por el aparato de procesamiento de datos para llevar a cabo el intercalado de paridad de los bits de paridad de intercalado de paridad de un código LDPC obtenido al llevar a cabo la Codificación LDPC de acuerdo con una matriz de

00 318

comprobación de paridad en la que una matriz de paridad que es una porción que corresponde bits de paridad un código LDPC (Comprobación de Paridad de Baja Densidad) tiene una estructura escalonada individualmente para posiciones de otros de los bits de paridad.

RESUMEN

La presente invención se relaciona con un aparato de procesamiento de datos y un aparato de procesamiento de datos que pueden mejorar la tolerancia a un error de un bit de codito de un código LDPC tal como errores en ráfaga o borrado. Una sección de Codificación LDPC 21 lleva a cabo la Codificación LDPC de acuerdo con una matriz de comprobación de paridad en la que la matriz de paridad que es una porción que corresponde a los bits de paridad un código LDPC (Comprobación de Paridad de Baja Densidad) tiene una estructura escalonada, y genera un código LDPC. Un intercalador de paridad 23 lleva a cabo el intercalado de paridad del intercalador bit de paridad del código LDPC generado de la sección de codificación LDPC 21 a las posiciones de otros bits de paridad. La presente invención también se puede aplicar, por ejemplo, a un aparato de transmisión que transmite un código LDPC.

00 320

FIG. 1

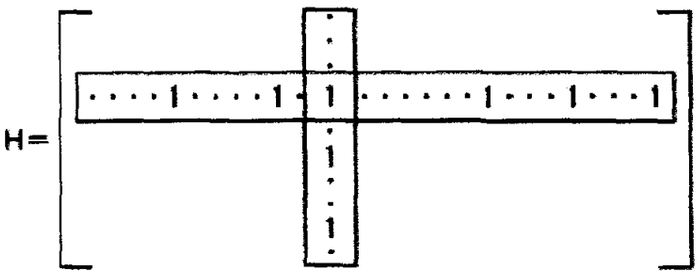
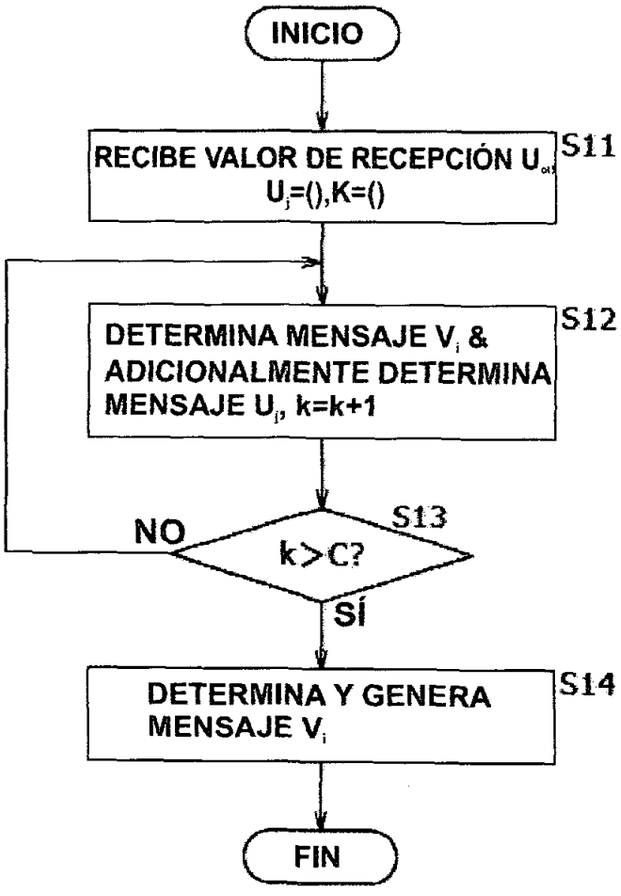


FIG. 2

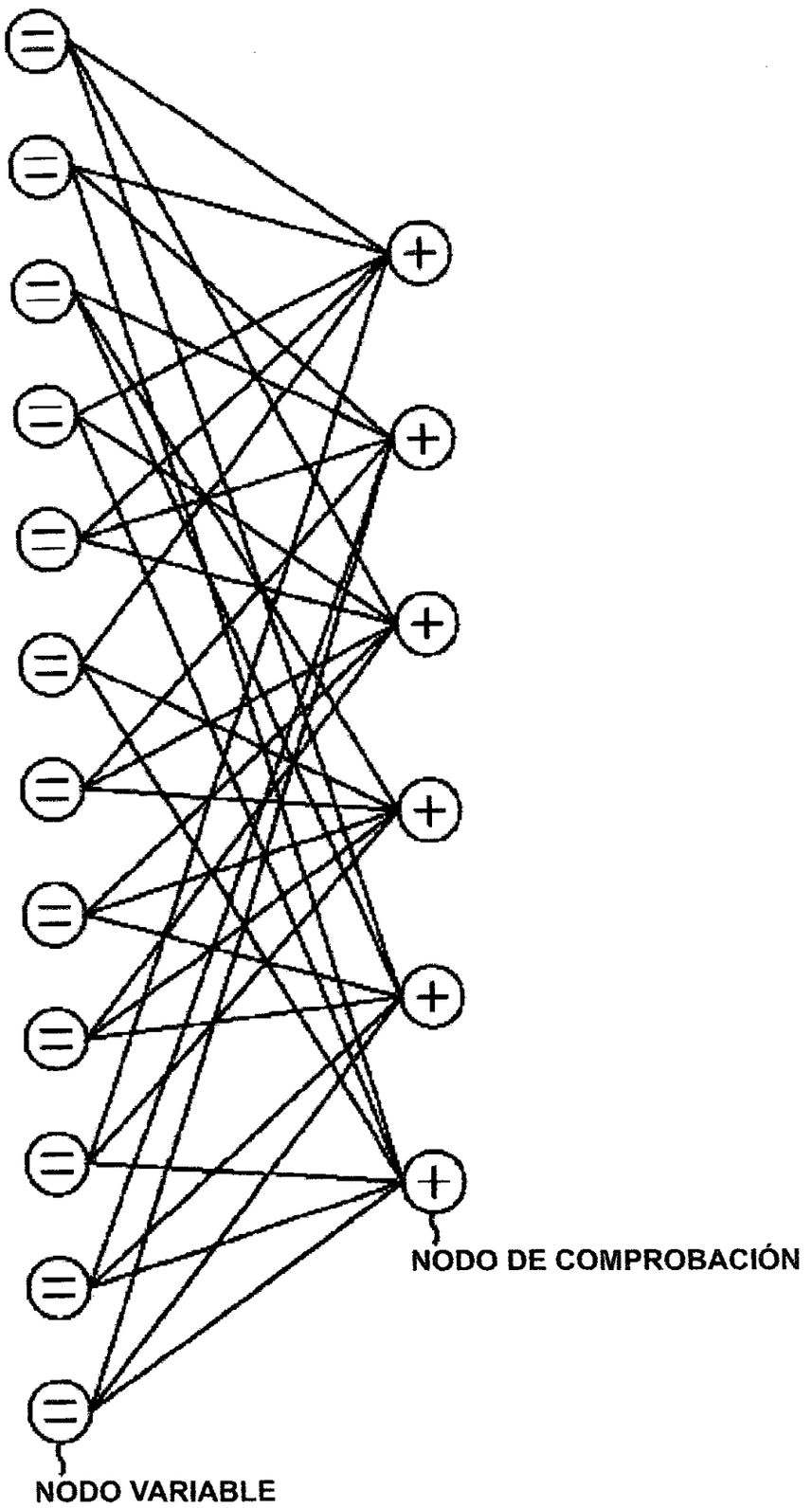


00 321

FIG. 3

$$H=\begin{bmatrix} 1 & 1 & 1 & 0 & 0 & 0 & 1 & 0 & 1 & 1 & 0 & 0 \\ 1 & 1 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 1 & 1 \\ 0 & 0 & 1 & 1 & 1 & 1 & 1 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 1 & 1 & 0 & 1 & 1 & 0 & 0 & 1 \\ 1 & 1 & 0 & 0 & 0 & 1 & 0 & 1 & 0 & 1 & 1 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 1 & 1 & 1 & 0 & 1 & 1 \end{bmatrix}$$

FIG. 4



00 323

FIG. 5

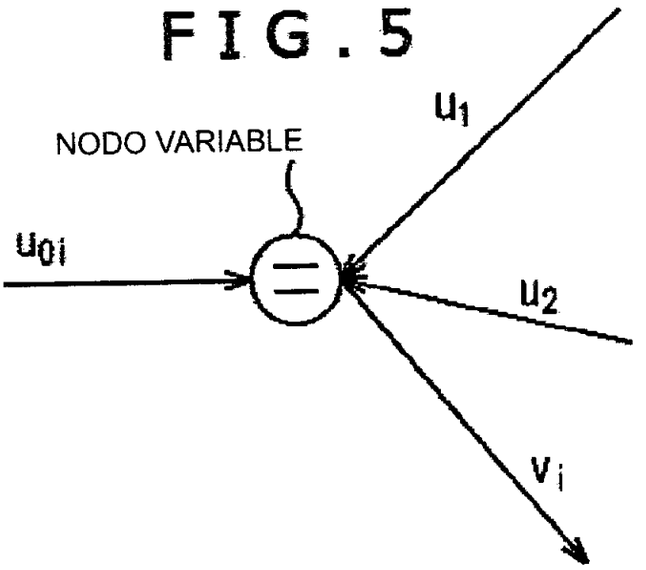


FIG. 6

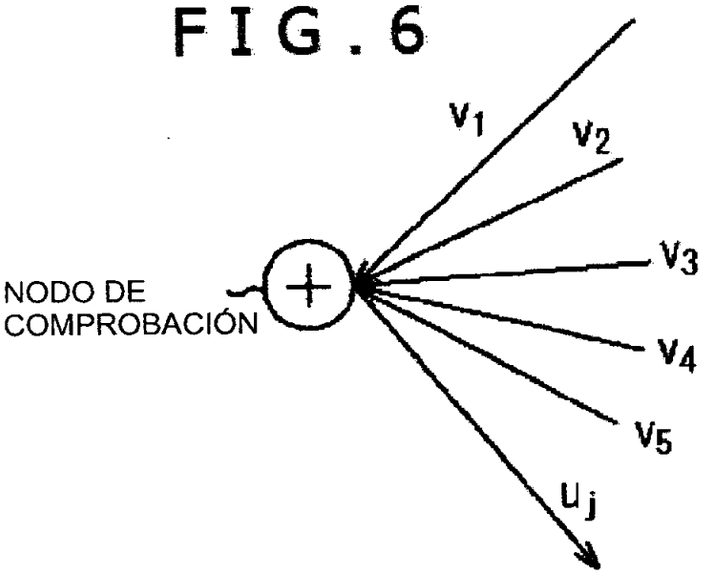
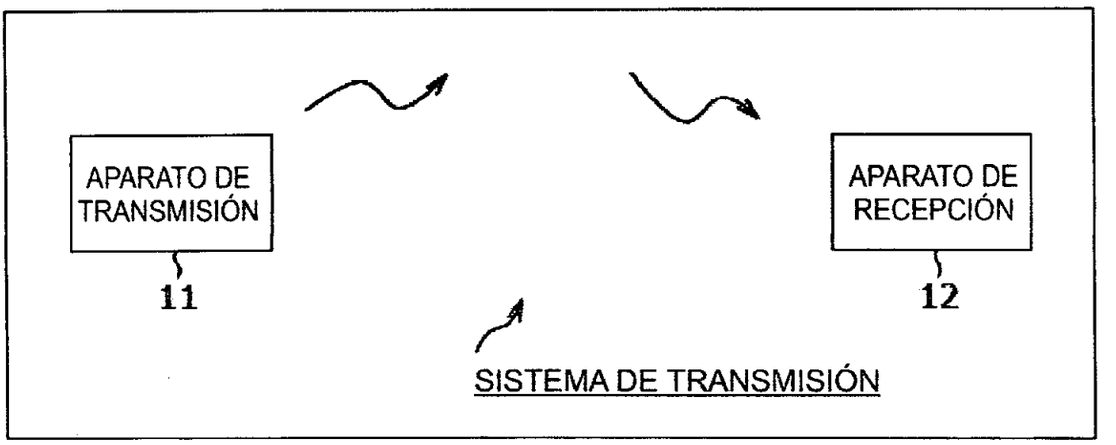
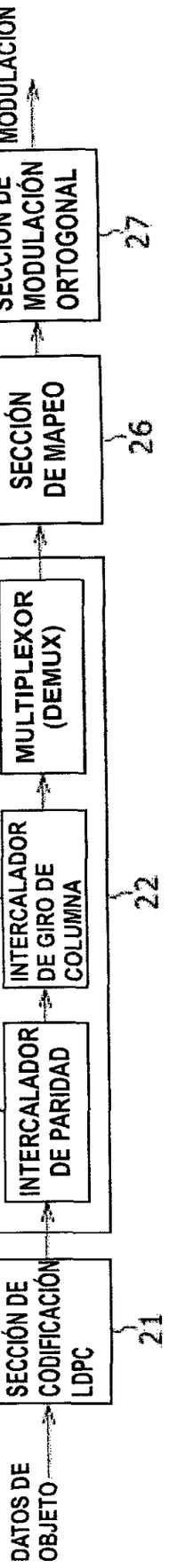


FIG. 7



00 324

FIG. 8


DATOS DE OBJETO
SECCIÓN DE CODIFICACIÓN LDPC
21
INTERCALADOR DE PARIDAD
23
INTERCALADOR DE GIRO DE COLUMNA
24
MULTIPLEXOR (DEMUX)
25
22
SECCIÓN DE MAPEO
26
SECCIÓN DE MODULACIÓN ORTOGONAL
27
SEÑAL DE MODULACIÓN
11

00 325

FIG. 9

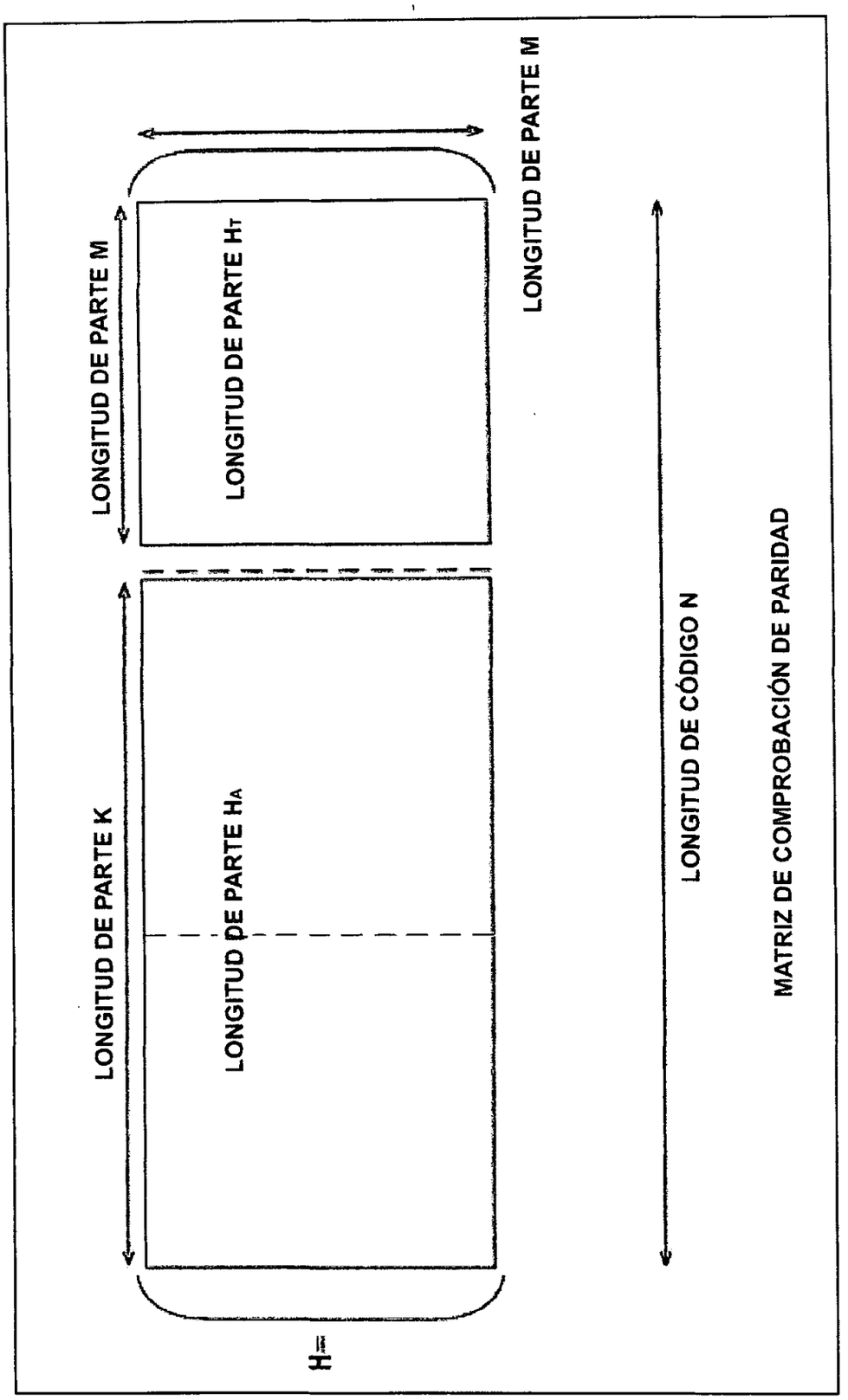
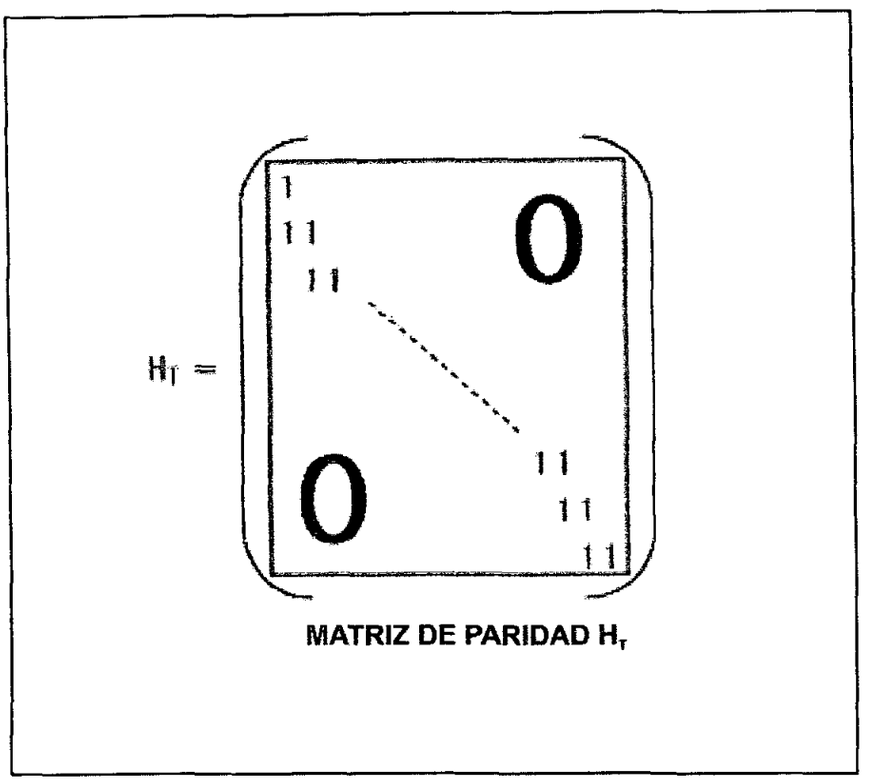

LONGITUD DE PARTE M
LONGITUD DE PARTE H_T
LONGITUD DE PARTE M
LONGITUD DE PARTE K
LONGITUD DE PARTE H_A
LONGITUD DE CÓDIGO N
MATRIZ DE COMPROBACIÓN DE PARIDAD
H_{mn}

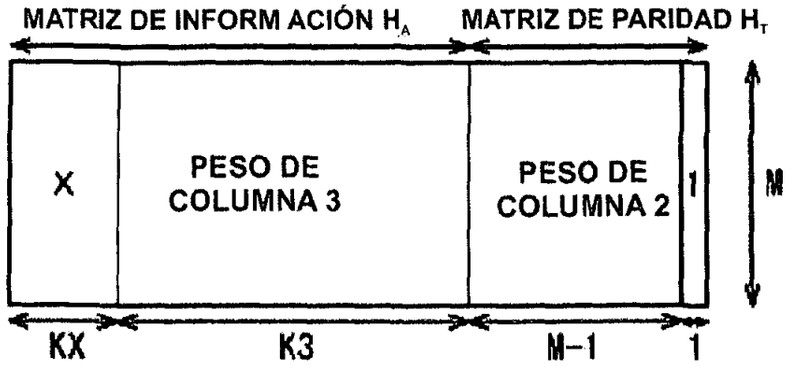
FIG.10



MATRIZ DE PARIDAD H_T

FIG. 11

A MATRIZ DE COMPROBACIÓN DE PARIDAD

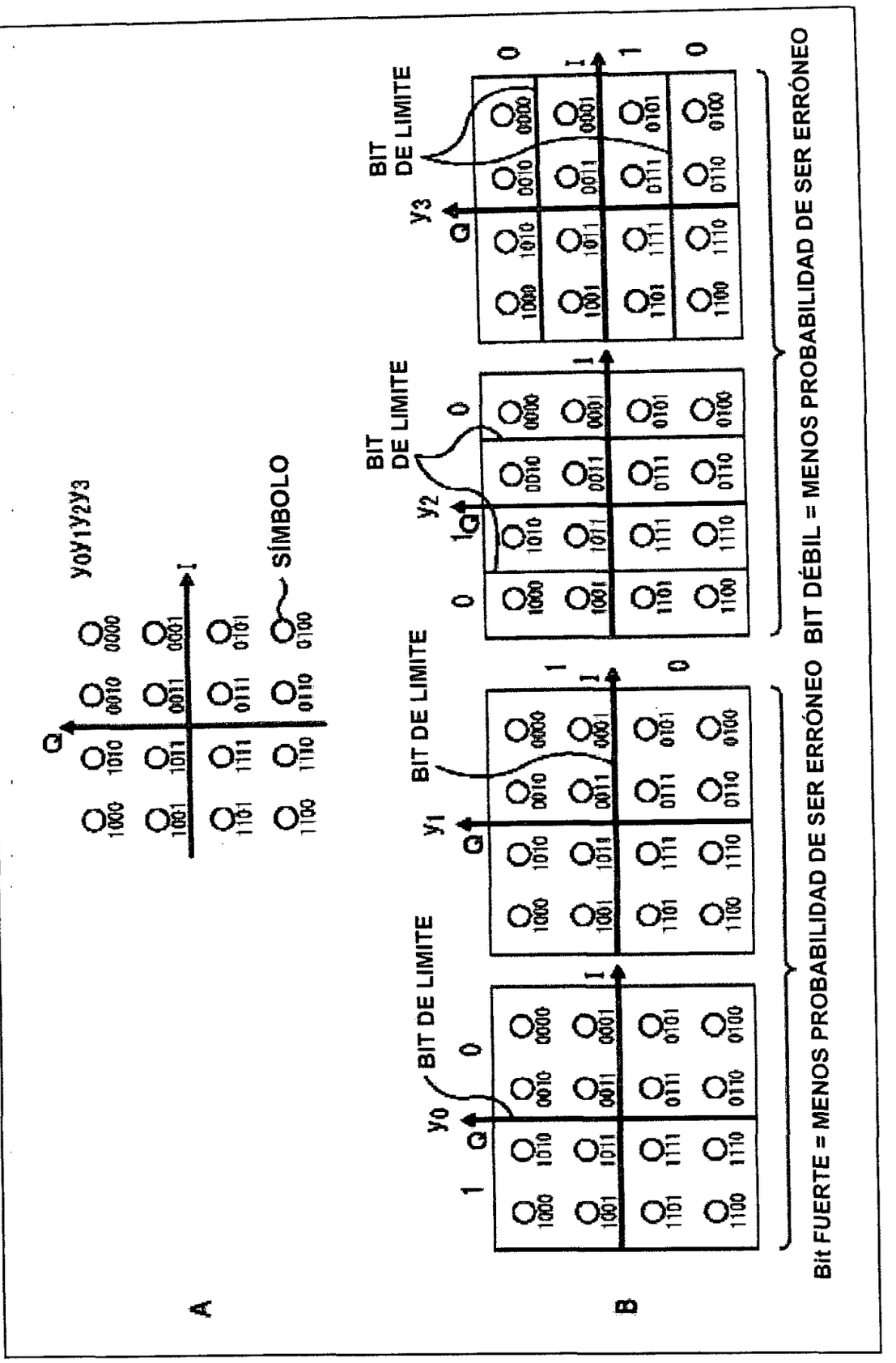


B
NÚMEROS DE COLUMNAS DE PESO DE COLUMNAS

	N=64800				N=16200			
VELOCIDAD DE CODIFICACIÓN NOMINAL	X	KX	K3	M	x	KX	K3	M
1/4	12	5400	10800	48600	12	1440	1800	12960
1/3	12	7200	14400	43200	12	1800	3600	10800
2/5	12	8640	17280	38880	12	2160	4320	9720
1/2	8	12960	19440	32400	8	1800	5400	9000
3/5	12	12960	25920	25920	12	3240	6480	6480
2/3	13	4320	38880	21600	13	1080	9720	5400
3/4	12	5400	43200	16200	12	360	11520	4320
4/5	11	6480	45360	12960	–	0	12600	3600
5/6	13	5400	48600	10800	13	360	12960	2880
8/9	4	7200	50400	7200	4	1800	12600	1800
9/10	4	6480	51840	6480	—	—	—	—

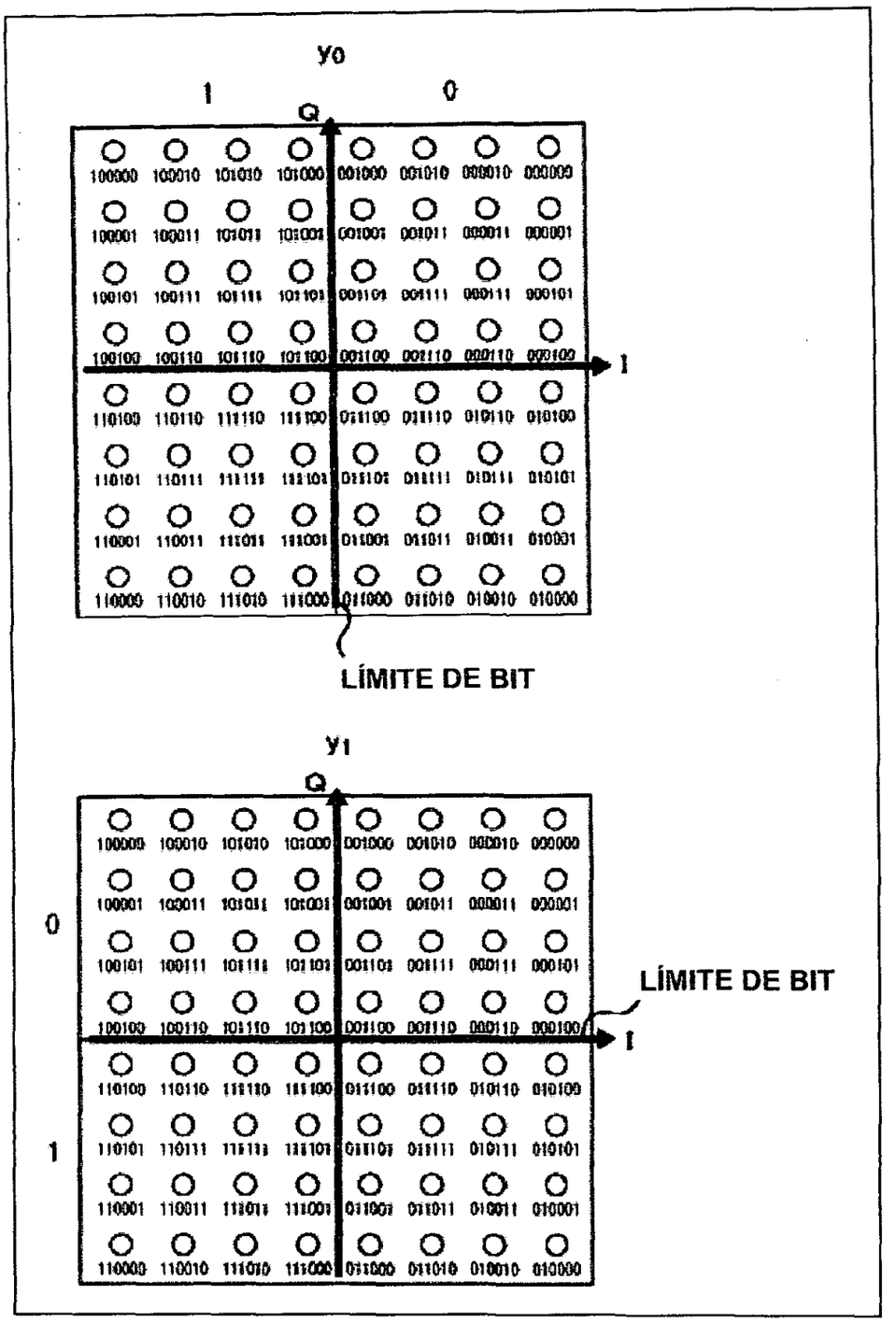
60 328

FIG. 12


A
B
Q
I
$y_0y_1y_2y_3$
SÍMBOLO
BIT DE LIMITE
y_0
y_1
y_2
y_3
Bit FUERTE = MENOS PROBABILIDAD DE SER ERRÓNEO
BIT DÉBIL = MENOS PROBABILIDAD DE SER ERRÓNEO

00 329

FIG. 13



00 330

FIG.14

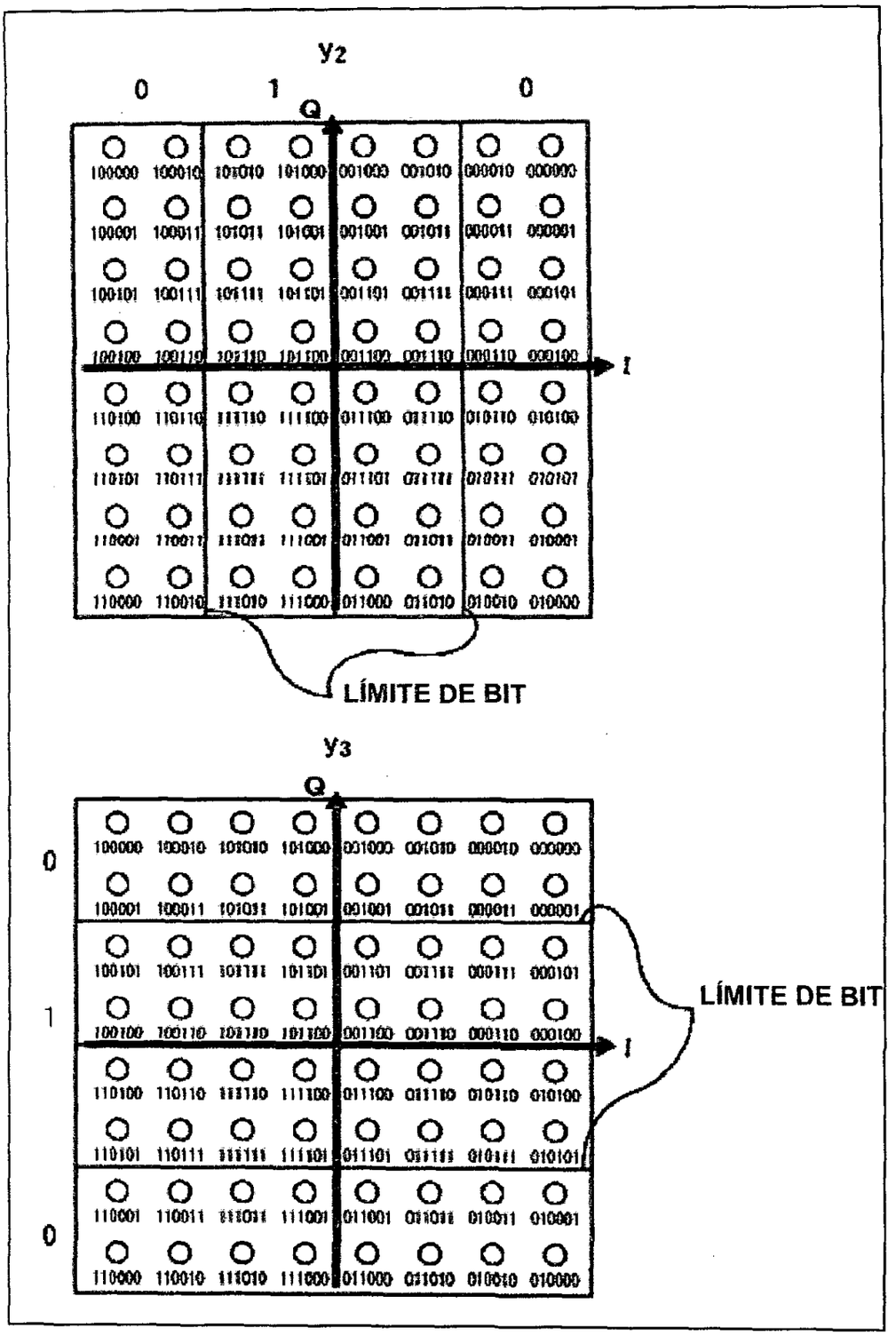


FIG. 15

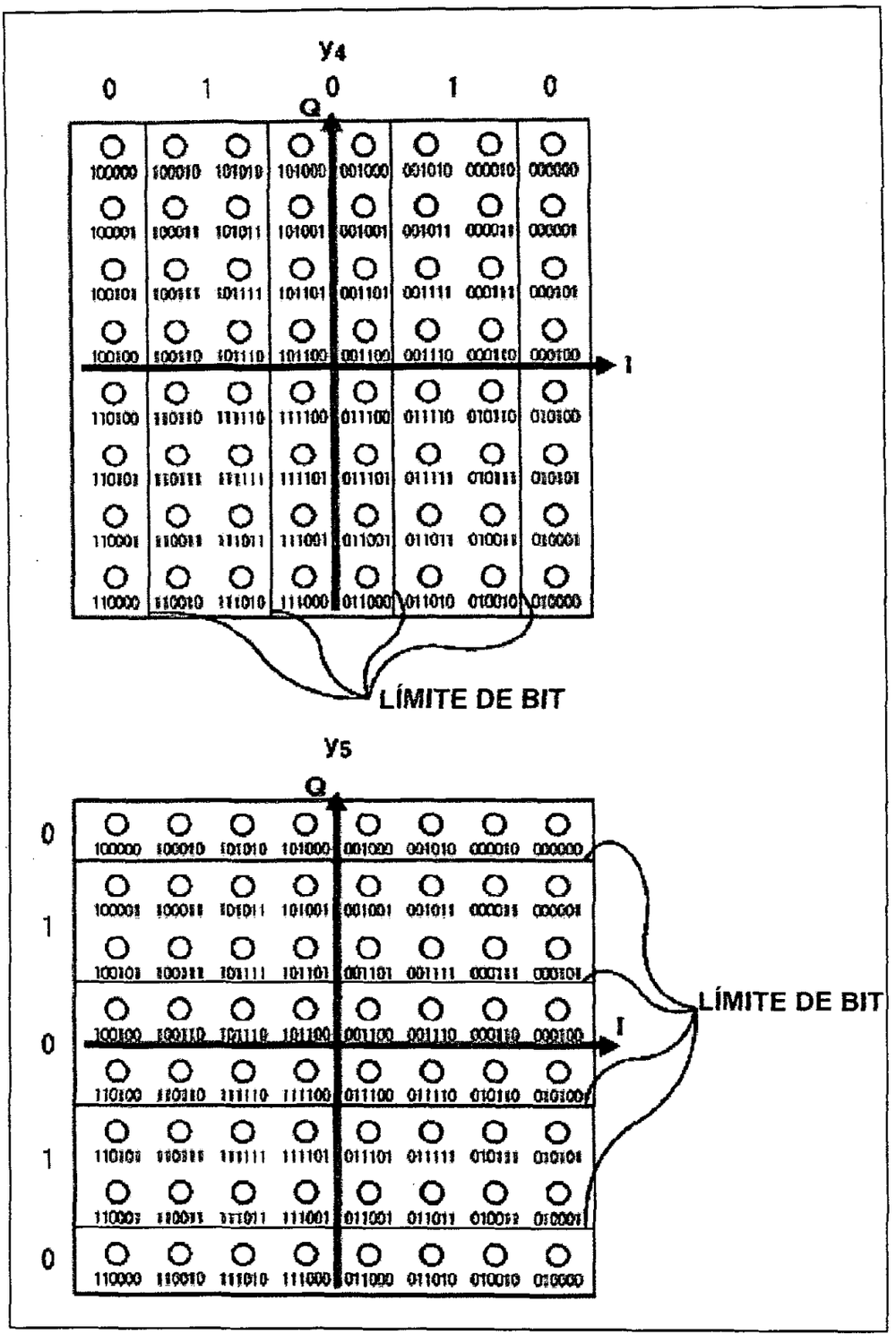


FIG.16

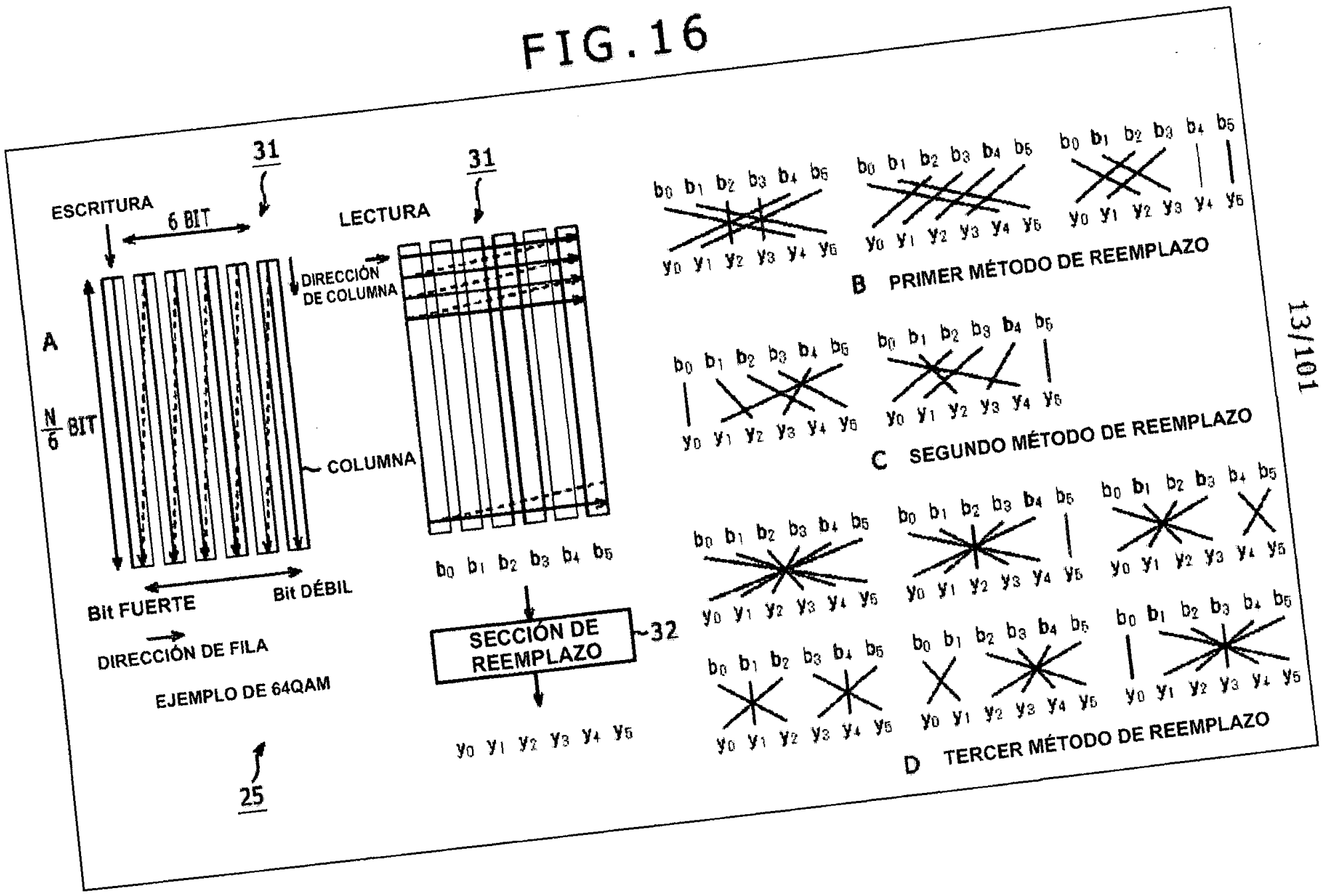

31
31
ESCRITURA
6 BIT
LECTURA
DIRECCIÓN DE COLUMNA
A
N/6 BIT
COLUMNA
Bit FUERTE
Bit DÉBIL
DIRECCIÓN DE FILA
EJEMPLO DE 64QAM
25
b0 b1 b2 b3 b4 b5
SECCIÓN DE REEMPLAZO
32
y0 y1 y2 y3 y4 y5
B PRIMER MÉTODO DE REEMPLAZO
C SEGUNDO MÉTODO DE REEMPLAZO
D TERCER MÉTODO DE REEMPLAZO

FIG.17

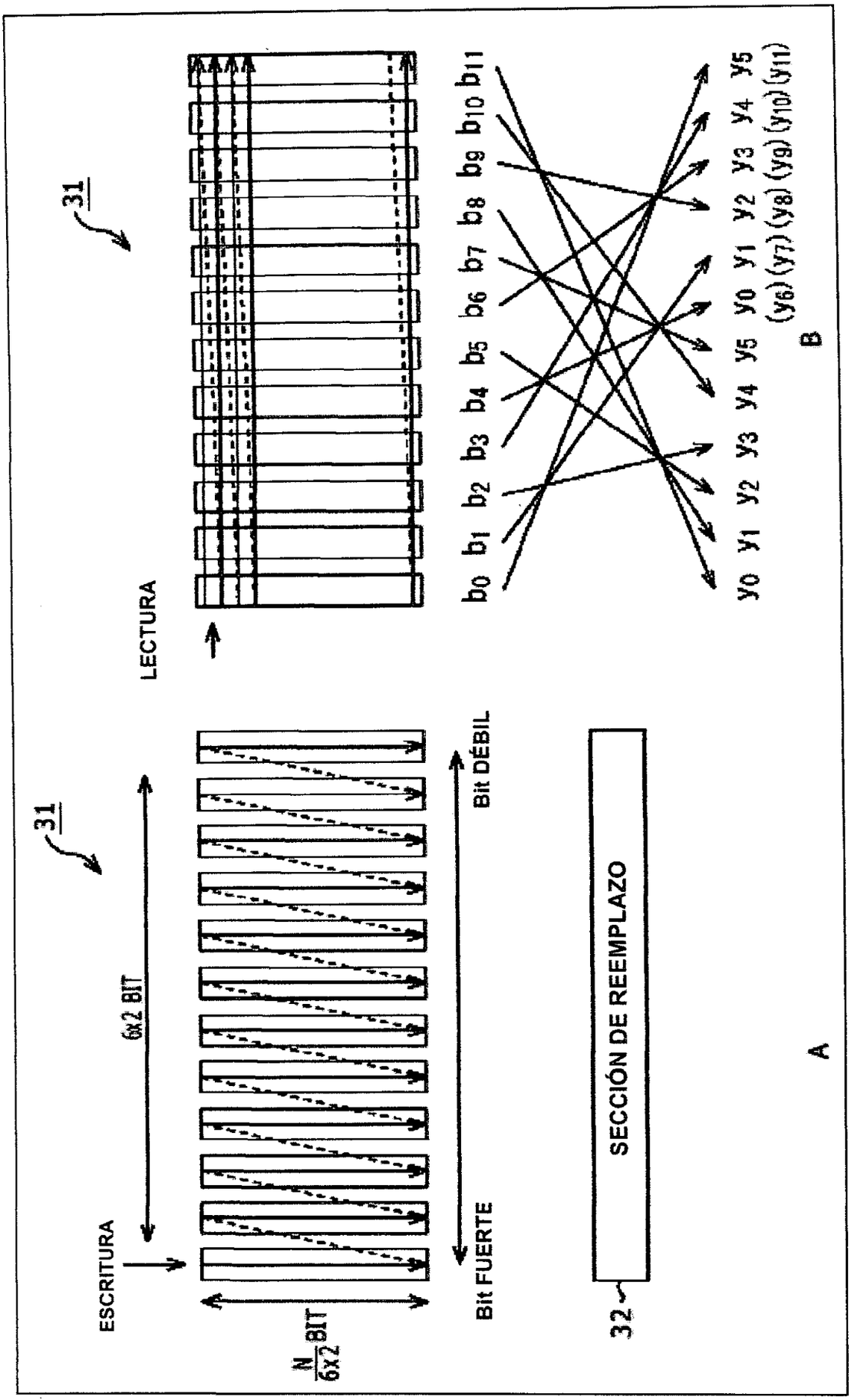
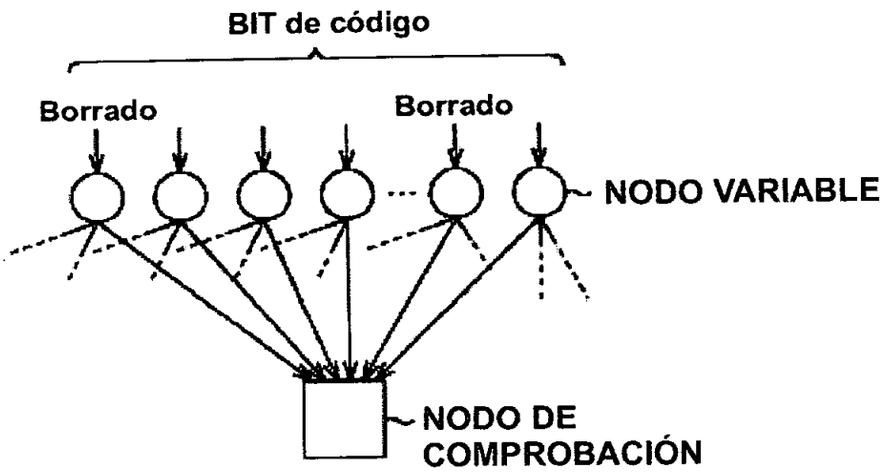
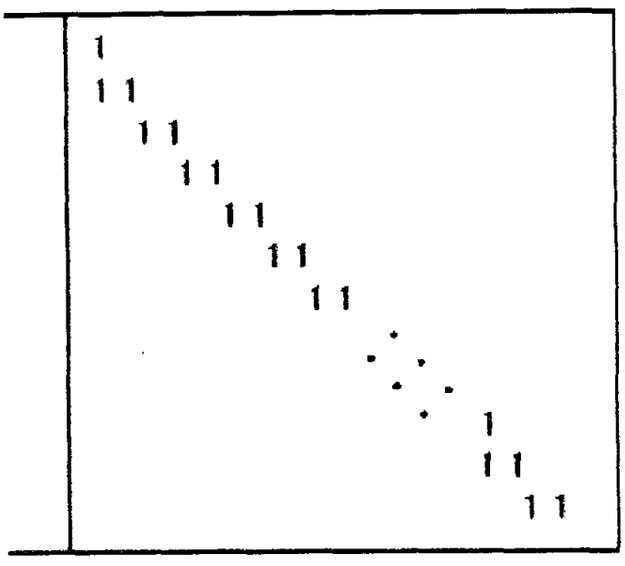

31
LECTURA
b_0 b_1 b_2 b_3 b_4 b_5 b_6 b_7 b_8 b_9 b_{10} b_{11}
y_0 y_1 y_2 y_3 y_4 y_5 y_0 y_1 y_2 y_3 y_4 y_5
(y_6) (y_7) (y_8) (y_9) (y_{10}) (y_{11})
B
31
6x2 BIT
ESCRITURA
Bit DÉBIL
Bit FUERTE
$\frac{N}{6x2}$ BIT
SECCIÓN DE REEMPLAZO
32
A

FIG. 18


BIT de código
Borrado
Borrado
NODO VARIABLE
NODO DE
COMPROBACIÓN

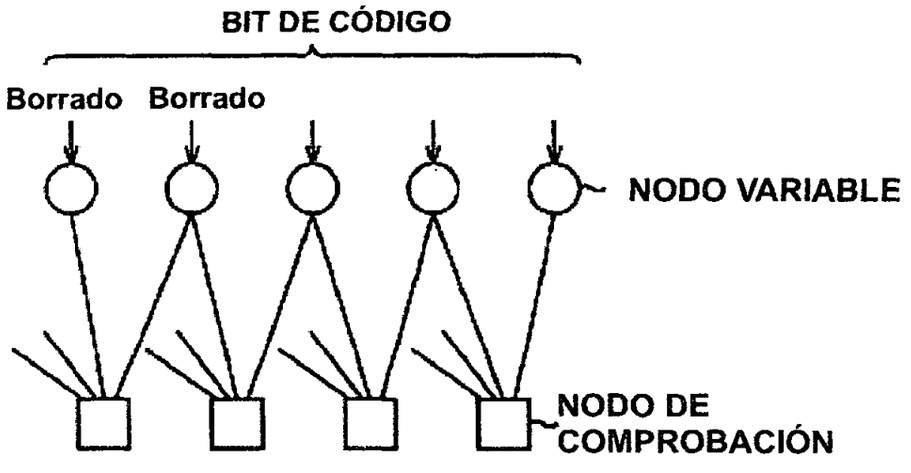
00 335

FIG.19



ESTRUCTURA ESCALONADA DE MATRIZ DE PARIDAD

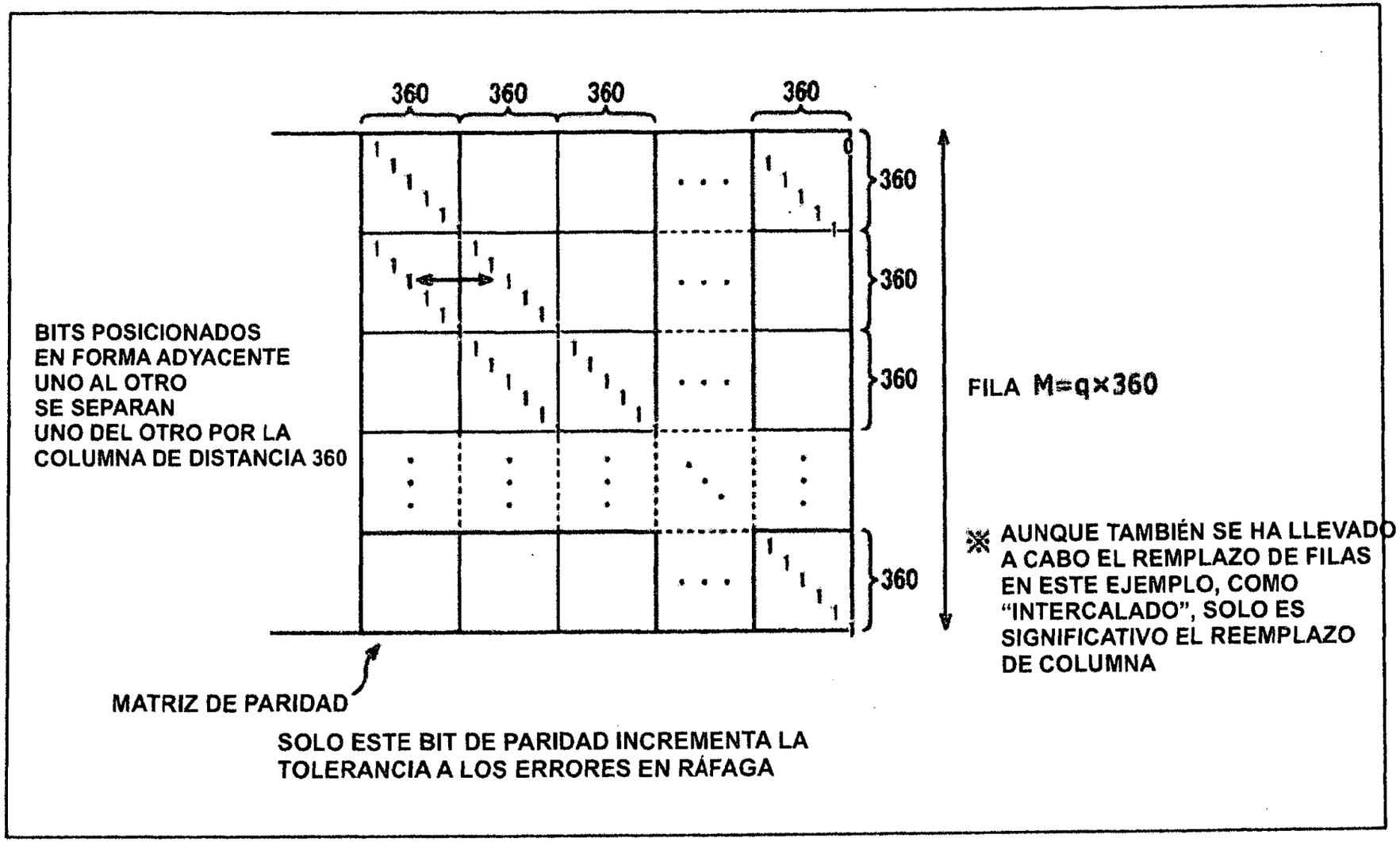
A



PORCIÓN DE ESTRUCTURA ESCALONADA DE GRÁFICA TANNER

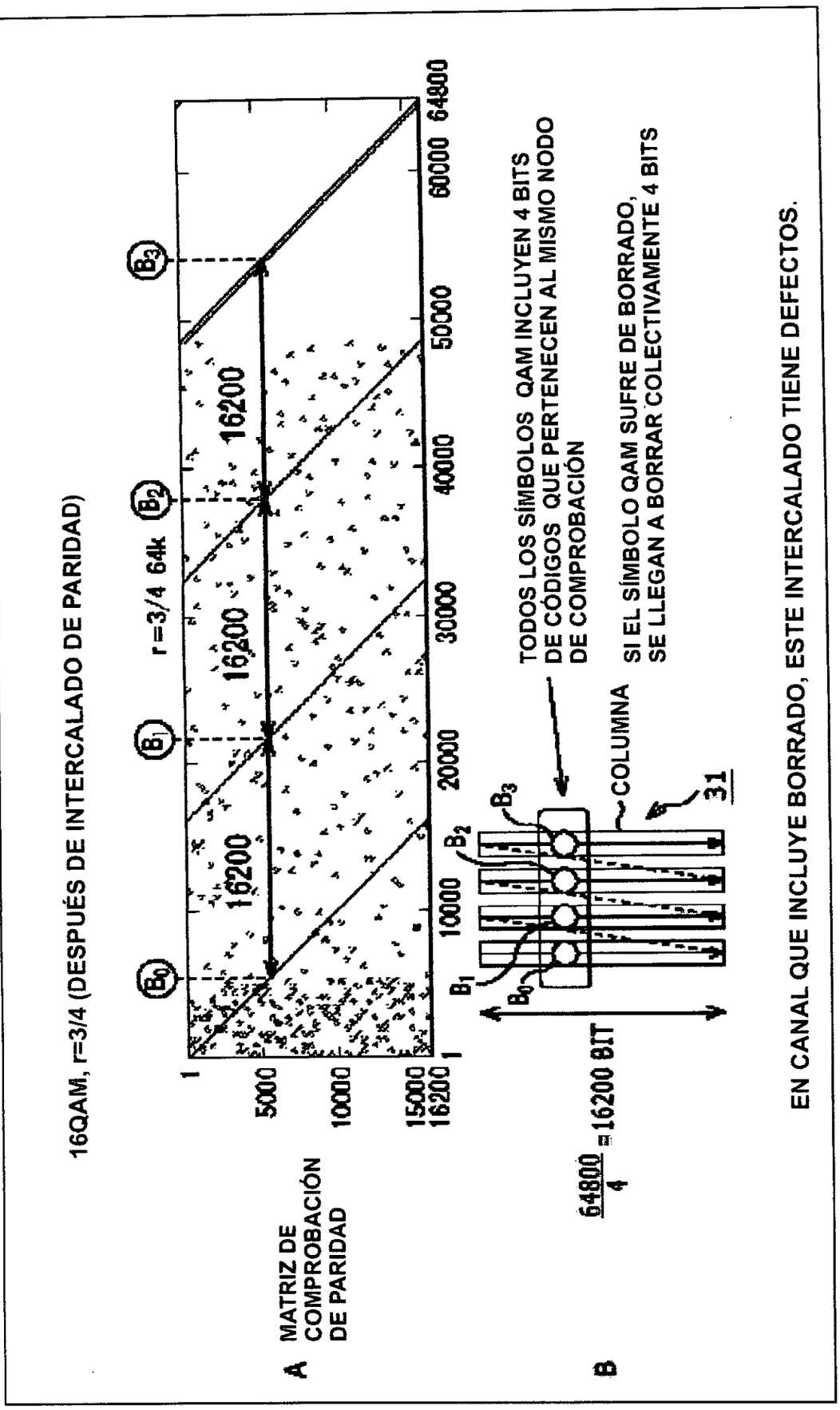
B

FIG.20


360
360
360
360
360
360
360
360
BITS POSICIONADOS
EN FORMA ADYACENTE
UNO AL OTRO
SE SEPARAN
UNO DEL OTRO POR LA
COLUMNA DE DISTANCIA 360
FILA M=q×360
※ AUNQUE TAMBIÉN SE HA LLEVADO A CABO EL REMPLAZO DE FILAS EN ESTE EJEMPLO, COMO "INTERCALADO", SOLO ES SIGNIFICATIVO EL REEMPLAZO DE COLUMNA
MATRIZ DE PARIDAD
SOLO ESTE BIT DE PARIDAD INCREMENTA LA TOLERANCIA A LOS ERRORES EN RÁFAGA

00 337

FIG. 21


16QAM, r=3/4 (DESPUÉS DE INTERCALADO DE PARIDAD)
r=3/4 64k
16200
16200
16200
B0
B1
B2
B3
1
5000
10000
15000
16200
1
10000
20000
30000
40000
50000
60000
64800
A MATRIZ DE COMPROBACIÓN DE PARIDAD
B
TODOS LOS SÍMBOLOS QAM INCLUYEN 4 BITS DE CÓDIGOS QUE PERTENECEN AL MISMO NODO DE COMPROBACIÓN
SI EL SÍMBOLO QAM SUFRE DE BORRADO, SE LLEGAN A BORRAR COLECTIVAMENTE 4 BITS
COLUMNA
31
64800/4 = 16200 BIT
EN CANAL QUE INCLUYE BORRADO, ESTE INTERCALADO TIENE DEFECTOS.

00 338

FIG.22

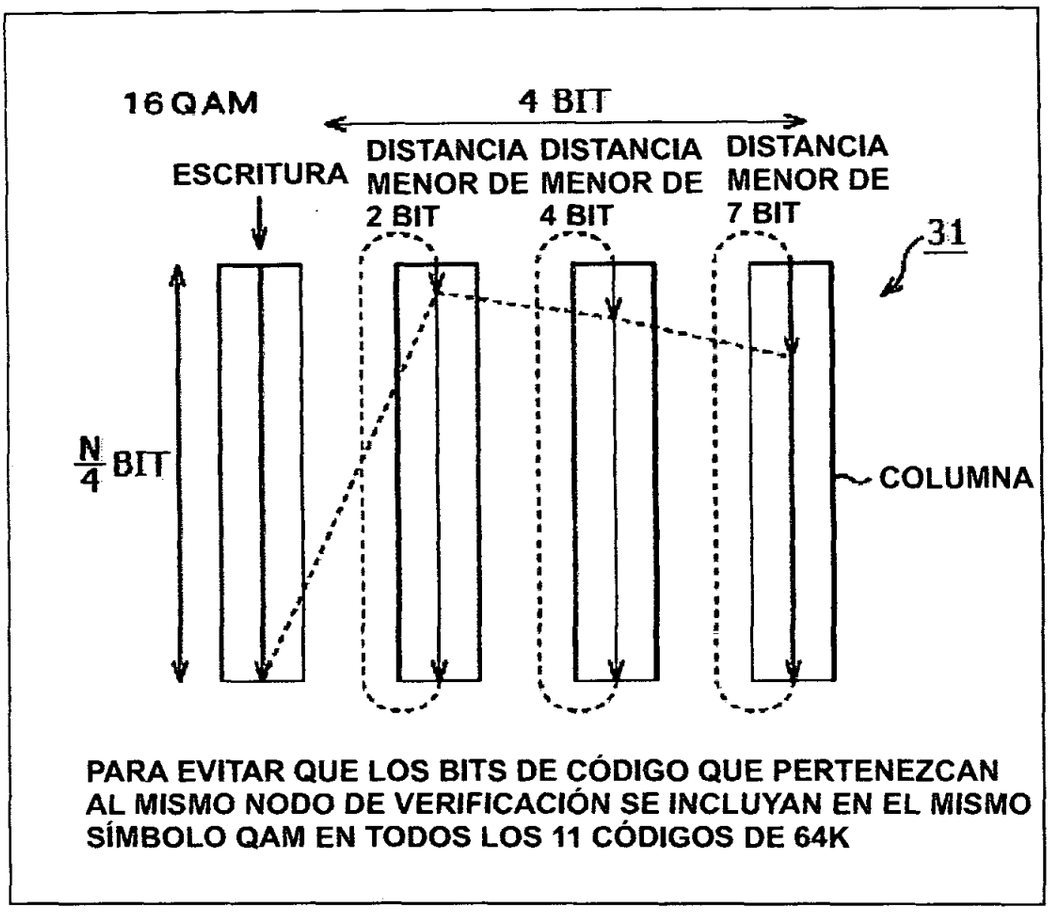

16QAM
4 BIT
ESCRITURA
DISTANCIA MENOR DE 2 BIT
DISTANCIA MENOR DE 4 BIT
DISTANCIA MENOR DE 7 BIT
31
N/4 BIT
COLUMNA
PARA EVITAR QUE LOS BITS DE CÓDIGO QUE PERTENEZCAN AL MISMO NODO DE VERIFICACIÓN SE INCLUYAN EN EL MISMO SÍMBOLO QAM EN TODOS LOS 11 CÓDIGOS DE 64K

FIG. 23

NÚMERO DE COLUMNA mb REQUERIDO	PRIMER A TERCER MÉTODO DE REEMPLAZO	CUARTO MÉTODO DE REEMPLAZO	POSICIÓN DE INICIO DE ESCRITURA EN COLUMNAS mb																								
			1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
2	QPSK		0	2																						
4	16QAM	QPSK	0	2	4	7																				
6	64QAM		0	2	5	9	10	13																		
8	256QAM	16QAM	0	0	2	4	4	5	7	7																
10	1024QAM		0	3	6	8	11	13	15	17	18	20														
12	4096QAM	64QAM	0	0	2	2	3	4	4	5	5	7	8	9												
16		256QAM	0	2	2	2	2	3	7	15	16	20	22	22	27	27	28	32								
20		1024QAM	0	1	3	4	5	6	6	9	13	14	14	16	21	21	23	25	25	26	28	30				
24		4096QAM	0	5	8	8	8	8	10	10	10	12	13	16	17	19	21	22	23	26	37	39	40	41	41	41

00 330

FIG. 24

NÚMERO DE COLUMNA *mb* REQUERIDO	PRIMER A TERCER MÉTODO DE REEMPLAZO	CUARTO MÉTODO DE REEMPLAZO	POSICIÓN DE INICIO DE ESCRITURA EN COLUMNAS mb																								
			1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
2	QPSK		0	0																						
4	16QAM	QPSK	0	2	3	3																				
6	64QAM		0	0	2	3	7	7																		
8	256QAM	16QAM	0	0	0	1	7	20	20	21																
10	1024QAM		0	1	2	2	3	3	4	4	5	7														
12	4096QAM	64QAM	0	0	0	2	2	2	3	3	3	6	7	7												
20		1024QAM	0	0	0	2	2	2	2	2	5	5	5	5	5	7	7	7	7	8	8	10				
24		4096QAM	0	0	0	0	0	0	0	1	1	1	2	2	2	3	7	9	9	9	10	10	10	10	10	11

00 320

FIG. 25

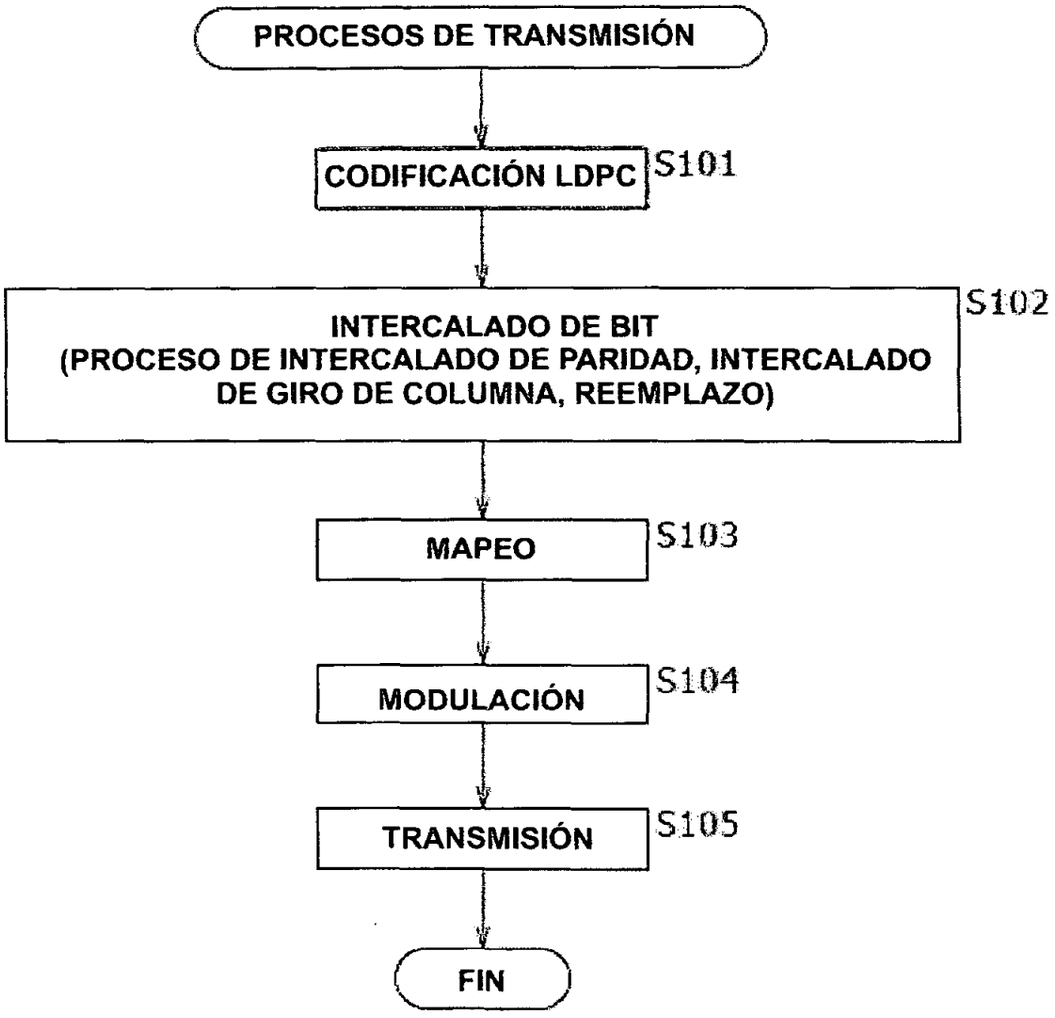
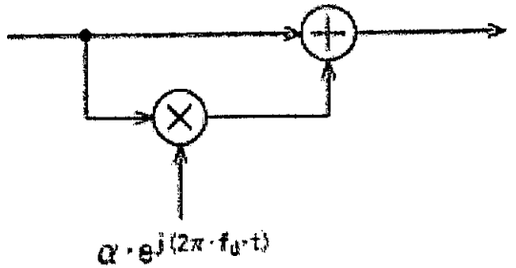

PROCESOS DE TRANSMISIÓN
CODIFICACIÓN LDPC
S101
INTERCALADO DE BIT
(PROCESO DE INTERCALADO DE PARIDAD, INTERCALADO DE GIRO DE COLUMNA, REEMPLAZO)
S102
MAPEO
S103
MODULACIÓN
S104
TRANSMISIÓN
S105
FIN

FIG. 26

MODO DE REDUCCIÓN EQUIVALENTE DE OSCILADOR

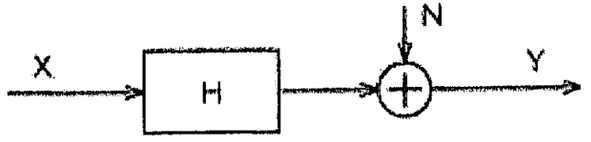
A



$1/\alpha^2 = D/U$
Fd: frecuencia dopller
t: Tiempo

SE ENVÍA EN ESTE CANAL EL SÍMBOLO OFDM, Y SE LLEVA A CABO LA SIMULACIÓN CON EL MODELO DEL QUE SE EXTRAE EL PORTADOR 1 DESPUÉS DE FFT EN EL LADO DE RECEPCIÓN

B



$$Y = \underbrace{\left[1 + \alpha \cdot \exp\left(j2\pi \cdot m \cdot f_d \cdot Ts + j2\pi \cdot \frac{(Nu-1) \cdot f_d \cdot Tu}{Nu}\right) \cdot \frac{\mathrm{sinc}(\pi \cdot f_d \cdot Tu)}{\mathrm{sinc}(\pi \cdot f_d \cdot Tu/Nu)}\right]}_{H} \cdot X + N$$

$$E\left[N^2\right] = \alpha^2 \cdot \left(1 - \left|\frac{\mathrm{sinc}(\pi \cdot f_d \cdot Tu)}{\mathrm{sinc}(\pi \cdot f_d \cdot Tu/Nu)}\right|^2\right)$$

DE POTENCIA: CON APROXIMACIÓN AWGN

m: número de símbolo
Ts: longitud de símbolo (seg.)
Tu: longitud efectiva de símbolo (seg.)
Nu: número de portadores OFDM

FIG. 27

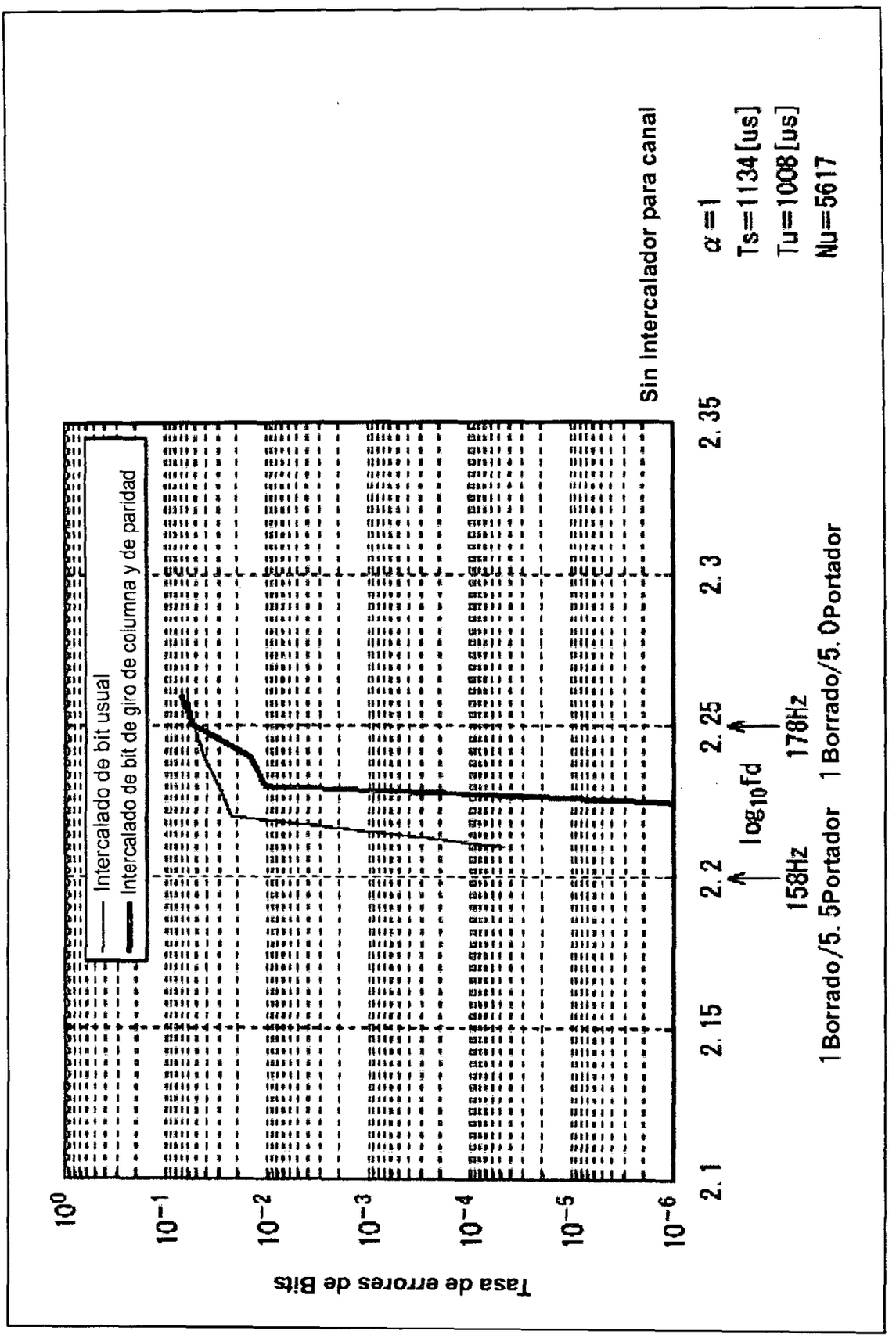
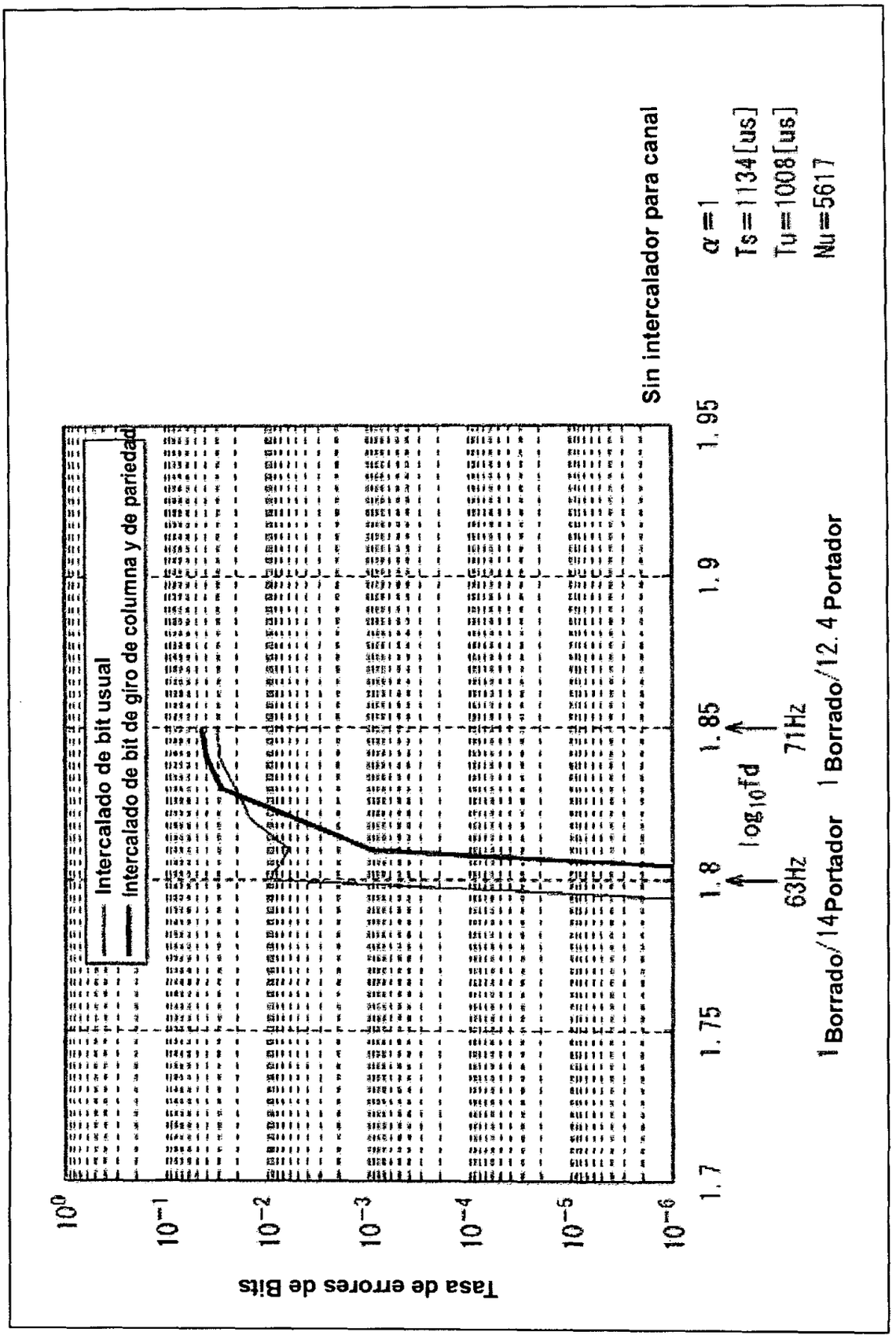
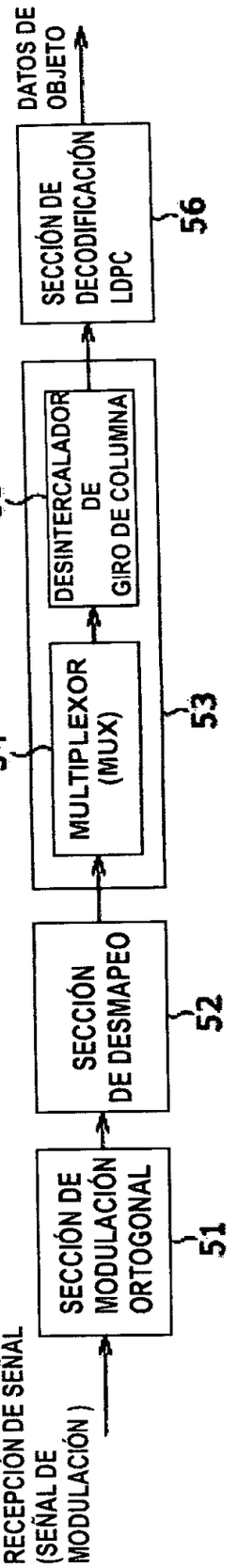

Tasa de errores de Bits
10^0
10^{-1}
10^{-2}
10^{-3}
10^{-4}
10^{-5}
10^{-6}
2.1
2.15
2.2
2.25
2.3
2.35
$\log_{10}$fd
158Hz
178Hz
Intercalado de bit usual
Intercalado de bit de giro de columna y de paridad
Sin intercalador para canal
α=1
Ts=1134[us]
Tu=1008[us]
Nu=5617
1Borrado/5.5Portador
1Borrado/5.0Portador

FIG. 28


Intercalado de bit usual
Intercalado de bit de giro de columna y de paridad
Tasa de errores de Bits
10^{0}
10^{-1}
10^{-2}
10^{-3}
10^{-4}
10^{-5}
10^{-6}
1.7
1.75
1.8
1.85
1.9
1.95
$\log_{10}$fd
63Hz
71Hz
1 Borrado/14 Portador
1 Borrado/12.4 Portador
Sin intercalador para canal
α = 1
Ts = 1134 [us]
Tu = 1008 [us]
Nu = 5617

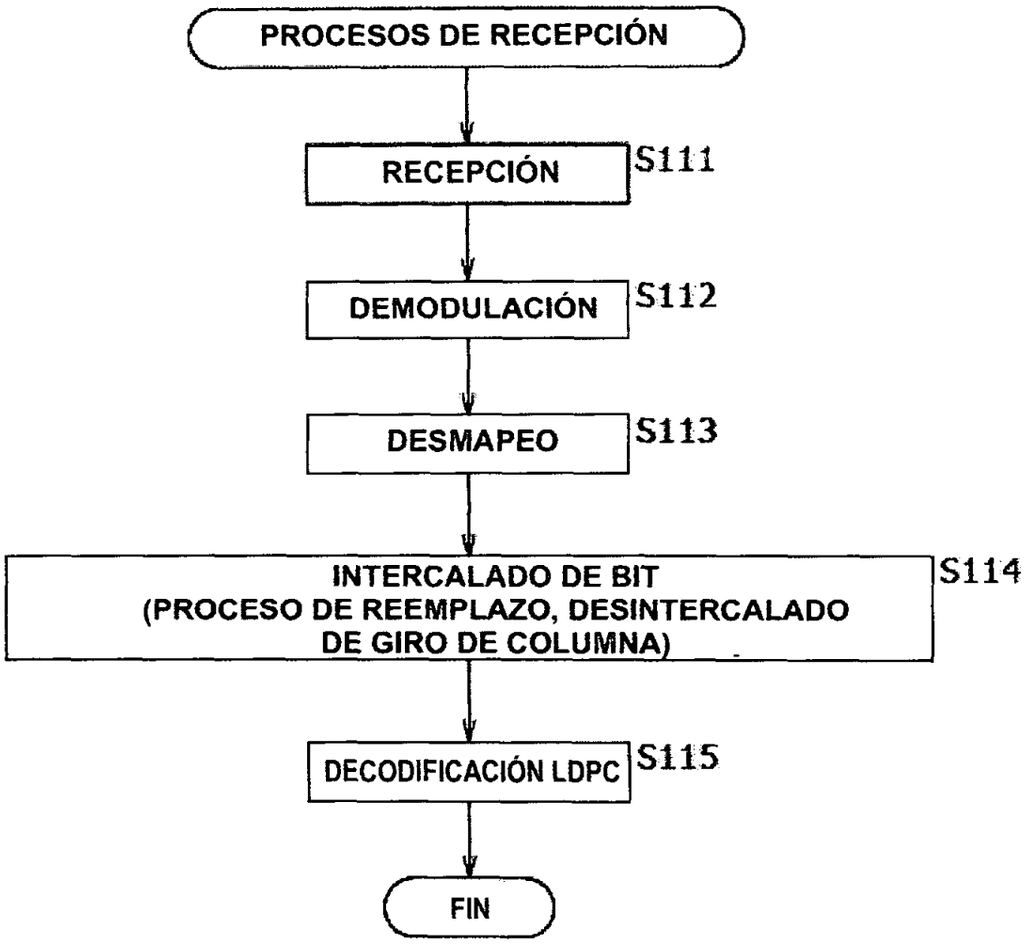
00 345

FIG. 29


RECEPCIÓN DE SEÑAL (SEÑAL DE MODULACIÓN)
SECCIÓN DE MODULACIÓN ORTOGONAL
51
SECCIÓN DE DESMAPEO
52
MULTIPLEXOR (MUX)
54
DESINTERCALADOR DE GIRO DE COLUMNA
55
53
SECCIÓN DE DECODIFICACIÓN LDPC
56
DATOS DE OBJETO
12

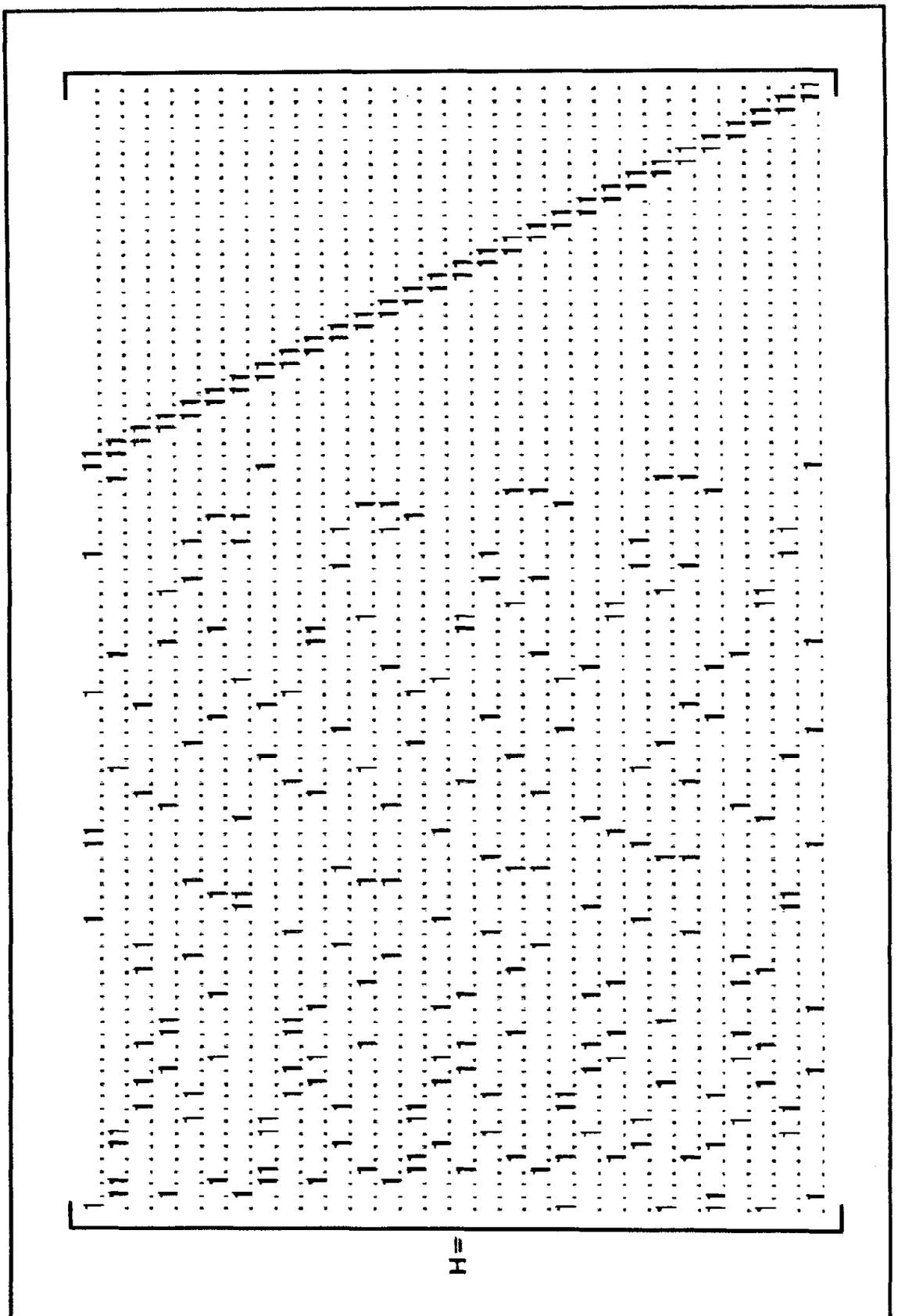
00 346

FIG.30


PROCESOS DE RECEPCIÓN
RECEPCIÓN
S111
DEMODULACIÓN
S112
DESMAPEO
S113
INTERCALADO DE BIT
(PROCESO DE REEMPLAZO, DESINTERCALADO
DE GIRO DE COLUMNA)
S114
DECODIFICACIÓN LDPC
S115
FIN

00 347

FIG.31



00 348

FIG.32

