Industria y Comercio
SUPERINTENDENCIA
República de Colombia
Ministerio de Comercio, Industria y Turismo
PROPIEDAD INDUSTRIAL

Delegatura de Propiedad Industrial
División de Nuevas Creaciones

SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO
INVENTARIO

SOLICITUD DE

CSA125495
Organizacion y Digitalizacion CSA Ltda

# PATENTE DE INVENCION
# PCT ENTRADA EN FASE NACIONAL

21. EXPEDIENTE No. 10-76878

54. TITULO: **APARATO PARA PROCESAMIENTO DE DATOS Y METODO PARA PROCESAMIENTO DE DATOS ASI COMO TAMBIEN APARATO DE CODIFICACION Y METODO DE CODIFICACION**

52. CLASIFICACION INTERNACIONAL: **H03M 13/19**

71. SOLICITANTE: **SONY CORPORATION**

DOMICILIO: **1-7-1 Konan, Minato-ku, Tokyo 108-0075 - JAPON**

74. APODERADO: **Dra. MARGARITA CASTELLANOS A.**

22. BOGOTA, D.C., 25 JUN. 2010

Industria y Comercio
SUPERINTENDENCIA

**PETITORIO**

SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO
No. 10-076878- -00000-0000
Fecha: 2010-06-25 13:45:38 Dep: 2020 DIR.NUEVASCR
Tra. 11 PATENTEIYII Eve: 378 FASENACIONALI
Act. 411 PRESENTACION Folios: 598

# FORMULARIO UNICO DE SOLICITUD DE PATENTES PCT ENTRADA EN FASE NACIONAL

**SOLICITUD DE:**

(1)

[X] **Patente de Invención.** [ ] **Patente de Modelo de Utilidad.**

[X] **Capítulo I** [ ] **Capítulo II**

**(2) SOLICITANTE (71)**

Nombre: **SONY CORPORATION**

Dirección: **1-7-1 Konan, Minato-ku**
**Tokyo 108-0075**
**JAPON**

Nacionalidad o Domicilio: **Tokyo, JAPON**

Lugar de Constitución: **JAPON**

Teléfono: Fax:
E-mail:

**IDENTIFICACIÓN**

C.C. [ ] NIT [ ]
C.E. [ ] Otro [ ]
Cual
Número

**(3) REPRESENTANTE O APODERADO**

Nombre: **MARGARITA CASTELLANOS A.**

Dirección: **CALLE 94A No. 7A-09**

Teléfono: **756 07 70** Fax: **755 01 58**

E-mail: info@castellanosyco.com

**IDENTIFICACIÓN**

C.C. [X] NIT [ ]
C.E. [ ] Otro [ ]
Cual
Número **39'779.654** TPA **70.819**

**(4) INVENTOR (ES) (72)**

**TAKASHI YOKOKAWA**
c/o SONY CORPORATION
1-7-1 Konan, Minato-ku
Tokyo
JAPON

**MAKIKO YAMAMOTO**
c/o SONY CORPORATION
1-7-1 Konan, Minato-ku
Tokyo
JAPON

**SATOSHI OKADA**
c/o SONY CORPORATION
1-7-1 Konan, Minato-ku
Tokyo
JAPON

**RYOJI IKEGAYA**
c/o SONY CORPORATION
1-7-1 Konan, Minato-ku
Tokyo
JAPON

**(5) PCT (86)**

Solicitud Internacional No. **PCT/JP2008/070960** Fecha **18/11/2008**

Publicación Internacional No. **WO 2009/069513 A1** Fecha **04/06/2009**

**(6) Título (54)** APARATO PARA PROCESAMIENTO DE DATOS Y METODO PARA PROCESAMIENTO DE DATOS ASI COMO TAMBIEN APARATO DE CODIFICACION Y METODO DE CODIFICACION

**(7) Clasificación Internacional (51)** H03M 13/19

**(8) Prioridad**

SI [X] NO [ ]

| (33) Pais de Origen | (32) Fecha | (31) Número de Solicitud |
|---|---|---|
| JP | 26/11/2007 | 2007-304689 |
| JP | 26/11/2007 | 2007-304690 |
| JP | 18/03/2008 | 2008-070467 |
| | | |

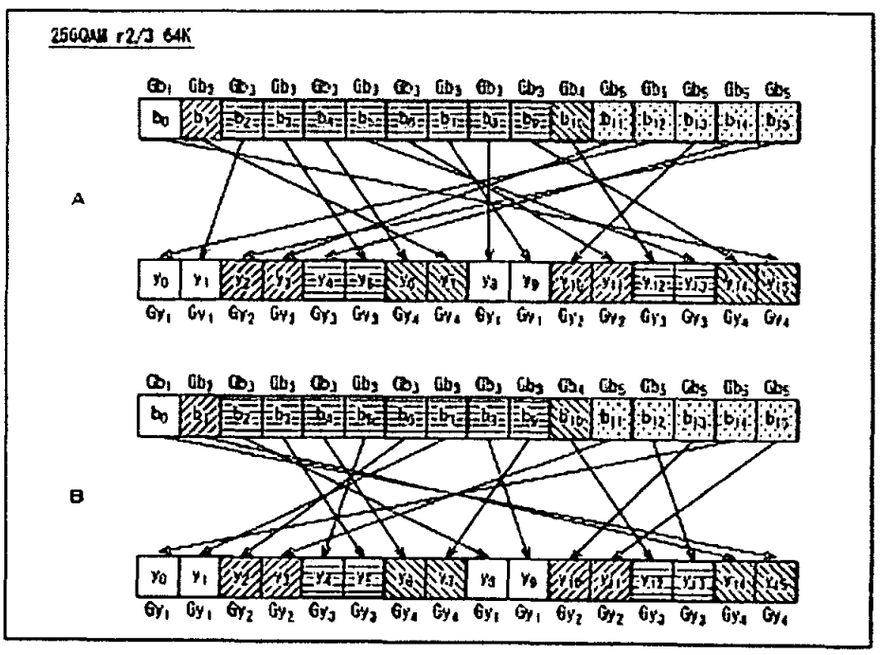
**(9) Comprobante de pago No.** 10-50.333 **Fecha** Junio 23 de 2010

**Instrucciones para el diligenciamiento del presente formulario, ver reverso de esta página.**

## (10) Anexos

- [X] Comprobante de pago de la tasa de presentación de la solicitud.
- [ ] Documento que acredita la existencia y representación legal cuando el solicitante sea persona jurídica.
- [ ] Poderes, si fuere el caso, junto con la sustitución del mismo a mi favor
- [ ] Documento de cesión del inventor al solicitante o a su causante.
- [ ] Declaraciones.
- [X] Copia de la solicitud internacional (Resumen, descripción, reivindicaciones, dibujos).
- [X] Traducción de la solicitud internacional al castellano (Resumen, descripción, reivindicaciones, dibujos).
- [ ] Copia del examen preliminar internacional efectuado por la Autoridad Internacional de Examen Preliminar (IPEA).
- [ ] Traducción del examen preliminar internacional efectuado por la IPEA.
- [ ] De ser el caso, copia del contrato de acceso.
- [ ] De ser el caso, documento que acredite la licencia o autorización de uso de conocimientos tradicionales de las comunidades indígenas.
- [ ] De ser el caso, certificado de depósito del material biológico.
- [X] Arte final 12x12
- [ ] De ser el caso, información sobre otras solicitudes de patente o títulos obtenidos en el extranjero por el mismo titular o su causante, relacionadas parcial o totalmente con la invención de esta solicitud.
- [ ] De ser el caso, modificaciones efectuadas a la solicitud internacional.
- [X] Otros: **Tarjeta Propietario, Extracto para la publicación**

## (11) FIGURA CARACTERISTICA:




## (12) Solicito la concesión de la patente,

NOMBRE: **MARGARITA CASTELLANOS ABONDANO**

FIRMA:

**C.C. No. 39'779.654 Usaquén - TPA 70.819 C.S.J.**

25 JUN 201

**Instrucciones para el diligenciamiento del presente formulario, ver reverso de esta página.** - MCA/gcb - P1966

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2009 年6 月4 日 (04.06.2009)

PCT

(10) 国際公開番号
WO 2009/069513 A1

(51) 国際特許分類:
*H03M 13/19* (2006.01)

(21) 国際出願番号: PCT/JP2008/070960

(22) 国際出願日: 2008 年11 月18 日 (18.11.2008)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2007-304689
2007 年11 月26 日 (26.11.2007) JP
特願 2007-304690
2007 年11 月26 日 (26.11.2007) JP
特願2008-070467 2008 年3 月18 日 (18.03.2008) JP

(71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒1080075 東京都港区港南 1 丁目 7 番 1 号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 横川 峰志 (YOKOKAWA, Takashi) [JP/JP]; 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP). 山本 真紀子 (YAMAMOTO, Makiko) [JP/JP]; 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP). 岡田 諭志 (OKADA, Satoshi) [JP/JP]; 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP). 池谷 亮志 (IKEGAYA, Ryoji) [JP/JP]; 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP).

(74) 代理人: 稲本 義雄 (INAMOTO, Yoshio); 〒1600023 東京都新宿区西新宿 7 丁目 1 1 番 1 8 号 7 1 1 ビルディング 4 階 Tokyo (JP).

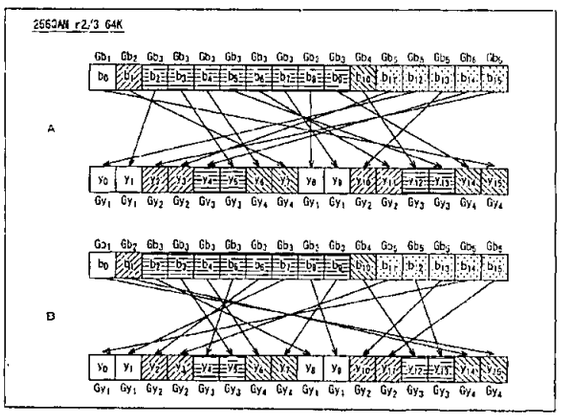
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

*[続葉有]*

(54) **Title:** DATA PROCESS DEVICE, DATA PROCESS METHOD, CODING DEVICE, CODING METHOD

(54) **発明の名称:** データ処理装置、及びデータ処理方法、並びに、符号化装置、及び符号化方法

[図61]
図64




(57) **Abstract:** The present invention relates to a data process device whose error resistance can be improved, a data process method, a coding device, and a coding method. A code bit of *mb* bits of a LDPC code specified by DVB-S.2 whose code length is 64800 bits and coding rate is 2/3 is rearranged and the code bit after the rearrangement becomes symbol bits of *b* symbols. When it is assumed that m = 8, b = 2, and the code bit of 8x2 bits and a bit that is a (i+1) th bit from the most significant bit of the symbol bit of 8x2 bits in two successive symbols are represented by $b_i$ and $y_i$, respectively, the rearrangement is performed, for example, $b_0$ is rearranged to $y_{15}$, $b_1$ is rearranged to $y_7$, $b_2$ is rearranged to $y_1$, $b_3$ is rearranged to $y_5$, $b_4$ is rearranged to $y_6$, $b_5$ is rearranged to $y_{13}$, $b_6$ is rearranged to $y_{11}$, $b_7$ is rearranged to $y_9$, $b_8$ is rearranged to $y_8$, $b_9$ is rearranged to $y_{14}$, $b_{10}$ is rearranged to $y_{12}$, $b_{11}$ is rearranged to $y_3$, $b_{12}$ is rearranged to $y_0$, $b_{13}$ is rearranged to $y_{10}$, $b_{14}$ is rearranged to $y_4$, and $b_{15}$ is rearranged to $y_2$. The present invention can be applied to for example, a transmission system or the like for transmitting the LDPC code.

*[続葉有]*

WO 2009/069513 A1

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

(57) 要約: 本発明は、エラーに対する耐性を向上させることができるデータ処理装置、及びデータ処理方法、並びに、符号化装置、及び符号化方法に関する。DVB-S.2に規定されている、符号長が64800ビットで、符号化率が2/3のLDPC符号のmbビットの符号ビットが入れ替えられて、入れ替え後の符号ビットが、b個のシンボルのシンボルビットとされる。mが8で、bが2のとき、8×2ビットの符号ビットと、連続する2個のシンボルの8×2ビットのシンボルビットの最上位ビットからi+1ビット目を、それぞれ$b_i$と$y_i$とすると、$b_0$は$y_{15}$に、$b_1$は$y_7$に、$b_2$は$y_1$に、$b_3$は$y_5$に、$b_4$は$y_6$に、$b_5$は$y_{13}$に、$b_6$は$y_{11}$に、$b_7$は$y_9$に、$b_8$は$y_8$に、$b_9$は$y_{14}$に、$b_{10}$は$y_{12}$に、$b_{11}$は$y_3$に、$b_{12}$は$y_0$に、$b_{13}$は$y_{10}$に、$b_{14}$は$y_4$に、$b_{15}$は$y_2$に、それぞれ割り当てる入れ替えが行われる。本発明は、例えば、LDPC符号を伝送する伝送システム等に適用できる。

# 明 細 書

## データ処理装置、及びデータ処理方法、並びに、符号化装置、及び符号化方法

### 技術分野

[0001] 本発明は、データ処理装置、及びデータ処理方法、並びに、符号化装置、及び符号化方法に関し、特に、例えば、エラーに対する耐性を向上させることができるようにするデータ処理装置、及び、データ処理方法、並びに、符号化装置、及び符号化方法に関する。

### 背景技術

[0002] LDPC(Low Density Parity Check)符号は、高い誤り訂正能力を有し、近年では、例えば、欧州で行われているDVB(Digital Video Broadcasting)-S.2等の衛星ディジタル放送を含む伝送方式に広く採用され始めている(例えば、非特許文献1を参照)。また、LDPC符号は、次世代の地上ディジタル放送にも採用が検討されている。

[0003] LDPC符号は、近年の研究により、ターボ符号等と同様に、符号長を長くしていくにしたがって、シャノン限界に近い性能が得られることがわかりつつある。また、LDPC符号は、最小距離が符号長に比例するという性質があることから、その特徴として、ブロック誤り確率特性がよく、さらに、ターボ符号等の復号特性において観測される、いわゆるエラーフロア現象が殆ど生じないことも利点として挙げられる。

[0004] 以下、このようなLDPC符号について具体的に説明する。なお、LDPC符号は、線形符号であり、必ずしも2元である必要はないが、ここでは、2元であるものとして説明する。

[0005] LDPC符号は、そのLDPC符号を定義する検査行列(parity check matrix)が疎なものであることを最大の特徴とする。ここで、疎な行列とは、行列の要素の"1"の個数が非常に少ない行列(ほとんどの要素が0の行列)である。

[0006] 図1は、LDPC符号の検査行列Hの例を示している。

[0007] 図1の検査行列Hでは、各列の重み(列重み)("1"の数)(weight)が"3"であり、且つ、各行の重み(行重み)が"6"になっている。

[0008] LDPC符号による符号化(LDPC符号化)では、例えば、検査行列Hに基づいて生成行列Gを生成し、この生成行列Gを2元の情報ビットに対して乗算することで、符号語(LDPC符号)が生成される。

[0009] 具体的には、LDPC符号化を行う符号化装置は、まず、検査行列Hの転置行列$H^T$との間に、式$GH^T=0$が成立する生成行列Gを算出する。ここで、生成行列Gが、K×N行列である場合には、符号化装置は、生成行列Gに対してKビットからなる情報ビットのビット列(ベクトルu)を乗算し、Nビットからなる符号語c(=uG)を生成する。この符号化装置によって生成された符号語(LDPC符号)は、所定の通信路を介して受信側において受信される。

[0010] LDPC符号の復号は、Gallagerが確率復号(Probabilistic Decoding)と称して提案したアルゴリズムであって、バリアブルノード(variable node(メッセージノード(message node)とも呼ばれる))と、チェックノード(check node)とからなる、いわゆるタナーグラフ(Tanner graph)上での確率伝播(belief propagation)によるメッセージ・パッシング・アルゴリズムによって行うことが可能である。ここで、以下、適宜、バリアブルノードとチェックノードを、単に、ノードともいう。

[0011] 図2は、LDPC符号の復号の手順を示している。

[0012] なお、以下、適宜、受信側で受信したLDPC符号(1符号語)のi番目の符号ビットの、値の"0"らしさを対数尤度比(log likelihood ratio)で表現した実数値を、受信値$u_{0i}$という。また、チェックノードから出力されるメッセージを$u_j$とし、バリアブルノードから出力されるメッセージを$v_i$とする。

[0013] まず、LDPC符号の復号においては、図2に示すように、ステップS11において、LDPC符号が受信され、メッセージ(チェックノードメッセージ)$u_j$が"0"に初期化されるとともに、繰り返し処理のカウンタとしての整数をとる変数kが"0"に初期化され、ステップS12に進む。ステップS12において、LDPC符号を受信して得られる受信値$u_{0i}$に基づいて、式(1)に示す演算(バリアブルノード演算)を行うことによってメッセージ(バリアブルノードメッセージ)$v_i$が求められ、さらに、このメッセージ$v_i$に基づいて、式(2)に示す演算(チェックノード演算)を行うことによってメッセージ$u_j$が求められる。

[0014] [数1]

000003

$$v_i = u_{0i} + \sum_{j=1}^{d_v - 1} u_j$$

・・・(1)

[0015] [数2]

$$\tanh\left(\frac{u_j}{2}\right) = \prod_{i=1}^{d_c - 1} \tanh\left(\frac{v_i}{2}\right)$$

・・・(2)

[0016] ここで、式(1)と式(2)における$d_v$と$d_c$は、それぞれ、検査行列Hの縦方向(列)と横方向(行)の"1"の個数を示す任意に選択可能とされるパラメータであり、例えば、(3,6)符号の場合には、$d_v=3$, $d_c=6$となる。

[0017] なお、式(1)のバリアブルノード演算、及び(2)のチェックノード演算においては、それぞれ、メッセージを出力しようとする枝(edge)(バリアブルノードとチェックノードとを結ぶ線)から入力されたメッセージを、演算の対象としないことから、演算の範囲が、1ないし$d_v-1$又は1ないし$d_c-1$となっている。また、式(2)のチェックノード演算は、実際には、2入力$v_1$, $v_2$に対する1出力で定義される式(3)に示す関数$R(v_1,v_2)$のテーブルを予め作成しておき、これを式(4)に示すように連続的(再帰的)に用いることによって行われる。

[0018] [数3]

$$x = 2\tanh^{-1}\{\tanh(v_1/2)\tanh(v_2/2)\} = R(v_1, v_2)$$

・・・(3)

[0019] [数4]

$$u_j = R(v_1, R(v_2, R(v_3, \cdots R(v_{d_c-2}, v_{d_c-1}))))$$

・・・(4)

[0020] ステップS12では、さらに、変数kが"1"だけインクリメントされ、ステップS13に進む。ステップS13では、変数kが所定の繰り返し復号回数Cよりも大きいか否かが判定される。ステップS13において、変数kがCよりも大きくないと判定された場合、ステップS12に戻り、以下、同様の処理が繰り返される。

[0021] また、ステップS13において、変数kがCよりも大きいと判定された場合、ステップS14に進み、式(5)に示す演算を行うことによって最終的に出力する復号結果としてのメッセージ$v_i$が求められて出力され、LDPC符号の復号処理が終了する。

[0022] [数5]

$$v_i = u_{0i} + \sum_{j=1}^{d_v} u_j \quad \cdots (5)$$

[0023] ここで、式(5)の演算は、式(1)のバリアブルノード演算とは異なり、バリアブルノードに接続している全ての枝からのメッセージ$u_j$を用いて行われる。

[0024] 図3は、(3,6)LDPC符号(符号化率1/2、符号長12)の検査行列Hの例を示している。

[0025] 図3の検査行列Hでは、図1と同様に、列の重みが3に、行の重みが6に、それぞれなっている。

[0026] 図4は、図3の検査行列Hのタナーグラフを示している。

[0027] ここで、図4において、"+"で表わされるのが、チェックノードであり、"="で表わされるのが、バリアブルノードである。チェックノードとバリアブルノードは、それぞれ、検査行列Hの行と列に対応する。チェックノードとバリアブルノードとの間の結線は、枝(edge)であり、検査行列の要素の"1"に相当する。

[0028] すなわち、検査行列の第j行第i列の要素が1である場合には、図4において、上からi番目のバリアブルノード("="のノード)と、上からj番目のチェックノード("+"のノード)とが、枝により接続される。枝は、バリアブルノードに対応する符号ビットが、チェックノードに対応する拘束条件を持つことを表す。

[0029] LDPC符号の復号方法であるサムプロダクトアルゴリズム(Sum Product Algorithm)では、バリアブルノード演算とチェックノード演算とが繰り返し行われる。

[0030] 図5は、バリアブルノードで行われるバリアブルノード演算を示している。

[0031] バリアブルノードでは、計算しようとしている枝に対応するメッセージ$v_i$は、バリアブルノードに繋がっている残りの枝からのメッセージ$u_1$および$u_2$と、受信値$u_{0i}$を用いた式(1)のバリアブルノード演算により求められる。他の枝に対応するメッセージも同様に

求められる。

[0032] 図6は、チェックノードで行われるチェックノード演算を示している。

[0033] ここで、式(2)のチェックノード演算は、式a×b=exp{ln(|a|)+ln(|b|)}×sign(a)×sign(b)の関係を用いて、式(6)に書き直すことができる。但し、sign(x)は、x≧0のとき1であり、x<0のとき-1である。

[0034] [数6]

$$u_j = 2\tanh^{-1}\left(\prod_{i=1}^{d_c-1}\tanh\left(\frac{v_i}{2}\right)\right)$$

$$= 2\tanh^{-1}\left[\exp\left\{\sum_{i=1}^{d_c-1}\ln\left(\left|\tanh\left(\frac{v_i}{2}\right)\right|\right)\right\}\times\prod_{i=1}^{d_c-1}\mathrm{sign}\left(\tanh\left(\frac{v_i}{2}\right)\right)\right]$$

$$= 2\tanh^{-1}\left[\exp\left\{-\left(\sum_{i=1}^{d_c-1}-\ln\left(\tanh\left(\frac{|v_i|}{2}\right)\right)\right)\right\}\right]\times\prod_{i=1}^{d_c-1}\mathrm{sign}(v_i)$$

・・・(6)

[0035] さらに、x≧0において、関数φ(x)を、式φ(x)=ln(tanh(x/2))と定義すると、式$\phi^{-1}(x)=2\tanh^{-1}(e^{-x})$が成り立つから、式(6)は、式(7)に変形することができる。

[0036] [数7]

$$u_j = \phi^{-1}\left(\sum_{i=1}^{d_c-1}\phi(|v_i|)\right)\times\prod_{i=1}^{d_c-1}\mathrm{sign}(v_i)$$

・・・(7)

[0037] チェックノードでは、式(2)のチェックノード演算が、式(7)に従って行われる。

[0038] すなわち、チェックノードでは、図6のように、計算しようとしている枝に対応するメッセージ$u_j$は、チェックノードに繋がっている残りの枝からのメッセージ$v_1, v_2, v_3, v_4, v_5$を用いた式(7)のチェックノード演算によって求められる。他の枝に対応するメッセージも同様に求められる。

[0039] なお、式(7)の関数φ(x)は、φ(x)=ln((e^x+1)/(e^x-1))とも表すことができ、x>0において、φ(x)=$\phi^{-1}(x)$である。関数φ(x)および$\phi^{-1}(x)$をハードウェアに実装する際には、L

UT(Look Up Table)を用いて実装される場合があるが、両者共に同一のLUTとなる。

[0040] 非特許文献1:DVB-S.2 : ETSI EN 302 307 V1.1.2 (2006-06)

## 発明の開示

### 発明が解決しようとする課題

[0041] LDPC符号は、衛星ディジタル放送の規格であるDVB-S.2や、次世代の地上ディジタル放送の規格であるDVB-T.2で採用されている。また、LDPC符号は、次世代のCATV(Cable Television)ディジタル放送の規格であるDVB-C.2での採用が予定されている。

[0042] DVB-S.2等のDVBの規格に準拠したディジタル放送では、LDPC符号が、QPSK(Quadrature Phase Shift Keying)等の直交変調(ディジタル変調)のシンボルとされ(シンボル化され)、そのシンボルが信号点にマッピングされて送信される。

[0043] LDPC符号のシンボル化では、LDPC符号の符号ビットの入れ替えが、2ビット以上の符号ビット単位で行われ、その入れ替え後の符号ビットが、シンボルのビットとされる。

[0044] LDPC符号のシンボル化のための、符号ビットの入れ替えの方式としては、種々の方式で提案されているが、既に提案されている方式よりも、エラーに対する耐性がより向上する方式の提案が要請されている。

[0045] また、LDPC符号自体についても、DVB-S.2等のDVBの規格に規定されているLDPC符号よりも、エラーに対する耐性を向上させるLDPC符号の提案が要請されている。

[0046] 本発明は、このような状況に鑑みてなされたものであり、エラーに対する耐性を向上させることができるようにするものである。

### 課題を解決するための手段

[0047] 本発明の第1の側面のデータ処理装置、又は、データ処理方法は、符号長がNビットのLDPC(Low Density Parity Check)符号の符号ビットを、ロウ方向とカラム方向に記憶する記憶手段の前記カラム方向に書き込まれ、前記ロウ方向に読み出される前記LDPC符号の符号ビットのmビットが1個のシンボルとされ、かつ、所定の正の整数をbとして、前記記憶手段は、前記ロウ方向にmbビットを記憶するとともに、前記カラム方向にN/(mb)ビットを記憶し、前記LDPC符号の符号ビットは、前記記憶手段の前記カ

ラム方向に書き込まれ、その後、前記ロウ方向に読み出され、前記記憶手段の前記ロウ方向に読み出されるmbビットの符号ビットが、b個の前記シンボルにされる場合に、前記mbビットの符号ビットを入れ替えて、入れ替え後の符号ビットを、前記シンボルを表すシンボルビットとする入れ替え手段、又は入れ替えステップを備え、前記LDPC符号は、DVB-S.2又はDVB-T.2の規格に規定された、符号長Nが64800ビットで、符号化率が2/3のLDPC符号であり、前記mビットが8ビットであり、かつ、前記整数bが2であり、前記符号ビットの8ビットが、1個の前記シンボルとして、256QAMで定める256個の信号点のうちのいずれかにマッピングされ、前記記憶手段が、ロウ方向に8×2ビットを記憶する16個のカラムを有し、カラム方向に64800/(8×2)ビットを記憶し、前記記憶手段のロウ方向に読み出される8×2ビットの符号ビットの最上位ビットからi+1ビット目を、ビット$b_i$とするとともに、連続する2個の前記シンボルの8×2ビットのシンボルビットの最上位ビットからi+1ビット目を、ビット$y_i$として、ビット$b_0$を、ビット$y_{15}$に、ビット$b_1$を、ビット$y_7$に、ビット$b_2$を、ビット$y_1$に、ビット$b_3$を、ビット$y_5$に、ビット$b_4$を、ビット$y_6$に、ビット$b_5$を、ビット$y_{13}$に、ビット$b_6$を、ビット$y_{11}$に、ビット$b_7$を、ビット$y_9$に、ビット$b_8$を、ビット$y_8$に、ビット$b_9$を、ビット$y_{14}$に、ビット$b_{10}$を、ビット$y_{12}$に、ビット$b_{11}$を、ビット$y_3$に、ビット$b_{12}$を、ビット$y_0$に、ビット$b_{13}$を、ビット$y_{10}$に、ビット$b_{14}$を、ビット$y_4$に、ビット$b_{15}$を、ビット$y_2$に、それぞれ割り当てる入れ替えを行うデータ処理装置、又は、データ処理方法である。

[0048] 以上のような第1の側面においては、前記LDPC符号が、DVB-S.2又はDVB-T.2の規格に規定された、符号長Nが64800ビットで、符号化率が2/3のLDPC符号であり、前記mビットが8ビットであり、かつ、前記整数bが2であり、前記符号ビットの8ビットが、1個の前記シンボルとして、256QAMで定める256個の信号点のうちのいずれかにマッピングされ、前記記憶手段が、ロウ方向に8×2ビットを記憶する16個のカラムを有し、カラム方向に64800/(8×2)ビットを記憶する場合において、前記記憶手段のロウ方向に読み出される8×2ビットの符号ビットの最上位ビットからi+1ビット目を、ビット$b_i$とするとともに、連続する2個の前記シンボルの8×2ビットのシンボルビットの最上位ビットからi+1ビット目を、ビット$y_i$として、ビット$b_0$を、ビット$y_{15}$に、ビット$b_1$を、ビット$y_7$に、ビット$b_2$を、ビット$y_1$に、ビット$b_3$を、ビット$y_5$に、ビット$b_4$を、ビット$y_6$に、ビット$b_5$を、ビット$y_{13}$に、ビット$b_6$を、ビット$y_{11}$に、ビット$b_7$を、ビット$y_9$に、ビット$b_8$を、ビット$y_8$に、ビット$b_9$を、ビット$y_1$

に、ビットb10を、ビットy12に、ビットb11を、ビットy3に、ビットb12を、ビットy0に、ビットb13を、ビットy10に、ビットb14を、ビットy4に、ビットb15を、ビットy2に、それぞれ割り当てる入れ替えが行われる。

[0049] 本発明の第2の側面の符号化装置、又は、符号化方法は、符号長が64800ビットで、符号化率が2/3のLDPC符号による符号化を行う符号化手段、又はステップを備え、前記LDPC符号の検査行列は、その検査行列の、前記符号長、及び前記符号化率に応じた情報長に対応する情報行列の1の要素の位置を360列ごとに表す検査行列初期値テーブルによって定まる前記情報行列の1の要素を、列方向に360列ごとの周期で配置して構成され、前記検査行列初期値テーブルは、

317 2255 2324 2723 3538 3576 6194 6700 9101 10057 12739 17407 21039

1958 2007 3294 4394 12762 14505 14593 14692 16522 17737 19245 21272 21379

127 860 5001 5633 8644 9282 12690 14644 17553 19511 19681 20954 21002

2514 2822 5781 6297 8063 9469 9551 11407 11837 12985 15710 20236 20393

1565 3106 4659 4926 6495 6872 7343 8720 15785 16434 16727 19884 21325

706 3220 8568 10896 12486 13663 16398 16599 19475 19781 20625 20961 21335

4257 10449 12406 14561 16049 16522 17214 18029 18033 18802 19062 19526 20748

412 433 558 2614 2978 4157 6584 9320 11683 11819 13024 14486 16860

777 5906 7403 8550 8717 8770 11436 12846 13629 14755 15688 16392 16419

4093 5045 6037 7248 8633 9771 10260 10809 11326 12072 17516 19344 19938

2120 2648 3155 3852 6888 12258 14821 15359 16378 16437 17791 20614 21025

1085 2434 5816 7151 8050 9422 10884 12728 15353 17733 18140 18729 20920

856 1690 12787

6532 7357 9151

4210 16615 18152

11494 14036 17470

2474 10291 10323

1778 6973 10739

4347 9570 18748

2189 11942 20666

3868 7526 17706

8780 14796 18268

160 16232 17399

1285 2003 18922

4658 17331 20361

2765 4862 5875

4565 5521 8759

3484 7305 15829

5024 17730 17879

7031 12346 15024

179 6365 11352

2490 3143 5098

2643 3101 21259

4315 4724 13130

594 17365 18322

5983 8597 9627

10837 15102 20876

10448 20418 21478

3848 12029 15228

708 5652 13146

5998 7534 16117

2098 13201 18317

9186 14548 17776

5246 10398 18597

3083 4944 21021

13726 18495 19921

6736 10811 17545

10084 12411 14432

1064 13555 17033

679 9878 13547

3422 9910 20194

3640 3701 10046

5862 10134 11498

5923 9580 15060

1073 3012 16427

5527 20113 20883

7058 12924 15151

9764 12230 17375

772 7711 12723

555 13816 15376

10574 11268 17932

15442 17266 20482

390 3371 8781

10512 12216 17180

4309 14068 15783

3971 11673 20009

9259 14270 17199

2947 5852 20101

3965 9722 15363

1429 5689 16771

6101 6849 12781

3676 9347 18761

350 11659 18342

5961 14803 16123

2113 9163 13443

2155 9808 12885

2861 7988 11031

7309 9220 20745

6834 8742 11977

2133 12908 14704

10170 13809 18153

13464 14787 14975

799 1107 3789

3571 8176 10165

5433 13446 15481

3351 6767 12840

8950 8974 11650

1430 4250 21332

6283 10628 15050

8632 14404 16916

6509 10702 16278

15900 16395 17995

8031 18420 19733

3747 4634 17087

4453 6297 16262

2792 3513 17031

14846 20893 21563

17220 20436 21337

275 4107 10497

3536 7520 10027

14089 14943 19455

1965 3931 21104

2439 11565 17932

154 15279 21414

10017 11269 16546

7169 10161 16928

10284 16791 20655

36 3175 8475

2605 16269 19290

8947 9178 15420

5687 9156 12408

8096 9738 14711

4935 8093 19266

2667 10062 15972

6389 11318 14417

8800 18137 18434

5824 5927 15314

6056 13168 15179

3284 13138 18919

13115 17259 17332

からなる

符号化装置、又は、符号化方法である。

[0050] 以上のような第2の側面においては、符号長が64800ビットで、符号化率が2/3のLDPC符号による符号化が行われる。前記LDPC符号の検査行列は、その検査行列の、前記符号長、及前記符号化率に応じた情報長に対応する情報行列の1の要素の位置を360列ごとに表す検査行列初期値テーブルによって定まる前記情報行列の1の要素を、列方向に360列ごとの周期で配置して構成され、前記検査行列初期値テーブルは、

317 2255 2324 2723 3538 3576 6194 6700 9101 10057 12739 17407 21039

1958 2007 3294 4394 12762 14505 14593 14692 16522 17737 19245 21272 21379

127 860 5001 5633 8644 9282 12690 14644 17553 19511 19681 20954 21002

2514 2822 5781 6297 8063 9469 9551 11407 11837 12985 15710 20236 20393

1565 3106 4659 4926 6495 6872 7343 8720 15785 16434 16727 19884 21325

706 3220 8568 10896 12486 13663 16398 16599 19475 19781 20625 20961 21335

4257 10449 12406 14561 16049 16522 17214 18029 18033 18802 19062 19526 20748

412 433 558 2614 2978 4157 6584 9320 11683 11819 13024 14486 16860

777 5906 7403 8550 8717 8770 11436 12846 13629 14755 15688 16392 16419

4093 5045 6037 7248 8633 9771 10260 10809 11326 12072 17516 19344 19938

2120 2648 3155 3852 6888 12258 14821 15359 16378 16437 17791 20614 21025

1085 2434 5816 7151 8050 9422 10884 12728 15353 17733 18140 18729 20920

856 1690 12787

6532 7357 9151

4210 16615 18152

11494 14036 17470

2474 10291 10323

1778 6973 10739

4347 9570 18748

2189 11942 20666

3868 7526 17706

8780 14796 18268

160 16232 17399

1285 2003 18922

4658 17331 20361

2765 4862 5875

4565 5521 8759

3484 7305 15829

5024 17730 17879

7031 12346 15024

179 6365 11352

2490 3143 5098

2643 3101 21259

4315 4724 13130

594 17365 18322

5983 8597 9627

10837 15102 20876

10448 20418 21478

3848 12029 15228

708 5652 13146

5998 7534 16117

2098 13201 18317

9186 14548 17776

5246 10398 18597

3083 4944 21021

13726 18495 19921

6736 10811 17545

10084 12411 14432

1064 13555 17033

679 9878 13547

3422 9910 20194

3640 3701 10046

5862 10134 11498

5923 9580 15060

1073 3012 16427

5527 20113 20883

7058 12924 15151

000020

9764 12230 17375

772 7711 12723

555 13816 15376

10574 11268 17932

15442 17266 20482

390 3371 8781

10512 12216 17180

4309 14068 15783

3971 11673 20009

9259 14270 17199

2947 5852 20101

3965 9722 15363

1429 5689 16771

6101 6849 12781

3676 9347 18761

350 11659 18342

5961 14803 16123

2113 9163 13443

2155 9808 12885

2861 7988 11031

7309 9220 20745

6834 8742 11977

2133 12908 14704

10170 13809 18153

13464 14787 14975

799 1107 3789

3571 8176 10165

5433 13446 15481

3351 6767 12840

8950 8974 11650

1430 4250 21332

6283 10628 15050

8632 14404 16916

6509 10702 16278

15900 16395 17995

8031 18420 19733

3747 4634 17087

4453 6297 16262

2792 3513 17031

14846 20893 21563

17220 20436 21337

275 4107 10497

3536 7520 10027

14089 14943 19455

1965 3931 21104

2439 11565 17932

154 15279 21414

10017 11269 16546

7169 10161 16928

10284 16791 20655

36 3175 8475

2605 16269 19290

8947 9178 15420

5687 9156 12408

8096 9738 14711

4935 8093 19266

2667 10062 15972

6389 11318 14417

8800 18137 18434

5824 5927 15314

6056 13168 15179

3284 13138 18919

13115 17259 17332

からなる。

[0051] なお、データ処理装置は、独立した装置であっても良いし、1個の装置を構成している内部ブロックであっても良い。

## 発明の効果

[0052] 本発明によれば、エラーに対する耐性を向上させることができる。

## 図面の簡単な説明

[0053] [図1]LDPC符号の検査行列Hを説明する図である。

[図2]LDPC符号の復号手順を説明するフローチャートである。

[図3]LDPC符号の検査行列の例を示す図である。

[図4]検査行列のタナーグラフを示す図である。

[図5]バリアブルノードを示す図である。

[図6]チェックノードを示す図である。

[図7]本発明を適用した伝送システムの一実施の形態の構成例を示す図である。

[図8]送信装置11の構成例を示すブロック図である。

[図9]検査行列を示す図である。

[図10]パリティ行列を示す図である。

[図11]DVB-S.2の規格に規定されているLDPC符号の検査行列と列重みとを示す図である。

[図12]16QAMの信号点配置を示す図である。

[図13]64QAMの信号点配置を示す図である。

[図14]64QAMの信号点配置を示す図である。

000023

[図15]64QAMの信号点配置を示す図である。

[図16]デマルチプレクサ25の処理を説明する図である。

[図17]デマルチプレクサ25の処理を説明する図である。

[図18]LDPC符号の復号についてのタナーグラフを示す図である。

[図19]階段構造になっているパリティ行列$H_T$と、そのパリティ行列$H_T$に対応するタナーグラフを示す図である。

[図20]パリティインターリーブ後のLDPC符号に対応する検査行列Hのパリティ行列$H_T$を示す図である。

[図21]変換検査行列を示す図である。

[図22]カラムツイストインターリーバ24の処理を説明する図である。

[図23]カラムツイストインターリーブに必要なメモリ31のカラム数と、書き始めの位置のアドレスを示す図である。

[図24]カラムツイストインターリーブに必要なメモリ31のカラム数と、書き始めの位置のアドレスを示す図である。

[図25]送信処理を説明するフローチャートである。

[図26]シミュレーションで採用した通信路のモデルを示す図である。

[図27]シミュレーションで得られたエラーレートと、フラッタのドップラ周波数$f_d$との関係を示す図である。

[図28]シミュレーションで得られたエラーレートと、フラッタのドップラ周波数$f_d$との関係を示す図である。

[図29]LDPC符号化部21の構成例を示すブロック図である。

[図30]LDPC符号化部21の処理を説明するフローチャートである。

[図31]符号化率2/3、符号長16200の検査行列初期値テーブルを示す図である。

[図32]符号化率2/3、符号長64800の検査行列初期値テーブルを示す図である。

[図33]符号化率2/3、符号長64800の検査行列初期値テーブルを示す図である。

[図34]符号化率2/3、符号長64800の検査行列初期値テーブルを示す図である。

[図35]符号化率3/4、符号長16200の検査行列初期値テーブルを示す図である。

[図36]符号化率3/4、符号長64800の検査行列初期値テーブルを示す図である。

[図37]符号化率3/4、符号長64800の検査行列初期値テーブルを示す図である。

[図38]符号化率3/4、符号長64800の検査行列初期値テーブルを示す図である。

[図39]符号化率3/4、符号長64800の検査行列初期値テーブルを示す図である。

[図40]符号化率4/5、符号長16200の検査行列初期値テーブルを示す図である。

[図41]符号化率4/5、符号長64800の検査行列初期値テーブルを示す図である。

[図42]符号化率4/5、符号長64800の検査行列初期値テーブルを示す図である。

[図43]符号化率4/5、符号長64800の検査行列初期値テーブルを示す図である。

[図44]符号化率4/5、符号長64800の検査行列初期値テーブルを示す図である。

[図45]符号化率5/6、符号長16200の検査行列初期値テーブルを示す図である。

[図46]符号化率5/6、符号長64800の検査行列初期値テーブルを示す図である。

[図47]符号化率5/6、符号長64800の検査行列初期値テーブルを示す図である。

[図48]符号化率5/6、符号長64800の検査行列初期値テーブルを示す図である。

[図49]符号化率5/6、符号長64800の検査行列初期値テーブルを示す図である。

[図50]符号化率8/9、符号長16200の検査行列初期値テーブルを示す図である。

[図51]符号化率8/9、符号長64800の検査行列初期値テーブルを示す図である。

[図52]符号化率8/9、符号長64800の検査行列初期値テーブルを示す図である。

[図53]符号化率8/9、符号長64800の検査行列初期値テーブルを示す図である。

[図54]符号化率8/9、符号長64800の検査行列初期値テーブルを示す図である。

[図55]符号化率9/10、符号長64800の検査行列初期値テーブルを示す図である。

[図56]符号化率9/10、符号長64800の検査行列初期値テーブルを示す図である。

[図57]符号化率9/10、符号長64800の検査行列初期値テーブルを示す図である。

[図58]符号化率9/10、符号長64800の検査行列初期値テーブルを示す図である。

[図59]検査行列初期値テーブルから検査行列Hを求める方法を説明する図である。

[図60]現行方式の入れ替え処理を説明する図である。

[図61]現行方式の入れ替え処理を説明する図である。

[図62]符号長64800、符号化率2/3のLDPC符号を256QAMで変調し、倍数bが2である場合の、符号ビットグループとシンボルビットグループとを示す図である。

[図63]符号長64800、符号化率2/3のLDPC符号を256QAMで変調し、倍数bが2であ

る場合の、割り当てルールを示す図である。

[図64]符号長64800、符号化率2/3のLDPC符号を256QAMで変調し、倍数bが2である場合の、割り当てルールに従った符号ビットの入れ替えを示す図である。

[図65]新入れ替え方式の入れ替え処理を行った場合と、現行方式の入れ替え処理を行った場合のBERを示す図である。

[図66]性能閾値としての$E_b/N_0$が、規格符号よりも良いLDPC符号の検査行列初期値テーブルの例を示す図である。

[図67]性能閾値としての$E_b/N_0$が、規格符号よりも良いLDPC符号の検査行列初期値テーブルの例を示す図である。

[図68]性能閾値としての$E_b/N_0$が、規格符号よりも良いLDPC符号の検査行列初期値テーブルの例を示す図である。

[図69]規格符号、及び提案符号についての、$E_s/N_0$とBERとの関係を示す図である。

[図70]受信装置12の構成例を示すブロック図である。

[図71]受信処理を説明するフローチャートである。

[図72]LDPC符号の検査行列の例を示す図である。

[図73]検査行列に行置換と列置換を施した行列(変換検査行列)を示す図である。

[図74]5×5単位に分割した変換検査行列を示す図である。

[図75]ノード演算をP個まとめて行う復号装置の構成例を示すブロック図である。

[図76]LDPC復号部56の構成例を示すブロック図である。

[図77]本発明を適用したコンピュータの一実施の形態の構成例を示すブロック図である。

[図78]符号化率2/3、符号長16200の検査行列初期値テーブルの例を示す図である。

[図79]符号化率2/3、符号長64800の検査行列初期値テーブルの例を示す図である。

[図80]符号化率2/3、符号長64800の検査行列初期値テーブルの例を示す図である。

[図81]符号化率2/3、符号長64800の検査行列初期値テーブルの例を示す図である

。

[図82]符号化率3/4、符号長16200の検査行列初期値テーブルの例を示す図である

。

[図83]符号化率3/4、符号長64800の検査行列初期値テーブルの例を示す図である

。

[図84]符号化率3/4、符号長64800の検査行列初期値テーブルの例を示す図である

。

[図85]符号化率3/4、符号長64800の検査行列初期値テーブルの例を示す図である

。

[図86]符号化率3/4、符号長64800の検査行列初期値テーブルの例を示す図である

。

[図87]符号化率4/5、符号長16200の検査行列初期値テーブルの例を示す図である

。

[図88]符号化率4/5、符号長64800の検査行列初期値テーブルの例を示す図である

。

[図89]符号化率4/5、符号長64800の検査行列初期値テーブルの例を示す図である

。

[図90]符号化率4/5、符号長64800の検査行列初期値テーブルの例を示す図である

。

[図91]符号化率4/5、符号長64800の検査行列初期値テーブルの例を示す図である

。

[図92]符号化率5/6、符号長16200の検査行列初期値テーブルの例を示す図である

。

[図93]符号化率5/6、符号長64800の検査行列初期値テーブルの例を示す図である

。

[図94]符号化率5/6、符号長64800の検査行列初期値テーブルの例を示す図である

。

[図95]符号化率5/6、符号長64800の検査行列初期値テーブルの例を示す図である

000027

。

[図96]符号化率5/6、符号長64800の検査行列初期値テーブルの例を示す図である。

[図97]符号化率8/9、符号長16200の検査行列初期値テーブルの例を示す図である。

[図98]符号化率8/9、符号長64800の検査行列初期値テーブルの例を示す図である。

[図99]符号化率8/9、符号長64800の検査行列初期値テーブルの例を示す図である。

[図100]符号化率8/9、符号長64800の検査行列初期値テーブルの例を示す図である。

[図101]符号化率8/9、符号長64800の検査行列初期値テーブルの例を示す図である。

[図102]符号化率9/10、符号長64800の検査行列初期値テーブルの例を示す図である。

[図103]符号化率9/10、符号長64800の検査行列初期値テーブルの例を示す図である。

[図104]符号化率9/10、符号長64800の検査行列初期値テーブルの例を示す図である。

[図105]符号化率9/10、符号長64800の検査行列初期値テーブルの例を示す図である。

[図106]符号化率1/4、符号長64800の検査行列初期値テーブルの例を示す図である。

[図107]符号化率1/4、符号長64800の検査行列初期値テーブルの例を示す図である。

[図108]符号化率1/3、符号長64800の検査行列初期値テーブルの例を示す図である。

[図109]符号化率1/3、符号長64800の検査行列初期値テーブルの例を示す図であ

る。

[図110]符号化率2/5、符号長64800の検査行列初期値テーブルの例を示す図である。

[図111]符号化率2/5、符号長64800の検査行列初期値テーブルの例を示す図である。

[図112]符号化率1/2、符号長64800の検査行列初期値テーブルの例を示す図である。

[図113]符号化率1/2、符号長64800の検査行列初期値テーブルの例を示す図である。

[図114]符号化率1/2、符号長64800の検査行列初期値テーブルの例を示す図である。

[図115]符号化率3/5、符号長64800の検査行列初期値テーブルの例を示す図である。

[図116]符号化率3/5、符号長64800の検査行列初期値テーブルの例を示す図である。

[図117]符号化率3/5、符号長64800の検査行列初期値テーブルの例を示す図である。

[図118]符号化率1/4、符号長16200の検査行列初期値テーブルの例を示す図である。

[図119]符号化率1/3、符号長16200の検査行列初期値テーブルの例を示す図である。

[図120]符号化率2/5、符号長16200の検査行列初期値テーブルの例を示す図である。

[図121]符号化率1/2、符号長16200の検査行列初期値テーブルの例を示す図である。

[図122]符号化率3/5、符号長16200の検査行列初期値テーブルの例を示す図である。

[図123]符号化率3/5、符号長16200の検査行列初期値テーブルの他の例を示す図

000029

である。

[図124]検査行列初期値テーブルから検査行列Hを求める方法を説明する図である。

[図125]符号ビットの入れ替えの例を示す図である。

[図126]符号ビットの入れ替えの例を示す図である。

[図127]符号ビットの入れ替えの例を示す図である。

[図128]符号ビットの入れ替えの例を示す図である。

[図129]BERのシミュレーション結果を示す図である。

[図130]BERのシミュレーション結果を示す図である。

[図131]BERのシミュレーション結果を示す図である。

[図132]BERのシミュレーション結果を示す図である。

[図133]符号ビットの入れ替えの例を示す図である。

[図134]符号ビットの入れ替えの例を示す図である。

[図135]符号ビットの入れ替えの例を示す図である。

[図136]符号ビットの入れ替えの例を示す図である。

[図137]符号ビットの入れ替えの例を示す図である。

[図138]符号ビットの入れ替えの例を示す図である。

[図139]符号ビットの入れ替えの例を示す図である。

[図140]符号ビットの入れ替えの例を示す図である。

[図141]符号ビットの入れ替えの例を示す図である。

[図142]符号ビットの入れ替えの例を示す図である。

[図143]符号ビットの入れ替えの例を示す図である。

[図144]符号ビットの入れ替えの例を示す図である。

[図145]デインターリーバ53を構成するマルチプレクサ54の処理を説明する図である。

[図146]カラムツイストデインターリーバ55の処理を説明する図である。

[図147]受信装置12の他の構成例を示すブロック図である。

[図148]受信装置12に適用可能な受信システムの第1の構成例を示すブロック図である。

[図149]受信装置12に適用可能な受信システムの第2の構成例を示すブロック図である。

[図150]受信装置12に適用可能な受信システムの第3の構成例を示すブロック図である。

符号の説明

[0054] 11 送信装置, 12 受信装置, 21 LDPC符号化部, 22 ビットインターリーバ, 23 パリティインターリーバ, 24 カラムツイストインターリーバ, 25 デマルチプレクサ, 26 マッピング部, 27 直交変調部, 31 メモリ, 32 入れ替え部, 51 直交復調部, 52 デマッピング部, 53 デインターリーバ, 54 マルチプレクサ, 55 カラムツイストデインターリーバ, 56 LDPC復号部, 300 枝データ格納用メモリ, 301 セレクタ, 302 チェックノード計算部, 303 サイクリックシフト回路, 304 枝データ格納用メモリ, 305 セレクタ, 306 受信データ用メモリ, 307 バリアブルノード計算部, 308 サイクリックシフト回路, 309 復号語計算部, 310 受信データ並べ替え部, 311 復号データ並べ替え部, 601 符号化処理部, 602 記憶部, 611 符号化率設定部, 612 初期値テーブル読み出し部, 613 検査行列生成部, 614 情報ビット読み出し部, 615 符号化パリティ演算部, 616 制御部, 701 バス, 702 CPU, 703 ROM, 704 RAM, 705 ハードディスク, 706 出力部, 707 入力部, 708 通信部, 709 ドライブ, 710 入出力インタフェース, 711 リムーバブル記録媒体, 1001 逆入れ替え部, 1002 メモリ, 1011 パリティデインターリーバ, 1021 LDPC復号部, 1101 取得部, 1101 伝送路復号処理部, 1103 情報源復号処理部, 1111 出力部, 1121 記録部

発明を実施するための最良の形態

[0055] 図7は、本発明を適用した伝送システム(システムとは、複数の装置が論理的に集合した物をいい、各構成の装置が同一筐体中にあるか否かは、問わない)の一実施の形態の構成例を示している。

[0056] 図7において、伝送システムは、送信装置11と受信装置12とから構成される。

[0057] 送信装置11は、例えば、テレビジョン放送番組の送信(放送)(伝送)を行う。すな

わち、送信装置11は、例えば、テレビジョン放送番組としての画像データや音声データ等の、送信の対象である対象データをLDPC符号に符号化し、例えば、衛星回線や、地上波、CATV網、インターネット等のネットワーク等の通信路13を介して送信する。

[0058] 受信装置12は、例えば、テレビジョン放送番組を受信するチューナや、テレビジョン受像機、STB(Set Top Box)、IPTV(Internet Protocol Television)を受信するPC(Personal Computer)等であり、送信装置11から通信路13を介して送信されてくるLDPC符号を受信し、対象データに復号して出力する。

[0059] ここで、図7の伝送システムで使用されるLDPC符号は、AWGN(Additive White Gaussian Noise)通信路で極めて高い能力を発揮することが知られている。

[0060] しかしながら、地上波等の通信路13では、バースト(burst)誤りやイレージャ(erasure)を発生することがある。例えば、OFDM(Orthogonal Frequency Division Multiplexing)システムでは、D/U(Desired to Undesired Ratio)が0dB(Undesired=echoのパワーがDesired=メインパスのパワーと等しい)のマルチパス環境において、エコー(echo)(メインパス以外のパス)の遅延(delay)に応じて、特定のシンボルのパワーが0になってしまう(erasure)場合がある。

[0061] また、フラッタ(flutter)(遅延が0でドップラ(dopper)周波数の掛かったechoが加算される通信路)でも、D/Uが0dBである場合には、ドップラ周波数によって、特定の時刻のOFDMのシンボル全体のパワーが0になる(erasure)場合が生じる。

[0062] さらに、受信装置12側の、送信装置11からの信号を受信するアンテナ等の受信部(図示せず)から受信装置12までの配線の状況や、受信装置12の電源の不安定性により、バースト誤りが発生することがある。

[0063] 一方、LDPC符号の復号においては、検査行列Hの列、ひいては、LDPC符号の符号ビットに対応するバリアブルノードにおいて、前述の図5に示したように、LDPC符号の符号ビット(の受信値$u_{0i}$)の加算を伴う式(1)のバリアブルノード演算が行われるため、そのバリアブルノード演算に用いられる符号ビットにエラーが生じると、求められるメッセージの精度が低下する。

[0064] そして、LDPC符号の復号では、チェックノードにおいて、そのチェックノードに繋が

っているバリアブルノードで求められるメッセージを用いて、式(7)のチェックノード演算が行われるため、繋がっている複数のバリアブルノード(に対応するLDPC符号の符号ビット)が同時にエラー(イレージャを含む)となるチェックノードの数が多くなると、復号の性能が劣化する。

[0065] すなわち、例えば、チェックノードは、そのチェックノードに繋がっているバリアブルノードの2個以上が同時にイレージャになると、全バリアブルノードに、値が0である確率と1である確率とが等確率のメッセージを戻す。この場合、等確率のメッセージを戻すチェックノードは、1回の復号処理(1セットのバリアブルノード演算及びチェックノード演算)に寄与しないこととなり、その結果、復号処理の繰り返し回数を多く必要とすることになって、復号の性能が劣化し、さらに、LDPC符号の復号を行う受信装置12の消費電力が増大する。

[0066] そこで、図7の伝送システムでは、AWGN通信路での性能を維持しつつ、バースト誤りやイレージャへの耐性を向上させるようになっている。

[0067] 図8は、図7の送信装置11の構成例を示している。

[0068] 図8において、送信装置11は、LDPC符号化部21、ビットインターリーバ22、マッピング部26、及び直交変調部27から構成される。

[0069] LDPC符号化部21には、対象データが供給される。

[0070] LDPC符号化部21は、そこに供給される対象データについて、LDPC符号のパリティビットに対応する部分であるパリティ行列が階段構造になっている検査行列に従ったLDPC符号化を行い、対象データを情報ビットとするLDPC符号を出力する。

[0071] すなわち、LDPC符号化部21は、対象データを、例えば、DVB-S.2、又はDVB-T.2の規格に規定されているLDPC符号に符号化するLDPC符号化を行い、その結果得られるLDPC符号を出力する。

[0072] ここで、DVB-T.2の規格では、DVB-S.2の規格に規定されているLDPC符号が採用される予定である。DVB-S.2の規格に規定されているLDPC符号は、IRA(Irregular Repeat Accumulate)符号であり、そのLDPC符号の検査行列におけるパリティ行列は、階段構造になっている。パリティ行列、及び、階段構造については、後述する。また、IRA符号については、例えば、"Irregular Repeat-Accumulate Codes," H. Jin, A. Kha

ndekar, and R. J. McEliece, in Proceedings of 2nd International Symposium on Turb o codes and Related Topics, pp. 1-8, Sept. 2000に記載されている。

[0073] LDPC符号化部21が出力するLDPC符号は、ビットインターリーバ22に供給される。

[0074] ビットインターリーバ22は、データをインターリーブするデータ処理装置であり、パリティインターリーバ(parity interleaver)23、カラムツイストインターリーバ(column twist interleaver)24、及びデマルチプレクサ(DEMUX)25から構成される。

[0075] パリティインターリーバ23は、LDPC符号化部21からのLDPC符号のパリティビットを、他のパリティビットの位置にインターリーブするパリティインターリーブを行い、そのパリティインターリーブ後のLDPC符号を、カラムツイストインターリーバ24に供給する。

[0076] カラムツイストインターリーバ24は、パリティインターリーバ23からのLDPC符号について、カラムツイストインターリーブを行い、そのカラムツイストインターリーブ後のLDPC符号を、デマルチプレクサ25に供給する。

[0077] すなわち、LDPC符号は、後述するマッピング部26において、そのLDPC符号の2ビット以上の符号ビットを、直交変調の1つのシンボルを表す信号点にマッピングして送信される。

[0078] カラムツイストインターリーバ24では、LDPC符号化部21で用いられる検査行列の任意の1行にある1に対応するLDPC符号の複数の符号ビットが、1つのシンボルに含まれないように、パリティインターリーバ23からのLDPC符号の符号ビットを並び替える並び替え処理として、例えば、後述するようなカラムツイストインターリーブが行われる。

[0079] デマルチプレクサ25は、カラムツイストインターリーバ24からのLDPC符号について、シンボルとなるLDPC符号の2以上の符号ビットの位置を入れ替える入れ替え処理を行うことで、AWGNに対する耐性を強化したLDPC符号を得る。そして、デマルチプレクサ25は、入れ替え処理によって得られる、LDPC符号の2以上の符号ビットを、シンボルとして、マッピング部26に供給する。

[0080] マッピング部26は、デマルチプレクサ25からのシンボルを、直交変調部27で行われる直交変調(多値変調)の変調方式で定める各信号点にマッピングする。

[0081] すなわち、マッピング部26は、デマルチプレクサ25からのLDPC符号を、搬送波と同相のI成分を表すI軸と、搬送波と直交するQ成分を表すQ軸とで規定されるIQ平面（IQコンスタレーション）上の、変調方式で定める信号点にマッピングする。

[0082] ここで、直交変調部27で行われる直交変調の変調方式としては、例えば、DVB-Tの規格に規定されている変調方式を含む変調方式、すなわち、例えば、QPSK(Quadrature Phase Shift Keying)や、16QAM(Quadrature Amplitude Modulation), 64QAM, 256QAM, 1024QAM, 4096QAM等がある。直交変調部27において、いずれの変調方式による直交変調が行われるかは、例えば、送信装置11のオペレータの操作に従って、あらかじめ設定される。なお、直交変調部27では、その他、例えば、4PAM(Pulse Amplitude Modulation)その他の直交変調を行うことが可能である。

[0083] マッピング部26で信号点にマッピングされたシンボルは、直交変調部27に供給される。

[0084] 直交変調部27は、マッピング部26からの信号点（にマッピングされたシンボル）に従い、搬送波の直交変調を行い、その結果得られる変調信号を、通信路13（図7）を介して送信する。

[0085] 次に、図9は、図8のLDPC符号化部21でLDPC符号化に用いられる検査行列Hを示している。

[0086] 検査行列Hは、LDGM(Low-Density Generation Matrix )構造になっており、LDPC符号の符号ビットのうちの、情報ビットに対応する部分の情報行列$H_A$と、パリティビットに対応するパリティ行列$H_T$とによって、式$H=[H_A \mid H_T]$（情報行列$H_A$の要素を左側の要素とし、パリティ行列$H_T$の要素を右側の要素とする行列）で表すことができる。

[0087] ここで、1個のLDPC符号（1符号語）の符号ビットのうちの情報ビットのビット数と、パリティビットのビット数を、それぞれ、情報長Kと、パリティ長Mというとともに、1個のLDPC符号の符号ビットのビット数を、符号長N(=K+M)という。

[0088] ある符号長NのLDPC符号についての情報長Kとパリティ長Mは、符号化率によって決まる。また、検査行列Hは、行×列がM×Nの行列となる。そして、情報行列$H_A$は、M×Kの行列となり、パリティ行列$H_T$は、M×Mの行列となる。

[0089] 図10は、DVB-S.2（及びDVB-T.2）の規格に規定されているLDPC符号の検査行

列Hのパリティ行列$H_T$を示している。

[0090] DVB-S.2の規格に規定されているLDPC符号の検査行列Hのパリティ行列$H_T$は、図10に示すように、1の要素が、いわば階段状に並ぶ階段構造になっている。パリティ行列$H_T$の行重みは、1行目については1で、残りの全ての行については2になっている。また、列重みは、最後の1列については1で、残りの全ての列で2になっている。

[0091] 以上のように、パリティ行列$H_T$が階段構造になっている検査行列HのLDPC符号は、その検査行列Hを用いて、容易に生成することができる。

[0092] すなわち、LDPC符号(1符号語)を、行ベクトルcで表すとともに、その行ベクトルを転置して得られる列ベクトルを、$c^T$と表す。また、LDPC符号である行ベクトルcのうちの、情報ビットの部分を、行ベクトルAで表すとともに、パリティビットの部分を、行ベクトルTで表すこととする。

[0093] ここで、この場合、行ベクトルcは、情報ビットとしての行ベクトルAと、パリティビットとしての行ベクトルTとによって、式c =[A|T](行ベクトルAの要素を左側の要素とし、行ベクトルTの要素を右側の要素とする行ベクトル)で表すことができる。

[0094] 検査行列Hと、LDPC符号としての行ベクトルc=[A|T]とは、式$Hc^T=0$を満たす必要があり、かかる式$Hc^T=0$を満たす行ベクトルc=[A|T]を構成するパリティビットとしての行ベクトルTは、検査行列H=[$H_A$|$H_T$]のパリティ行列$H_T$が、図10に示した階段構造になっている場合には、式$Hc^T=0$における列ベクトル$Hc^T$の1行目の要素から順に、各行の要素を0にしていくようにすることで、逐次的に求めることができる。

[0095] 図11は、DVB-S.2(及びDVB-T.2)の規格に規定されているLDPC符号の検査行列Hと、列重みとを示している。

[0096] すなわち、図11Aは、DVB-S.2の規格に規定されているLDPC符号の検査行列Hを示している。

[0097] 検査行列Hの1列目からのKX列については、列重みがXに、その後のK3列については、列重みが3に、その後のM-1列については、列重みが2に、最後の1列については、列重みが1に、それぞれなっている。

[0098] ここで、KX+K3+M-1+1は、符号長Nに等しい。

[0099] DVB-S.2の規格において、列数KX, K3、及びM(パリティ長)、並びに、列重みXは

、図11Bに示すように規定されている。

[0100] すなわち、図11Bは、DVB-S.2の規格に規定されているLDPC符号の各符号化率についての、列数KX, K3、及びM、並びに、列重みXを示している。

[0101] DVB-S.2の規格では、64800ビットと16200ビットの符号長NのLDPC符号が規定されている。

[0102] そして、図11Bに示すように、符号長Nが64800ビットのLDPC符号については、11個の符号化率(nominal rate)1/4,1/3,2/5,1/2,3/5,2/3,3/4,4/5,5/6,8/9、及び9/10が規定されており、符号長Nが16200ビットのLDPC符号については、10個の符号化率1/4,1/3,2/5,1/2,3/5,2/3,3/4,4/5,5/6、及び8/9が規定されている。

[0103] LDPC符号については、検査行列Hの列重みが大の列に対応する符号ビットほど、エラーレートが低いことが知られている。

[0104] 図11に示した、DVB-S.2の規格に規定されている検査行列Hでは、先頭側(左側)の列ほど、列重みが大の傾向にあり、したがって、その検査行列Hに対応するLDPC符号については、先頭の符号ビットほど、エラーに強く(エラーに対する耐性があり)、終わりの符号ビットほど、エラーに弱い傾向がある。

[0105] 次に、図12は、図8の直交変調部27で16QAMが行われる場合の、16個のシンボル(に対応する信号点)のIQ平面上の配置を示している。

[0106] すなわち、図12Aは、16QAMのシンボルを示している。

[0107] 16QAMでは、1シンボルは、4ビットで表され、16(=$2^4$)個のシンボルが存在する。そして、16個のシンボルは、IQ平面の原点を中心として、I方向×Q方向が4×4の正方形状となるように配置されている。

[0108] いま、1シンボルが表すビット列の、最上位ビットからi+1ビット目のビットを、ビット$y_i$と表すこととすると、16QAMの1シンボルが表す4ビットは、最上位ビットから順に、ビット$y_0$,$y_1$,$y_2$,$y_3$と表すことができる。変調方式が16QAMの場合には、LDPC符号の符号ビットの4ビットが、4ビット$y_0$ないし$y_3$のシンボル(シンボル値)に(シンボル化)される。

[0109] 図12Bは、16QAMのシンボルが表す4ビット(以下、シンボルビットともいう)$y_0$ないし$y_3$それぞれについてのビット境界を示している。

[0110] ここで、シンボルビット$y_i$(図12では、i=0,1,2,3)についてのビット境界とは、そのシン

ボルビット$y_i$が0になっているシンボルと、1になっているシンボルとの境界を意味する。

[0111] 図12Bに示すように、16QAMのシンボルが表す4シンボルビット$y_0$ないし$y_3$のうちの最上位のシンボルビット$y_0$については、IQ平面のQ軸の1箇所だけがビット境界となり、2番目（最上位ビットから2番目）のシンボルビット$y_1$については、IQ平面のI軸の1箇所だけがビット境界となる。

[0112] また、3番目のシンボルビット$y_2$については、4×4個のシンボルのうちの、左から1列目と2列目との間、及び3列目と4列目との間の2箇所が、ビット境界となる。

[0113] さらに、4番目のシンボルビット$y_3$については、4×4個のシンボルのうちの、上から1行目と2行目との間、及び3行目と4行目との間の2箇所が、ビット境界となる。

[0114] シンボルが表すシンボルビット$y_i$は、ビット境界から離れているシンボルが多いほど、誤りにくく（エラー確率が低く）、ビット境界に近いシンボルが多いほど、誤りやすい（エラー確率が高い）。

[0115] いま、誤りにくい（エラーに強い）ビットを、「強いビット」というとともに、誤りやすい（エラーに弱い）ビットを、「弱いビット」ということとすると、16QAMのシンボルの4シンボルビット$y_0$ないし$y_3$については、最上位のシンボルビット$y_0$、及び2番目のシンボルビット$y_1$が強いビットになっており、3番目のシンボルビット$y_2$、及び4番目のシンボルビット$y_3$が弱いビットになっている。

[0116] 図13ないし図15は、図8の直交変調部27で64QAMが行われる場合の、64個のシンボル（に対応する信号点）のIQ平面上の配置を示している。

[0117] 64QAMでは、1シンボルは、6ビットを表し、64($=2^6$)個のシンボルが存在する。そして、64個のシンボルは、IQ平面の原点を中心として、I方向×Q方向が8×8の正方形状となるように配置されている。

[0118] 64QAMの1シンボルのシンボルビットは、最上位ビットから順に、ビット$y_0$,$y_1$,$y_2$,$y_3$,$y_4$,$y_5$と表すことができる。変調方式が64QAMの場合には、LDPC符号の符号ビットの6ビットは、6ビットのシンボルビット$y_0$ないし$y_5$のシンボルにされる。

[0119] ここで、図13は、64QAMのシンボルのシンボルビット$y_0$ないし$y_5$のうちの、最上位のシンボルビット$y_0$と、2番目のシンボルビット$y_1$それぞれについてのビット境界を、図14

は、3番目のシンボルビット$y_2$と、4番目のシンボルビット$y_3$それぞれについてのビット境界を、図15は、5番目のシンボルビット$y_4$と、6番目のシンボルビット$y_5$それぞれについてのビット境界を、それぞれ示している。

[0120] 図13に示すように、最上位のシンボルビット$y_0$と、2番目のシンボルビット$y_1$それぞれについてのビット境界は、1箇所になっている。また、図14に示すように、3番目のシンボルビット$y_2$と、4番目のシンボルビット$y_3$それぞれについてのビット境界は、2箇所になっており、図15に示すように、5番目のシンボルビット$y_4$と、6番目のシンボルビット$y_5$それぞれについてのビット境界は、4箇所になっている。

[0121] したがって、64QAMのシンボルのシンボルビット$y_0$ないし$y_5$については、最上位シンボルビット$y_0$、及び2番目のシンボルビット$y_1$が、強いビットになっており、3番目のシンボルビット$y_2$、及び4番目のシンボルビット$y_3$が、その次に強いビットになっている。そして、5番目のシンボルビット$y_4$と、6番目のシンボルビット$y_5$は、弱いビットになっている。

[0122] 図12、さらには、図13ないし図15から、直交変調のシンボルのシンボルビットについては、上位ビットが強いビットとなり、下位ビットが弱いビットになる傾向があることが分かる。

[0123] ここで、図11で説明したように、LDPC符号化部21(図8)が出力するLDPC符号については、エラーに強い符号ビットと、エラーに弱い符号ビットがある。

[0124] また、図12ないし図15で説明したように、直交変調部27で行われる直交変調のシンボルのシンボルビットについては、強いビットと弱いビットがある。

[0125] したがって、LDPC符号の、エラーに弱い符号ビットを、直交変調のシンボルの、弱いシンボルビットに割り当てると、全体として、エラーに対する耐性が低下する。

[0126] そこで、LDPC符号の、エラーに弱い符号ビットを、直交変調のシンボルの、強いビット(シンボルビット)に割り当てる傾向で、LDPC符号の符号ビットをインターリーブするインターリーバが提案されている。

[0127] 図8のデマルチプレクサ25は、そのインターリーバの処理を行うことができる。

[0128] 図16は、図8のデマルチプレクサ25の処理を説明する図である。

[0129] すなわち、図16Aは、デマルチプレクサ25の機能的な構成例を示している。

[0130] デマルチプレクサ25は、メモリ31及び入れ替え部32から構成される。

[0131] メモリ31には、LDPC符号化部21からのLDPC符号が供給される。

[0132] メモリ31は、ロウ(row)(横)方向にmbビットを記憶するとともに、カラム(column)(縦)方向にN/(mb)ビットを記憶する記憶容量を有し、そこに供給されるLDPC符号の符号ビットを、カラム方向に書き込み、ロウ方向に読み出して、入れ替え部32に供給する。

[0133] ここで、N(＝情報長K＋パリティ長M)は、上述したように、LDPC符号の符号長を表す。

[0134] また、mは、1シンボルとなるLDPC符号の符号ビットのビット数を表し、bは所定の正の整数で、mを整数倍するのに用いられる倍数である。デマルチプレクサ25は、上述したように、LDPC符号の符号ビットをシンボルとする(シンボル化する)が、倍数bは、デマルチプレクサ25が、いわば一度のシンボル化によって得るシンボルの個数を表す。

[0135] 図16Aは、変調方式が64QAMである場合のデマルチプレクサ25の構成例を示しており、したがって、1シンボルとなるLDPC符号の符号ビットのビット数mは、6ビットである。

[0136] また、図16Aでは、倍数bは1になっており、したがって、メモリ31は、カラム方向×ロウ方向がN/(6×1)×(6×1)ビットの記憶容量を有する。

[0137] ここで、メモリ31の、ロウ方向が1ビットの、カラム方向に延びる記憶領域を、以下、適宜、カラムという。図16Aでは、メモリ31は、6(=6×1)個のカラムから構成される。

[0138] デマルチプレクサ25では、LDPC符号の符号ビットを、メモリ31を構成するカラムの上から下方向(カラム方向)に書き込むことが、左から右方向のカラムに向かって行われる。

[0139] そして、符号ビットの書き込みが、最も右のカラムの一番下まで終了すると、メモリ31を構成するすべてのカラムの1行目から、ロウ方向に、6ビット(mbビット)単位で、符号ビットが読み出され、入れ替え部32に供給される。

[0140] 入れ替え部32は、メモリ31からの6ビットの符号ビットの位置を入れ替える入れ替え処理を行い、その結果得られる6ビットを、64QAMの1シンボルを表す6シンボルビッ

トy$_0$,y$_1$,y$_2$,y$_3$,y$_4$,y$_5$として出力する。

[0141] すなわち、メモリ31からは、ロウ方向に、mbビット(ここでは、6ビット)の符号ビットが読み出されるが、その、メモリ31から読み出されるmbビットの符号ビットの、最上位ビットからiビット目を(i=0,1,・・・,mb-1)、ビットb$_i$と表すこととすると、メモリ31からロウ方向に読み出される6ビットの符号ビットは、最上位ビットから順に、ビットb$_0$,b$_1$,b$_2$,b$_3$,b$_4$,b$_5$と表すことができる。

[0142] 図11で説明した列重みの関係で、ビットb$_0$の方向にある符号ビットは、エラーに強い符号ビットになっており、ビットb$_5$の方向にある符号ビットは、エラーに弱い符号ビットになっている。

[0143] 入れ替え部32では、メモリ31からの6ビットの符号ビットb$_0$ないしb$_5$のうちの、エラーに弱い符号ビットが、64QAMの1シンボルのシンボルビットy$_0$ないしy$_5$のうちの、強いビットに割り当てられるように、メモリ31からの6ビットの符号ビットb$_0$ないしb$_5$の位置を入れ替える入れ替え処理を行うことができる。

[0144] ここで、メモリ31からの6ビットの符号ビットb$_0$ないしb$_5$をどのように入れ替えて、64QAMの1シンボルを表す6シンボルビットy$_0$ないしy$_5$のそれぞれに割り当てるかの入れ替え方式としては、各社から、様々な方式が提案されている。

[0145] 図16Bは、第1の入れ替え方式を、図16Cは、第2の入れ替え方式を、図16Dは、第3の入れ替え方式を、それぞれ示している。

[0146] 図16Bないし図16Dにおいて(後述する図17においても同様)、ビットb$_i$とy$_j$とを結ぶ線分は、符号ビットb$_i$を、シンボルのシンボルビットy$_j$に割り当てる(シンボルビットy$_j$の位置に入れ替える)ことを意味する。

[0147] 第1の入れ替え方式としては、図16Bの3種類の入れ替え方のうちのいずれか1つを採用することが提案されており、第2の入れ替え方式としては、図16Cの2種類の入れ替え方のうちのいずれか1つを採用することが提案されている。

[0148] 第3の入れ替え方式としては、図16Dの6種類の入れ替え方を順番に選択して用いることが提案されている。

[0149] 図17は、変調方式が64QAMであり(したがって、1シンボルにマッピングされるLDPC符号の符号ビットのビット数mは、図16と同様に6ビットである)、かつ、倍数bが2の

場合のデマルチプレクサ25の構成例と、第4の入れ替え方式を示している。

[0150] 倍数bが2である場合、メモリ31は、カラム方向×ロウ方向がN/(6×2)×(6×2)ビットの記憶容量を有し、12(=6×2)個のカラムから構成される。

[0151] 図17Aは、メモリ31へのLDPC符号の書き込み順を示している。

[0152] デマルチプレクサ25では、図16で説明したように、LDPC符号の符号ビットを、メモリ31を構成するカラムの上から下方向(カラム方向)に書き込むことが、左から右方向のカラムに向かって行われる。

[0153] そして、符号ビットの書き込みが、最も右のカラムの一番下まで終了すると、メモリ31を構成するすべてのカラムの1行目から、ロウ方向に、12ビット(mbビット)単位で、符号ビットが読み出され、入れ替え部32に供給される。

[0154] 入れ替え部32は、メモリ31からの12ビットの符号ビットの位置を、第4の入れ替え方式で入れ替える入れ替え処理を行い、その結果得られる12ビットを、64QAMの2シンボル(b個のシンボル)を表す12ビット、つまり、64QAMの1シンボルを表す6シンボルビット$y_0,y_1,y_2,y_3,y_4,y_5$と、次の1シンボルを表す6シンボルビット$y_0,y_1,y_2,y_3,y_4,y_5$として出力する。

[0155] ここで、図17Bは、図17Aの入れ替え部32による入れ替え処理の第4の入れ替え方式を示している。

[0156] なお、倍数bが2である場合(3以上である場合も同様)、入れ替え処理では、mbビットの符号ビットが、連続するb個のシンボルのmbビットのシンボルビットに割り当てられる。図17を含め、以下では、説明の便宜上、連続するb個のシンボルのmbビットのシンボルビットの最上位ビットからi+1ビット目を、ビット(シンボルビット)$y_i$と表す。

[0157] また、どのような入れ替え方が適切であるか、つまり、AWGN通信路でのエラーレートをより向上させるかは、LDPC符号の符号化率や符号長、変調方式等によって異なる。

[0158] 次に、図18ないし図20を参照して、図8のパリティインターリーバ23によるパリティインターリーブについて説明する。

[0159] 図18は、LDPC符号の検査行列のタナーグラフ(の一部)を示している。

[0160] チェックノードは、図18に示すように、そのチェックノードに繋がっているバリアブル

000042

ノード(に対応する符号ビット)の2個等の複数が同時にイレージャ等のエラーになると、そのチェックノードに繋がっている全バリアブルノードに、値が0である確率と1である確率とが等確率のメッセージを戻す。このため、同一のチェックノードに繋がっている複数のバリアブルノードが同時にイレージャ等になると、復号の性能が劣化する。

[0161] ところで、図8のLDPC符号化部21が出力する、DVB-S.2の規格に規定されているLDPC符号は、IRA符号であり、検査行列Hのパリティ行列$H_T$は、図10に示したように、階段構造になっている。

[0162] 図19は、階段構造になっているパリティ行列$H_T$と、そのパリティ行列$H_T$に対応するタナーグラフを示している。

[0163] すなわち、図19Aは、階段構造になっているパリティ行列$H_T$を示しており、図19Bは、図19Aのパリティ行列$H_T$に対応するタナーグラフを示している。

[0164] パリティ行列$H_T$が階段構造になっている場合、そのパリティ行列$H_T$のタナーグラフにおいて、LDPC符号の、パリティ行列$H_T$の値が1になっている要素の列に対応する、隣接する符号ビット(パリティビット)を用いてメッセージが求められるバリアブルノードは、同一のチェックノードに繋がっている。

[0165] したがって、バースト誤りやイレージャ等によって、上述の隣接するパリティビットが同時にエラーとなると、そのエラーとなった複数のパリティビットそれぞれに対応する複数のバリアブルノード(パリティビットを用いてメッセージを求めるバリアブルノード)に繋がっているチェックノードは、値が0である確率と1である確率とが等確率のメッセージを、そのチェックノードに繋がっているバリアブルノードに戻すため、復号の性能が劣化する。そして、バースト長(バーストによってエラーとなるビット数)が大である場合には、復号の性能は、さらに劣化する。

[0166] そこで、パリティインターリーバ23(図8)は、上述した復号の性能の劣化を防止するため、LDPC符号化部21からの、LDPC符号のパリティビットを、他のパリティビットの位置にインターリーブするパリティインターリーブを行う。

[0167] 図20は、図8のパリティインターリーバ23が行うパリティインターリーブ後のLDPC符号に対応する検査行列Hのパリティ行列$H_T$を示している。

[0168] ここで、LDPC符号化部21が出力する、DVB-S.2の規格に規定されているLDPC符

号に対応する検査行列Hの情報行列$H_A$は、巡回構造になっている。

[0169] 巡回構造とは、ある列が、他の列をサイクリックシフト(ローテーション)したものと一致している構造をいい、例えば、P列ごとに、そのP列の各行の1の位置が、そのP列の最初の列を、パリティ長Mを除算して得られる値qに比例する値だけ、列方向にサイクリックシフトした位置になっている構造も含まれる。以下、適宜、巡回構造におけるP列を、巡回構造の単位の列数という。

[0170] LDPC符号化部21が出力する、DVB-S.2の規格に規定されているLDPC符号としては、図11で説明したように、符号長Nが64800ビットと16200ビットとの、2種類のLDPC符号がある。

[0171] いま、符号長Nが64800ビットと16200ビットの2種類のLDPC符号のうちの、符号長Nが64800ビットのLDPC符号に注目すると、その符号長Nが64800ビットのLDPC符号の符号化率は、図11で説明したように、11個ある。

[0172] この11個の符号化率それぞれの、符号長Nが64800ビットのLDPC符号については、いずれについても、DVB-S.2の規格では、巡回構造の単位の列数Pが、パリティ長Mの約数のうちの、1とMを除く約数の1つである360に規定されている。

[0173] また、11個の符号化率それぞれの、符号長Nが64800ビットのLDPC符号については、パリティ長Mは、符号化率によって異なる値qを用いて、式M=q×P=q×360で表される素数以外の値になっている。したがって、値qも、巡回構造の単位の列数Pと同様に、パリティ長Mの約数のうちの、1とMを除く約数の他の1つであり、パリティ長Mを、巡回構造の単位の列数Pで除算することにより得られる(パリティ長Mの約数であるP及びqの積は、パリティ長Mとなる)。

[0174] パリティインターリーバ23は、上述したように、情報長をKとし、また、0以上P未満の整数をxとするとともに、0以上q未満の整数をyとすると、パリティインターリーブとして、LDPC符号化部21からのLDPC符号のK+1ないしK+M(=N)番目の符号ビットであるパリティビットのうちの、K+qx+y+1番目の符号ビットを、K+Py+x+1番目の符号ビットの位置にインターリーブする。

[0175] このようなパリティインターリーブによれば、同一のチェックノードに繋がれるバリアブルノード(に対応するパリティビット)が、巡回構造の単位の列数P、すなわち、ここで

は、360ビットだけ離れるので、バースト長が360ビット未満である場合には、同一のチェックノードに繋がっているバリアブルノードの複数が同時にエラーになる事態を避けることができ、その結果、バースト誤りに対する耐性を改善することができる。

[0176] なお、K+qx+y+1番目の符号ビットを、K+Py+x+1番目の符号ビットの位置にインターリーブするパリティインターリーブ後のLDPC符号は、元の検査行列Hの、K+qx+y+1番目の列を、K+Py+x+1番目の列に置換する列置換を行って得られる検査行列(以下、変換検査行列ともいう)のLDPC符号に一致する。

[0177] また、変換検査行列のパリティ行列には、図20に示すように、P列(図20では、360列)を単位とする擬似巡回構造が現れる。

[0178] ここで、擬似巡回構造とは、一部を除く部分が巡回構造になっている構造を意味する。DVB-S.2の規格に規定されているLDPC符号の検査行列に対して、パリティインターリーブに相当する列置換を施して得られる変換検査行列は、その右隅部分の360行×360列の部分(後述するシフト行列)に、1の要素が1つだけ足らず(0の要素になっており)、そのために、(完全な)巡回構造ではなく、擬似巡回構造になっている。

[0179] なお、図20の変換検査行列は、元の検査行列Hに対して、パリティインターリーブに相当する列置換の他、変換検査行列が、後述する構成行列で構成されるようにするための行の置換(行置換)も施された行列になっている。

[0180] 次に、図21ないし図24を参照して、図8のカラムツイストインターリーバ24による並び替え処理としてのカラムツイストインターリーブについて説明する。

[0181] 図8の送信装置11では、周波数の利用効率の向上のために、上述したように、LDPC符号の符号ビットの2ビット以上を、1個のシンボルとして送信する。すなわち、例えば、符号ビットの2ビットを1個のシンボルとする場合には、変調方式として、例えば、QPSKが用いられ、符号ビットの4ビットを1個のシンボルとする場合には、変調方式として、例えば、16QAMが用いられる。

[0182] このように、符号ビットの2ビット以上を、1個のシンボルとして送信する場合、あるシンボルに、イレージャ等が発生すると、そのシンボルの(シンボルビットに割り当てられた)符号ビットは、すべてエラー(イレージャ)になる。

[0183] したがって、復号の性能を向上させるために、同一のチェックノードに繋がっている

バリアブルノード(に対応する符号ビット)の複数が同時にイレージャになる確率を低下させるには、1個のシンボルの符号ビットに対応するバリアブルノードが、同一のチェックノードに繋がることを避ける必要がある。

[0184] 一方、上述したように、LDPC符号化部21が出力する、DVB-S.2の規格に規定されているLDPC符号の検査行列Hでは、情報行列$H_A$が巡回構造を有し、パリティ行列$H_T$が階段構造を有している。そして、図20で説明したように、パリティインターリーブ後のLDPC符号の検査行列である変換検査行列では、パリティ行列にも巡回構造(正確には、上述したように、擬似巡回構造)が現れる。

[0185] 図21は、変換検査行列を示している。

[0186] すなわち、図21Aは、符号長Nが64800ビットで、符号化率(r)が3/4のLDPC符号の検査行列Hの変換検査行列を示している。

[0187] 図21Aでは、変換検査行列において、値が1になっている要素の位置が、点(・)で示されている。

[0188] 図21Bは、図21Aの変換検査行列のLDPC符号、つまり、パリティインターリーブ後のLDPC符号を対象として、デマルチプレクサ25(図8)が行う処理を示している。

[0189] 図21Bでは、変調方式を16QAMとして、デマルチプレクサ25のメモリ31を構成する4カラムに、パリティインターリーブ後のLDPC符号の符号ビットが、カラム方向に書き込まれている。

[0190] メモリ31を構成する4カラムに、カラム方向に書き込まれた符号ビットは、ロウ方向に、4ビット単位で読み出され、1シンボルとなる。

[0191] この場合、1シンボルとなる4ビットの符号ビット$B_0,B_1,B_2,B_3$は、図21Aの変換検査行列の、任意の1行にある1に対応する符号ビットとなっていることがあり、この場合、その符号ビット$B_0,B_1,B_2,B_3$それぞれに対応するバリアブルノードは、同一のチェックノードに繋がっている。

[0192] したがって、1シンボルの4ビットの符号ビット$B_0,B_1,B_2,B_3$が、変換検査行列の任意の1行にある1に対応する符号ビットとなっている場合には、そのシンボルに、イレージャが発生すると、符号ビット$B_0,B_1,B_2,B_3$それぞれに対応するバリアブルノードが繋がっている同一のチェックノードにおいて、適切なメッセージを求めることができず、その結

果、復号の性能が劣化する。

[0193] 符号化率が3/4以外の符号化率についても、同様に、同一のチェックノードに繋がっている複数のバリアブルノードに対応する複数の符号ビットが、16QAMの1個のシンボルとされることがある。

[0194] そこで、カラムツイストインターリーバ24は、変換検査行列の任意の1行にある1に対応する複数の符号ビットが、1個のシンボルに含まれないように、パリティインターリーバ23からのパリティインターリーブ後のLDPC符号の符号ビットをインターリーブするカラムツイストインターリーブを行う。

[0195] 図22は、カラムツイストインターリーブを説明する図である。

[0196] すなわち、図22は、デマルチプレクサ25のメモリ31(図16、図17)を示している。

[0197] メモリ31は、図16で説明したように、カラム(縦)方向にmbビットを記憶するとともに、ロウ(横)方向にN/(mb)ビットを記憶する記憶容量を有し、mb個のカラムから構成される。そして、カラムツイストインターリーバ24は、メモリ31に対して、LDPC符号の符号ビットを、カラム方向に書き込み、ロウ方向に読み出すときの書き始めの位置を制御することで、カラムツイストインターリーブを行う。

[0198] すなわち、カラムツイストインターリーバ24では、複数のカラムそれぞれについて、符号ビットの書き込みを開始する書き始めの位置を、適宜変更することで、ロウ方向に読み出される、1シンボルとされる複数の符号ビットが、変換検査行列の任意の1行にある1に対応する符号ビットにならないようにする(検査行列の任意の1行にある1に対応する複数の符号ビットが、同一のシンボルに含まれないように、LDPC符号の符号ビットを並び替える)。

[0199] ここで、図22は、変調方式が16QAMであり、かつ、図16で説明した倍数bが1である場合の、メモリ31の構成例を示している。したがって、1シンボルにされるLDPC符号の符号ビットのビット数mは、4ビットであり、また、メモリ31は、4(=mb)個のカラムで構成されている。

[0200] カラムツイストインターリーバ24は、(図16のデマルチプレクサ25に代わり)LDPC符号の符号ビットを、メモリ31を構成する4個のカラムの上から下方向(カラム方向)に書き込むことを、左から右方向のカラムに向かって行う。

[0201] そして、符号ビットの書き込みが、最も右のカラムまで終了すると、カラムツイストインターリーバ24は、メモリ31を構成するすべてのカラムの1行目から、ロウ方向に、4ビット(mbビット)単位で、符号ビットを読み出し、カラムツイストインターリーブ後のLDPC符号として、デマルチプレクサ25の入れ替え部32(図16、図17)に出力する。

[0202] 但し、カラムツイストインターリーバ24では、各カラムの先頭(一番上)の位置のアドレスを0として、カラム方向の各位置のアドレスを、昇順の整数で表すこととすると、最も左のカラムについては、書き始めの位置を、アドレスが0の位置とし、(左から)2番目のカラムについては、書き始めの位置を、アドレスが2の位置とし、3番目のカラムについては、書き始めの位置を、アドレスが4の位置とし、4番目のカラムについては、書き始めの位置を、アドレスが7の位置とする。

[0203] なお、書き始めの位置が、アドレスが0の位置以外の位置のカラムについては、符号ビットを、最も下の位置まで書き込んだ後は、先頭(アドレスが0の位置)に戻り、書き始めの位置の直前の位置までの書き込みが行われる。そして、その後、次(右)のカラムへの書き込みが行われる。

[0204] 以上のようなカラムツイストインターリーブを行うことにより、DVB-S.2の規格に規定されている、符号長Nが64800の全ての符号化率のLDPC符号について、同一のチェックノードに繋がっている複数のバリアブルノードに対応する複数の符号ビットが、16QAMの1個のシンボルとされること(同一のシンボルに含まれること)を回避することができ、その結果、イレージャのある通信路での復号の性能を向上させることができる。

[0205] 図23は、DVB-S.2の規格に規定されている、符号長Nが64800の、11個の符号化率それぞれのLDPC符号について、カラムツイストインターリーブに必要なメモリ31のカラム数と、書き始めの位置のアドレスを、変調方式ごとに示している。

[0206] 倍数bが1であり、かつ、変調方式として、例えば、QPSKが採用されることによって、1シンボルのビット数mが、2ビットである場合、図23によれば、メモリ31は、ロウ方向に2×1(=mb)ビットを記憶する2個のカラムを有し、カラム方向に64800/(2×1)ビットを記憶する。

[0207] そして、メモリ31の2個のカラムのうちの1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが2の位置と、それぞれ

される。

[0208] なお、例えば、デマルチプレクサ25(図8)の入れ替え処理の入れ替え方式として、図16の第1ないし第3の入れ替え方式のうちのいずれかが採用される場合等に、倍数bは1となる。

[0209] 倍数bが2であり、かつ、変調方式として、例えば、QPSKが採用されることによって、1シンボルのビット数mが、2ビットである場合、図23によれば、メモリ31は、ロウ方向に2×2ビットを記憶する4個のカラムを有し、カラム方向に64800/(2×2)ビットを記憶する。

[0210] そして、メモリ31の4個のカラムのうちの1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが2の位置と、3番目のカラムの書き始めの位置は、アドレスが4の位置と、4番目のカラムの書き始めの位置は、アドレスが7の位置と、それぞれされる。

[0211] なお、例えば、デマルチプレクサ25(図8)の入れ替え処理の入れ替え方式として、図17の第4の入れ替え方式が採用される場合等に、倍数bは2となる。

[0212] 倍数bが1であり、かつ、変調方式として、例えば、16QAMが採用されることによって、1シンボルのビット数mが、4ビットである場合、図23によれば、メモリ31は、ロウ方向に4×1ビットを記憶する4個のカラムを有し、カラム方向に64800/(4×1)ビットを記憶する。

[0213] そして、メモリ31の4個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが2の位置と、3番目のカラムの書き始めの位置は、アドレスが4の位置と、4番目のカラムの書き始めの位置は、アドレスが7の位置と、それぞれされる。

[0214] 倍数bが2であり、かつ、変調方式として、例えば、16QAMが採用されることによって、1シンボルのビット数mが、4ビットである場合、図23によれば、メモリ31は、ロウ方向に4×2ビットを記憶する8個のカラムを有し、カラム方向に64800/(4×2)ビットを記憶する。

[0215] そして、メモリ31の8個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目

のカラムの書き始めの位置は、アドレスが2の位置と、4番目のカラムの書き始めの位置は、アドレスが4の位置と、5番目のカラムの書き始めの位置は、アドレスが4の位置と、6番目のカラムの書き始めの位置は、アドレスが5の位置と、7番目のカラムの書き始めの位置は、アドレスが7の位置と、8番目のカラムの書き始めの位置は、アドレスが7の位置と、それぞれされる。

[0216] 倍数bが1であり、かつ、変調方式として、例えば、64QAMが採用されることによって、1シンボルのビット数mが、6ビットである場合、図23によれば、メモリ31は、ロウ方向に6×1ビットを記憶する6個のカラムを有し、カラム方向に64800/(6×1)ビットを記憶する。

[0217] そして、メモリ31の6個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが2の位置と、3番目のカラムの書き始めの位置は、アドレスが5の位置と、4番目のカラムの書き始めの位置は、アドレスが9の位置と、5番目のカラムの書き始めの位置は、アドレスが10の位置と、6番目のカラムの書き始めの位置は、アドレスが13の位置と、それぞれされる。

[0218] 倍数bが2であり、かつ、変調方式として、例えば、64QAMが採用されることによって、1シンボルのビット数mが、6ビットである場合、図23によれば、メモリ31は、ロウ方向に6×2ビットを記憶する12個のカラムを有し、カラム方向に64800/(6×2)ビットを記憶する。

[0219] そして、メモリ31の12個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目のカラムの書き始めの位置は、アドレスが2の位置と、4番目のカラムの書き始めの位置は、アドレスが2の位置と、5番目のカラムの書き始めの位置は、アドレスが3の位置と、6番目のカラムの書き始めの位置は、アドレスが4の位置と、7番目のカラムの書き始めの位置は、アドレスが4の位置と、8番目のカラムの書き始めの位置は、アドレスが5の位置と、9番目のカラムの書き始めの位置は、アドレスが5の位置と、10番目のカラムの書き始めの位置は、アドレスが7の位置と、11番目のカラムの書き始めの位置は、アドレスが8の位置と、12番目のカラムの書き始めの位置は、アドレスが9の位置と、それぞれされる。

[0220] 倍数bが1であり、かつ、変調方式として、例えば、256QAMが採用されることによって、1シンボルのビット数mが、8ビットである場合、図23によれば、メモリ31は、ロウ方向に8×1ビットを記憶する8個のカラムを有し、カラム方向に64800/(8×1)ビットを記憶する。

[0221] そして、メモリ31の8個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目のカラムの書き始めの位置は、アドレスが2の位置と、4番目のカラムの書き始めの位置は、アドレスが4の位置と、5番目のカラムの書き始めの位置は、アドレスが4の位置と、6番目のカラムの書き始めの位置は、アドレスが5の位置と、7番目のカラムの書き始めの位置は、アドレスが7の位置と、8番目のカラムの書き始めの位置は、アドレスが7の位置と、それぞれされる。

[0222] 倍数bが2であり、かつ、変調方式として、例えば、256QAMが採用されることによって、1シンボルのビット数mが、8ビットである場合、図23によれば、メモリ31は、ロウ方向に8×2ビットを記憶する16個のカラムを有し、カラム方向に64800/(8×2)ビットを記憶する。

[0223] そして、メモリ31の16個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが2の位置と、3番目のカラムの書き始めの位置は、アドレスが2の位置と、4番目のカラムの書き始めの位置は、アドレスが2の位置と、5番目のカラムの書き始めの位置は、アドレスが2の位置と、6番目のカラムの書き始めの位置は、アドレスが3の位置と、7番目のカラムの書き始めの位置は、アドレスが7の位置と、8番目のカラムの書き始めの位置は、アドレスが15の位置と、9番目のカラムの書き始めの位置は、アドレスが16の位置と、10番目のカラムの書き始めの位置は、アドレスが20の位置と、11番目のカラムの書き始めの位置は、アドレスが22の位置と、12番目のカラムの書き始めの位置は、アドレスが22の位置と、13番目のカラムの書き始めの位置は、アドレスが27の位置と、14番目のカラムの書き始めの位置は、アドレスが27の位置と、15番目のカラムの書き始めの位置は、アドレスが28の位置と、16番目のカラムの書き始めの位置は、アドレスが32の位置と、それぞれされる。

[0224] 倍数bが1であり、かつ、変調方式として、例えば、1024QAMが採用されることによって、1シンボルのビット数mが、10ビットである場合、図23によれば、メモリ31は、ロウ方向に10×1ビットを記憶する10個のカラムを有し、カラム方向に64800/(10×1)ビットを記憶する。

[0225] そして、メモリ31の10個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが3の位置と、3番目のカラムの書き始めの位置は、アドレスが6の位置と、4番目のカラムの書き始めの位置は、アドレスが8の位置と、5番目のカラムの書き始めの位置は、アドレスが11の位置と、6番目のカラムの書き始めの位置は、アドレスが13の位置と、7番目のカラムの書き始めの位置は、アドレスが15の位置と、8番目のカラムの書き始めの位置は、アドレスが17の位置と、9番目のカラムの書き始めの位置は、アドレスが18の位置と、10番目のカラムの書き始めの位置は、アドレスが20の位置と、それぞれされる。

[0226] 倍数bが2であり、かつ、変調方式として、例えば、1024QAMが採用されることによって、1シンボルのビット数mが、10ビットである場合、図23によれば、メモリ31は、ロウ方向に10×2ビットを記憶する20個のカラムを有し、カラム方向に64800/(10×2)ビットを記憶する。

[0227] そして、メモリ31の20個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが1の位置と、3番目のカラムの書き始めの位置は、アドレスが3の位置と、4番目のカラムの書き始めの位置は、アドレスが4の位置と、5番目のカラムの書き始めの位置は、アドレスが5の位置と、6番目のカラムの書き始めの位置は、アドレスが6の位置と、7番目のカラムの書き始めの位置は、アドレスが6の位置と、8番目のカラムの書き始めの位置は、アドレスが9の位置と、9番目のカラムの書き始めの位置は、アドレスが13の位置と、10番目のカラムの書き始めの位置は、アドレスが14の位置と、11番目のカラムの書き始めの位置は、アドレスが14の位置と、12番目のカラムの書き始めの位置は、アドレスが16の位置と、13番目のカラムの書き始めの位置は、アドレスが21の位置と、14番目のカラムの書き始めの位置は、アドレスが21の位置と、15番目のカラムの書き始めの位置は、アドレスが23の位置と、16番目のカラムの書き始めの位置は、アドレスが25の位置

と、17番目のカラムの書き始めの位置は、アドレスが25の位置と、18番目のカラムの書き始めの位置は、アドレスが26の位置と、19番目のカラムの書き始めの位置は、アドレスが28の位置と、20番目のカラムの書き始めの位置は、アドレスが30の位置と、それぞれされる。

[0228] 倍数bが1であり、かつ、変調方式として、例えば、4096QAMが採用されることによって、1シンボルのビット数mが、12ビットである場合、図23によれば、メモリ31は、ロウ方向に12×1ビットを記憶する12個のカラムを有し、カラム方向に64800/(12×1)ビットを記憶する。

[0229] そして、メモリ31の12個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目のカラムの書き始めの位置は、アドレスが2の位置と、4番目のカラムの書き始めの位置は、アドレスが2の位置と、5番目のカラムの書き始めの位置は、アドレスが3の位置と、6番目のカラムの書き始めの位置は、アドレスが4の位置と、7番目のカラムの書き始めの位置は、アドレスが4の位置と、8番目のカラムの書き始めの位置は、アドレスが5の位置と、9番目のカラムの書き始めの位置は、アドレスが5の位置と、10番目のカラムの書き始めの位置は、アドレスが7の位置と、11番目のカラムの書き始めの位置は、アドレスが8の位置と、12番目のカラムの書き始めの位置は、アドレスが9の位置と、それぞれされる。

[0230] 倍数bが2であり、かつ、変調方式として、例えば、4096QAMが採用されることによって、1シンボルのビット数mが、12ビットである場合、図23によれば、メモリ31は、ロウ方向に12×2ビットを記憶する24個のカラムを有し、カラム方向に64800/(12×2)ビットを記憶する。

[0231] そして、メモリ31の24個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが5の位置と、3番目のカラムの書き始めの位置は、アドレスが8の位置と、4番目のカラムの書き始めの位置は、アドレスが8の位置と、5番目のカラムの書き始めの位置は、アドレスが8の位置と、6番目のカラムの書き始めの位置は、アドレスが8の位置と、7番目のカラムの書き始めの位置は、アドレスが10の位置と、8番目のカラムの書き始めの位置は、アドレ

スが10の位置と、9番目のカラムの書き始めの位置は、アドレスが10の位置と、10番目のカラムの書き始めの位置は、アドレスが12の位置と、11番目のカラムの書き始めの位置は、アドレスが13の位置と、12番目のカラムの書き始めの位置は、アドレスが16の位置と、13番目のカラムの書き始めの位置は、アドレスが17の位置と、14番目のカラムの書き始めの位置は、アドレスが19の位置と、15番目のカラムの書き始めの位置は、アドレスが21の位置と、16番目のカラムの書き始めの位置は、アドレスが22の位置と、17番目のカラムの書き始めの位置は、アドレスが23の位置と、18番目のカラムの書き始めの位置は、アドレスが26の位置と、19番目のカラムの書き始めの位置は、アドレスが37の位置と、20番目のカラムの書き始めの位置は、アドレスが39の位置と、21番目のカラムの書き始めの位置は、アドレスが40の位置と、22番目のカラムの書き始めの位置は、アドレスが41の位置と、23番目のカラムの書き始めの位置は、アドレスが41の位置と、24番目のカラムの書き始めの位置は、アドレスが41の位置と、それぞれされる。

[0232] 図24は、DVB-S.2の規格に規定されている、符号長Nが16200の、10個の符号化率それぞれのLDPC符号について、カラムツイストインターリーブに必要なメモリ31のカラム数と、書き始めの位置のアドレスを、変調方式ごとに示している。

[0233] 倍数bが1であり、かつ、変調方式として、例えば、QPSKが採用されることによって、1シンボルのビット数mが、2ビットである場合、図24によれば、メモリ31は、ロウ方向に2×1ビットを記憶する2個のカラムを有し、カラム方向に16200/(2×1)ビットを記憶する。

[0234] そして、メモリ31の2個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、それぞれされる。

[0235] 倍数bが2であり、かつ、変調方式として、例えば、QPSKが採用されることによって、1シンボルのビット数mが、2ビットである場合、図24によれば、メモリ31は、ロウ方向に2×2ビットを記憶する4個のカラムを有し、カラム方向に16200/(2×2)ビットを記憶する。

[0236] そして、メモリ31の4個のカラムのうちの、1番目のカラムの書き始めの位置は、アド

レスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが2の位置と、3番目のカラムの書き始めの位置は、アドレスが3の位置と、4番目のカラムの書き始めの位置は、アドレスが3の位置と、それぞれされる。

[0237] 倍数bが1であり、かつ、変調方式として、例えば、16QAMが採用されることによって、1シンボルのビット数mが、4ビットである場合、図24によれば、メモリ31は、ロウ方向に4×1ビットを記憶する4個のカラムを有し、カラム方向に16200/(4×1)ビットを記憶する。

[0238] そして、メモリ31の4個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが2の位置と、3番目のカラムの書き始めの位置は、アドレスが3の位置と、4番目のカラムの書き始めの位置は、アドレスが3の位置と、それぞれされる。

[0239] 倍数bが2であり、かつ、変調方式として、例えば、16QAMが採用されることによって、1シンボルのビット数mが、4ビットである場合、図24によれば、メモリ31は、ロウ方向に4×2ビットを記憶する8個のカラムを有し、カラム方向に16200/(4×2)ビットを記憶する。

[0240] そして、メモリ31の8個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目のカラムの書き始めの位置は、アドレスが0の位置と、4番目のカラムの書き始めの位置は、アドレスが1の位置と、5番目のカラムの書き始めの位置は、アドレスが7の位置と、6番目のカラムの書き始めの位置は、アドレスが20の位置と、7番目のカラムの書き始めの位置は、アドレスが20の位置と、8番目のカラムの書き始めの位置は、アドレスが21の位置と、それぞれされる。

[0241] 倍数bが1であり、かつ、変調方式として、例えば、64QAMが採用されることによって、1シンボルのビット数mが、6ビットである場合、図24によれば、メモリ31は、ロウ方向に6×1ビットを記憶する6個のカラムを有し、カラム方向に16200/(6×1)ビットを記憶する。

[0242] そして、メモリ31の6個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目

000055

のカラムの書き始めの位置は、アドレスが2の位置と、4番目のカラムの書き始めの位置は、アドレスが3の位置と、5番目のカラムの書き始めの位置は、アドレスが7の位置と、6番目のカラムの書き始めの位置は、アドレスが7の位置と、それぞれされる。

[0243] 倍数bが2であり、かつ、変調方式として、例えば、64QAMが採用されることによって、1シンボルのビット数mが、6ビットである場合、図24によれば、メモリ31は、ロウ方向に6×2ビットを記憶する12個のカラムを有し、カラム方向に16200/(6×2)ビットを記憶する。

[0244] そして、メモリ31の12個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目のカラムの書き始めの位置は、アドレスが0の位置と、4番目のカラムの書き始めの位置は、アドレスが2の位置と、5番目のカラムの書き始めの位置は、アドレスが2の位置と、6番目のカラムの書き始めの位置は、アドレスが2の位置と、7番目のカラムの書き始めの位置は、アドレスが3の位置と、8番目のカラムの書き始めの位置は、アドレスが3の位置と、9番目のカラムの書き始めの位置は、アドレスが3の位置と、10番目のカラムの書き始めの位置は、アドレスが6の位置と、11番目のカラムの書き始めの位置は、アドレスが7の位置と、12番目のカラムの書き始めの位置は、アドレスが7の位置と、それぞれされる。

[0245] 倍数bが1であり、かつ、変調方式として、例えば、256QAMが採用されることによって、1シンボルのビット数mが、8ビットである場合、図24によれば、メモリ31は、ロウ方向に8×1ビットを記憶する8個のカラムを有し、カラム方向に16200/(8×1)ビットを記憶する。

[0246] そして、メモリ31の8個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目のカラムの書き始めの位置は、アドレスが0の位置と、4番目のカラムの書き始めの位置は、アドレスが1の位置と、5番目のカラムの書き始めの位置は、アドレスが7の位置と、6番目のカラムの書き始めの位置は、アドレスが20の位置と、7番目のカラムの書き始めの位置は、アドレスが20の位置と、8番目のカラムの書き始めの位置は、アドレスが21の位置と、それぞれされる。

[0247] 倍数bが1であり、かつ、変調方式として、例えば、1024QAMが採用されることによって、1シンボルのビット数mが、10ビットである場合、図24によれば、メモリ31は、ロウ方向に10×1ビットを記憶する10個のカラムを有し、カラム方向に16200/(10×1)ビットを記憶する。

[0248] そして、メモリ31の10個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが1の位置と、3番目のカラムの書き始めの位置は、アドレスが2の位置と、4番目のカラムの書き始めの位置は、アドレスが2の位置と、5番目のカラムの書き始めの位置は、アドレスが3の位置と、6番目のカラムの書き始めの位置は、アドレスが3の位置と、7番目のカラムの書き始めの位置は、アドレスが4の位置と、8番目のカラムの書き始めの位置は、アドレスが4の位置と、9番目のカラムの書き始めの位置は、アドレスが5の位置と、10番目のカラムの書き始めの位置は、アドレスが7の位置と、それぞれされる。

[0249] 倍数bが2であり、かつ、変調方式として、例えば、1024QAMが採用されることによって、1シンボルのビット数mが、10ビットである場合、図24によれば、メモリ31は、ロウ方向に10×2ビットを記憶する20個のカラムを有し、カラム方向に16200/(10×2)ビットを記憶する。

[0250] そして、メモリ31の20個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目のカラムの書き始めの位置は、アドレスが0の位置と、4番目のカラムの書き始めの位置は、アドレスが2の位置と、5番目のカラムの書き始めの位置は、アドレスが2の位置と、6番目のカラムの書き始めの位置は、アドレスが2の位置と、7番目のカラムの書き始めの位置は、アドレスが2の位置と、8番目のカラムの書き始めの位置は、アドレスが2の位置と、9番目のカラムの書き始めの位置は、アドレスが5の位置と、10番目のカラムの書き始めの位置は、アドレスが5の位置と、11番目のカラムの書き始めの位置は、アドレスが5の位置と、12番目のカラムの書き始めの位置は、アドレスが5の位置と、13番目のカラムの書き始めの位置は、アドレスが5の位置と、14番目のカラムの書き始めの位置は、アドレスが7の位置と、15番目のカラムの書き始めの位置は、アドレスが7の位置と、16番目のカラムの書き始めの位置は、アドレスが7の位置と、1

000057

7番目のカラムの書き始めの位置は、アドレスが7の位置と、18番目のカラムの書き始めの位置は、アドレスが8の位置と、19番目のカラムの書き始めの位置は、アドレスが8の位置と、20番目のカラムの書き始めの位置は、アドレスが10の位置と、それぞれされる。

[0251] 倍数bが1であり、かつ、変調方式として、例えば、4096QAMが採用されることによって、1シンボルのビット数mが、12ビットである場合、図24によれば、メモリ31は、ロウ方向に12×1ビットを記憶する12個のカラムを有し、カラム方向に16200/(12×1)ビットを記憶する。

[0252] そして、メモリ31の12個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目のカラムの書き始めの位置は、アドレスが0の位置と、4番目のカラムの書き始めの位置は、アドレスが2の位置と、5番目のカラムの書き始めの位置は、アドレスが2の位置と、6番目のカラムの書き始めの位置は、アドレスが2の位置と、7番目のカラムの書き始めの位置は、アドレスが3の位置と、8番目のカラムの書き始めの位置は、アドレスが3の位置と、9番目のカラムの書き始めの位置は、アドレスが3の位置と、10番目のカラムの書き始めの位置は、アドレスが6の位置と、11番目のカラムの書き始めの位置は、アドレスが7の位置と、12番目のカラムの書き始めの位置は、アドレスが7の位置と、それぞれされる。

[0253] 倍数bが2であり、かつ、変調方式として、例えば、4096QAMが採用されることによって、1シンボルのビット数mが、12ビットである場合、図24によれば、メモリ31は、ロウ方向に12×2ビットを記憶する24個のカラムを有し、カラム方向に16200/(12×2)ビットを記憶する。

[0254] そして、メモリ31の24個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目のカラムの書き始めの位置は、アドレスが0の位置と、4番目のカラムの書き始めの位置は、アドレスが0の位置と、5番目のカラムの書き始めの位置は、アドレスが0の位置と、6番目のカラムの書き始めの位置は、アドレスが0の位置と、7番目のカラムの書き始めの位置は、アドレスが0の位置と、8番目のカラムの書き始めの位置は、アドレス

が1の位置と、9番目のカラムの書き始めの位置は、アドレスが1の位置と、10番目のカラムの書き始めの位置は、アドレスが1の位置と、11番目のカラムの書き始めの位置は、アドレスが2の位置と、12番目のカラムの書き始めの位置は、アドレスが2の位置と、13番目のカラムの書き始めの位置は、アドレスが2の位置と、14番目のカラムの書き始めの位置は、アドレスが3の位置と、15番目のカラムの書き始めの位置は、アドレスが7の位置と、16番目のカラムの書き始めの位置は、アドレスが9の位置と、17番目のカラムの書き始めの位置は、アドレスが9の位置と、18番目のカラムの書き始めの位置は、アドレスが9の位置と、19番目のカラムの書き始めの位置は、アドレスが10の位置と、20番目のカラムの書き始めの位置は、アドレスが10の位置と、21番目のカラムの書き始めの位置は、アドレスが10の位置と、22番目のカラムの書き始めの位置は、アドレスが10の位置と、23番目のカラムの書き始めの位置は、アドレスが10の位置と、24番目のカラムの書き始めの位置は、アドレスが11の位置と、それぞれされる。

[0255] 次に、図25のフローチャートを参照して、図8の送信装置11で行われる送信処理について説明する。

[0256] LDPC符号化部21は、そこに、対象データが供給されるのを待って、ステップS101において、対象データを、LDPC符号に符号化し、そのLDPC符号を、ビットインターリーバ22に供給して、処理は、ステップS102に進む。

[0257] ビットインターリーバ22は、ステップS102において、LDPC符号化部21からのLDPC符号を対象として、ビットインターリーブを行い、そのビットインターリーブ後のLDPC符号をシンボル化したシンボルを、マッピング部26に供給して、処理は、ステップS103に進む。

[0258] すなわち、ステップS102では、ビットインターリーバ22において、パリティインターリーバ23が、LDPC符号化部21からのLDPC符号を対象として、パリティインターリーブを行い、そのパリティインターリーブ後のLDPC符号を、カラムツイストインターリーバ24に供給する。

[0259] カラムツイストインターリーバ24は、パリティインターリーバ23からのLDPC符号を対象として、カラムツイストインターリーブを行い、デマルチプレクサ25に供給する。

[0260] デマルチプレクサ25は、カラムツイストインターリーバ24によるカラムツイストインターリーブ後のLDPC符号の符号ビットを入れ替えて、入れ替え後の符号ビットを、シンボルのシンボルビット(シンボルを表すビット)とする入れ替え処理を行う。

[0261] ここで、デマルチプレクサ25による入れ替え処理は、図16及び図17に示した第1ないし第4の入れ替え方式に従って行うことができる他、割り当てルールに従って行うことができる。割り当てルールは、LDPC符号の符号ビットを、シンボルを表すシンボルビットに割り当てるためのルールであり、その詳細については、後述する。

[0262] デマルチプレクサ25による入れ替え処理によって得られたシンボルは、デマルチプレクサ25から、マッピング部26に供給される。

[0263] マッピング部26は、ステップS103において、デマルチプレクサ25からのシンボルを、直交変調部27で行われる直交変調の変調方式で定める信号点にマッピングし、直交変調部27に供給して、処理は、ステップS104に進む。

[0264] 直交変調部27は、ステップS104において、マッピング部26からの信号点に従い、搬送波の直交変調を行って、処理は、ステップS105に進み、直交変調の結果得られる変調信号を送信して、処理を終了する。

[0265] なお、図25の送信処理は繰り返しパイプラインで行われる。

[0266] 以上のように、パリティインターリーブや、カラムツイストインターリーブを行うことで、LDPC符号の複数の符号ビットを1個のシンボルとして送信する場合の、イレージャやバースト誤りに対する耐性を向上させることができる。

[0267] ここで、図8では、説明の便宜のため、パリティインターリーブを行うブロックであるパリティインターリーバ23と、カラムツイストインターリーブを行うブロックであるカラムツイストインターリーバ24とを、別個に構成するようにしたが、パリティインターリーバ23とカラムツイストインターリーバ24とは、一体的に構成することができる。

[0268] すなわち、パリティインターリーブと、カラムツイストインターリーブとは、いずれも、メモリに対する符号ビットの書き込み、及び読み出しによって行うことができ、符号ビットの書き込みを行うアドレス(書き込みアドレス)を、符号ビットの読み出しを行うアドレス(読み出しアドレス)に変換する行列によって表すことができる。

[0269] したがって、パリティインターリーブを表す行列と、カラムツイストインターリーブを表

す行列とを乗算して得られる行列を求めておけば、その行列によって、符号ビットを変換することで、パリティインターリーブを行い、さらに、そのパリティインターリーブ後のLDPC符号をカラムツイストインターリーブした結果を得ることができる。

[0270] また、パリティインターリーバ23とカラムツイストインターリーバ24に加えて、デマルチプレクサ25も、一体的に構成することが可能である。

[0271] すなわち、デマルチプレクサ25で行われる入れ替え処理も、LDPC符号を記憶するメモリ31の書き込みアドレスを、読み出しアドレスに変換する行列によって表すことができる。

[0272] したがって、パリティインターリーブを表す行列、カラムツイストインターリーブを表す行列、及び、入れ替え処理を表す行列を乗算して得られる行列を求めておけば、その行列によって、パリティインターリーブ、カラムツイストインターリーブ、及び、入れ替え処理を、一括して行うことができる。

[0273] なお、パリティインターリーブと、カラムツイストインターリーブとについては、そのうちのいずれか一方だけを行うようにすること、又は、いずれも行わないようにすることが可能である。

[0274] 次に、図26ないし図28を参照して、図8の送信装置11について行った、エラーレート(bit error rate)を計測するシミュレーションについて説明する。

[0275] シミュレーションは、D/Uが0dBのフラッタ(flutter)がある通信路を採用して行った。

[0276] 図26は、シミュレーションで採用した通信路のモデルを示している。

[0277] すなわち、図26Aは、シミュレーションで採用したフラッタのモデルを示している。

[0278] また、図26Bは、図26Aのモデルで表されるフラッタがある通信路のモデルを示している。

[0279] なお、図26Bにおいて、Hは、図26Aのフラッタのモデルを表す。また、図26Bにおいて、Nは、ICI(Inter Carrier Interference)を表し、シミュレーションでは、そのパワーの期待値$E[N^2]$を、AWGNで近似した。

[0280] 図27及び図28は、シミュレーションで得られたエラーレートと、フラッタのドップラ周波数$f_d$との関係を示している。

[0281] なお、図27は、変調方式が16QAMで、符号化率(r)が3/4で、入れ替え方式が第1

の入れ替え方式である場合の、エラーレートとドップラ周波数$f_d$との関係を示している。また、図28は、変調方式が64QAMで、符号化率(r)が5/6で、入れ替え方式が第1の入れ替え方式である場合の、エラーレートとドップラ周波数$f_d$との関係を示している。

[0282] さらに、図27及び図28において、太線は、パリティインターリーブ、カラムツイストインターリーブ、及び、入れ替え処理のすべてを行った場合の、エラーレートとドップラ周波数$f_d$との関係を示しており、細線は、パリティインターリーブ、カラムツイストインターリーブ、及び、入れ替え処理のうちの、入れ替え処理だけを行った場合の、エラーレートとドップラ周波数$f_d$との関係を示している。

[0283] 図27及び図28のいずれにおいても、パリティインターリーブ、カラムツイストインターリーブ、及び、入れ替え処理のすべてを行った場合の方が、入れ替え処理だけを行った場合よりも、エラーレートが向上する(小さくなる)ことが分かる。

[0284] 次に、図8のLDPC符号化部21について、さらに説明する。

[0285] 図11で説明したように、DVB-S.2の規格では、64800ビットと16200ビットとの2通りの符号長NのLDPC符号が規定されている。

[0286] そして、符号長Nが64800ビットのLDPC符号については、11個の符号化率1/4,1/3,2/5,1/2,3/5,2/3,3/4,4/5,5/6,8/9、及び9/10が規定されており、符号長Nが16200ビットのLDPC符号については、10個の符号化率1/4,1/3,2/5,1/2,3/5,2/3,3/4,4/5,5/6、及び8/9が規定されている(図11B)。

[0287] LDPC符号化部21は、このような、符号長Nが64800ビットや16200ビットの各符号化率のLDPC符号による符号化(誤り訂正符号化)を、符号長Nごと、及び符号化率ごとに用意された検査行列Hに従って行う。

[0288] 図29は、図8のLDPC符号化部21の構成例を示している。

[0289] LDPC符号化部21は、符号化処理部601と記憶部602とから構成される。

[0290] 符号化処理部601は、符号化率設定部611、初期値テーブル読み出し部612、検査行列生成部613、情報ビット読み出し部614、符号化パリティ演算部615、及び制御部616から構成され、LDPC符号化部21に供給される対象データのLDPC符号化を行い、その結果得られるLDPC符号を、ビットインターリーバ22(図8)に供給する。

[0291] すなわち、符号化率設定部611は、例えば、オペレータの操作等に応じて、LDPC符号の符号長Nと符号化率とを設定する。

[0292] 初期値テーブル読み出し部612は、符号化率設定部611が設定した符号長N及び符号化率に対応する、後述する検査行列初期値テーブルを、記憶部602から読み出す。

[0293] 検査行列生成部613は、初期値テーブル読み出し部612が読み出した検査行列初期値テーブルに基づいて、符号化率設定部611が設定した符号長N及び符号化率に応じた情報長K(=符号長N-パリティ長M)に対応する情報行列$H_A$の1の要素を列方向に360列(巡回構造の単位の列数P)ごとの周期で配置して検査行列Hを生成し、記憶部602に格納する。

[0294] 情報ビット読み出し部614は、LDPC符号化部21に供給される対象データから、情報長K分の情報ビットを読み出す(抽出する)。

[0295] 符号化パリティ演算部615は、検査行列生成部613が生成した検査行列Hを記憶部602から読み出し、情報ビット読み出し部614が読み出した情報ビットに対するパリティビットを所定の式に基づいて算出し、符号語(LDPC符号)を生成する。

[0296] 制御部616は、符号化処理部601を構成する各ブロックを制御する。

[0297] 記憶部602には、64800ビットと16200ビットとの2通りの符号長Nそれぞれについての、図11に示した複数の符号化率それぞれに対応する複数の検査行列初期値テーブル等が格納されている。また、記憶部602は、符号化処理部601の処理上必要なデータを一時記憶する。

[0298] 図30は、図29のLDPC符号化部21の処理を説明するフローチャートである。

[0299] ステップS201において、符号化率設定部611は、LDPC符号化を行う符号長N及び符号化率rを決定(設定)する。

[0300] ステップS202において、初期値テーブル読み出し部612は、符号化率設定部611により決定された符号長N及び符号化率rに対応する、予め定められた検査行列初期値テーブルを、記憶部602から読み出す。

[0301] ステップS203において、検査行列生成部613は、初期値テーブル読み出し部612が記憶部602から読み出した検査行列初期値テーブルを用いて、符号化率設定

部611により決定された符号長N及び符号化率rのLDPC符号の検査行列Hを求め(生成し)、記憶部602に供給して格納する。

[0302] ステップS204において、情報ビット読み出し部614は、LDPC符号化部21に供給される対象データから、符号化率設定部611により決定された符号長N及び符号化率rに対応する情報長K(=N×r)の情報ビットを読み出すとともに、検査行列生成部613が求めた検査行列Hを、記憶部602から読み出し、符号化パリティ演算部615に供給する。

[0303] ステップS205において、符号化パリティ演算部615は、式(8)を満たす符号語cのパリティビットを順次演算する。

[0304] $Hc^T=0$

・・・(8)

[0305] 式(8)において、cは、符号語(LDPC符号)としての行ベクトルを表し、$c^T$は、行ベクトルcの転置を表す。

[0306] ここで、上述したように、LDPC符号(1符号語)としての行ベクトルcのうちの、情報ビットの部分を、行ベクトルAで表すとともに、パリティビットの部分を、行ベクトルTで表す場合には、行ベクトルcは、情報ビットとしての行ベクトルAと、パリティビットとしての行ベクトルTとによって、式c =[A|T]で表すことができる。

[0307] 検査行列Hと、LDPC符号としての行ベクトルc=[A|T]とは、式$Hc^T=0$を満たす必要があり、かかる式$Hc^T=0$を満たす行ベクトルc=[A|T]を構成するパリティビットとしての行ベクトルTは、検査行列$H=[H_A|H_T]$のパリティ行列$H_T$が、図10に示した階段構造になっている場合には、式$Hc^T=0$における列ベクトル$Hc^T$の1行目の要素から順に、各行の要素を0にしていくようにすることで、逐次的に求めることができる。

[0308] 符号化パリティ演算部615は、情報ビットAに対して、パリティビットTを求めると、その情報ビットAとパリティビットTとによって表される符号語c =[A | T]を、情報ビットAのLDPC符号化結果として出力する。

[0309] なお、符号語cは、64800ビット又は16200ビットである。

[0310] その後、ステップS206において、制御部616は、LDPC符号化を終了するかどうかを判定する。ステップS206において、LDPC符号化を終了しないと判定された場合、

すなわち、例えば、LDPC符号化すべき対象データが、まだある場合、処理は、ステップS201に戻り、以下、ステップS201ないしS206の処理が繰り返される。

[0311] また、ステップS206において、LDPC符号化を終了すると判定された場合、すなわち、例えば、LDPC符号化すべき対象データがない場合、LDPC符号化部21は、処理を終了する。

[0312] 以上のように、各符号長N、及び、各符号化率rに対応する検査行列初期値テーブルが用意されており、LDPC符号化部21は、所定の符号長Nの、所定の符号化率rのLDPC符号化を、その所定の符号長N、及び、所定の符号化率rに対応する検査行列初期値テーブルから生成される検査行列Hを用いて行う。

[0313] 検査行列初期値テーブルは、検査行列Hの、LDPC符号(検査行列Hによって定義されるLDPC符号)の符号長N及び符号化率rに応じた情報長Kに対応する情報行列$H_A$(図9)の1の要素の位置を360列(巡回構造の単位の列数P)ごとに表すテーブルであり、各符号長N及び各符号化率rの検査行列Hごとに、あらかじめ作成される。

[0314] 図31ないし図58は、DVB-S.2の規格に規定されている検査行列初期値テーブルの幾つかを示している。

[0315] すなわち、図31は、DVB-S.2の規格に規定されている、符号長Nが16200ビットの、符号化率rが2/3の検査行列Hに対する検査行列初期値テーブルを示している。

[0316] 図32ないし図34は、DVB-S.2の規格に規定されている、符号長Nが64800ビットの、符号化率rが2/3の検査行列Hに対する検査行列初期値テーブルを示している。

[0317] なお、図33は、図32に続く図であり、図34は、図33に続く図である。

[0318] 図35は、DVB-S.2の規格に規定されている、符号長Nが16200ビットの、符号化率rが3/4の検査行列Hに対する検査行列初期値テーブルを示している。

[0319] 図36ないし図39は、DVB-S.2の規格に規定されている、符号長Nが64800ビットの、符号化率rが3/4の検査行列Hに対する検査行列初期値テーブルを示している。

[0320] なお、図37は、図36に続く図であり、図38は、図37に続く図である。また、図39は、図38に続く図である。

[0321] 図40は、DVB-S.2の規格に規定されている、符号長Nが16200ビットの、符号化率rが4/5の検査行列Hに対する検査行列初期値テーブルを示している。

000065

[0322] 図41ないし図44は、DVB-S.2の規格に規定されている、符号長Nが64800ビットの、符号化率rが4/5の検査行列Hに対する検査行列初期値テーブルを示している。

[0323] なお、図42は、図41に続く図であり、図43は、図42に続く図である。また、図44は、図43に続く図である。

[0324] 図45は、DVB-S.2の規格に規定されている、符号長Nが16200ビットの、符号化率rが5/6の検査行列Hに対する検査行列初期値テーブルを示している。

[0325] 図46ないし図49は、DVB-S.2の規格に規定されている、符号長Nが64800ビットの、符号化率rが5/6の検査行列Hに対する検査行列初期値テーブルを示している。

[0326] なお、図47は、図46に続く図であり、図48は、図47に続く図である。また、図49は、図48に続く図である。

[0327] 図50は、DVB-S.2の規格に規定されている、符号長Nが16200ビットの、符号化率rが8/9の検査行列Hに対する検査行列初期値テーブルを示している。

[0328] 図51ないし図54は、DVB-S.2の規格に規定されている、符号長Nが64800ビットの、符号化率rが8/9の検査行列Hに対する検査行列初期値テーブルを示している。

[0329] なお、図52は、図51に続く図であり、図53は、図52に続く図である。また、図54は、図53に続く図である。

[0330] 図55ないし図58は、DVB-S.2の規格に規定されている、符号長Nが64800ビットの、符号化率rが9/10の検査行列Hに対する検査行列初期値テーブルを示している。

[0331] なお、図56は、図55に続く図であり、図57は、図56に続く図である。また、図58は、図57に続く図である。

[0332] 検査行列生成部613(図29)は、検査行列初期値テーブルを用いて、以下のように、検査行列Hを求める。

[0333] すなわち、図59は、検査行列初期値テーブルから検査行列Hを求める方法を示している。

[0334] なお、図59の検査行列初期値テーブルは、図31に示した、DVB-S.2の規格に規定されている、符号長Nが16200ビットの、符号化率rが2/3の検査行列Hに対する検査行列初期値テーブルを示している。

[0335] 検査行列初期値テーブルは、上述したように、LDPC符号の符号長N及び符号化

率rに応じた情報長Kに対応する情報行列$H_A$（図9）の1の要素の位置を、360列（巡回構造の単位の列数P）ごとに表すテーブルであり、そのi行目には、検査行列Hの1+360×(i-1)列目の1の要素の行番号（検査行列Hの1行目の行番号を0とする行番号）が、その1+360×(i-1)列目の列が持つ列重みの数だけ並んでいる。

[0336] ここで、検査行列Hの、パリティ長Mに対応するパリティ行列$H_T$（図9）は、図19に示したように決まっているので、検査行列初期値テーブルによれば、検査行列Hの、情報長Kに対応する情報行列$H_A$（図9）が求められる。

[0337] 検査行列初期値テーブルの行数k+1は、情報長Kによって異なる。

[0338] 情報長Kと、検査行列初期値テーブルの行数k+1との間には、式（9）の関係が成り立つ。

[0339] $K=(k+1)\times 360$ ・・・(9)

[0340] ここで、式（9）の360は、図20で説明した巡回構造の単位の列数Pである。

[0341] 図59の検査行列初期値テーブルでは、1行目から3行目までに、13個の数値が並び、4行目からk+1行目（図59では、30行目）までに、3個の数値が並んでいる。

[0342] したがって、図59の検査行列初期値テーブルから求められる検査行列Hの列重みは、1列目から、1+360×(3-1)-1列目までは、13であり、1+360×(3-1)列目から、K列目までは、3である。

[0343] 図59の検査行列初期値テーブルの1行目は、0,2084,1613,1548,1286,1460,3196,4297,2481,3369,3451,4620,2622となっており、これは、検査行列Hの1列目において、行番号が、0,2084,1613,1548,1286,1460,3196,4297,2481,3369,3451,4620,2622の行の要素が1であること（かつ、他の要素が0であること）を示している。

[0344] また、図59の検査行列初期値テーブルの2行目は、1,122,1516,3448,2880,1407,1847,3799,3529,373,971,4358,3108となっており、これは、検査行列Hの361（＝1＋360×（2－1））列目において、行番号が、1,122,1516,3448,2880,1407,1847,3799,3529,373,971,4358,3108の行の要素が1であることを示している。

[0345] 以上のように、検査行列初期値テーブルは、検査行列Hの情報行列$H_A$の1の要素の位置を360列ごとに表す。

[0346] 検査行列Hの1+360×(i-1)列目以外の列、つまり、2+360×(i-1)列目から、360×i列目までの各列は、検査行列初期値テーブルによって定まる1+360×(i-1)列目の1の要素を、パリティ長Mに従って下方向(列の下方向)に、周期的にサイクリックシフトして配置したものになっている。

[0347] すなわち、例えば、2+360×(i-1)列目は、1+360×(i-1)列目を、M/360(=q)だけ下方向にサイクリックシフトしたものとなっており、次の3+360×(i-1)列目は、1+360×(i-1)列目を、2×M/360(=2×q)だけ下方向にサイクリックシフトしたもの(2+360×(i-1)列目を、M/360(=q)だけ下方向にサイクリックシフトしたもの)となっている。

[0348] いま、検査行列初期値テーブルのi行目(上からi番目)のj列目(左からj番目)の数値を、$h_{i,j}$と表すとともに、検査行列Hのw列目の、j個目の1の要素の行番号を、$H_{w-j}$と表すこととすると、検査行列Hの1+360×(i-1)列目以外の列であるw列目の、1の要素の行番号$H_{w-j}$は、式(10)で求めることができる。

[0349] $$H_{w-j}=\mathrm{mod}\{h_{i,j}+\mathrm{mod}((w-1),P)\times q,\ M\} \quad \cdots(10)$$

[0350] ここで、mod(x, y)はxをyで割った余りを意味する。

[0351] また、Pは、上述した巡回構造の単位の列数であり、例えば、DVB-S.2の規格では、上述のように、360である。さらに、qは、パリティ長Mを、巡回構造の単位の列数P(=360)で除算することにより得られる値M/360である。

[0352] 検査行列生成部613(図29)は、検査行列初期値テーブルによって、検査行列Hの1+360×(i-1)列目の1の要素の行番号を特定する。

[0353] さらに、検査行列生成部613(図29)は、検査行列Hの1+360×(i-1)列目以外の列であるw列目の、1の要素の行番号$H_{w-j}$を、式(10)に従って求め、以上により得られた行番号の要素を1とする検査行列Hを生成する。

[0354] ところで、DVB-S.2の規格に規定されている符号化率が2/3のLDPC符号は、エラーフロアが、他の符号化率のLDPC符号に比較して劣っている(高い)ことが知られている。

[0355] ここで、S/N($E_s/N_0$)が高くなるにつれ、誤り率(BER)の低下が鈍り、誤り率が低下しなくなる現象(エラーフロア現象)が生じるが、その、低下しなくなったときの誤り率が、エ

ラーフロアである。

[0356] エラーフロアが高いと、一般に、通信路13(図7)におけるエラーに対する耐性が低下するため、エラーに対する耐性を向上させるための対策を施すことが望ましい。

[0357] エラーに対する耐性を向上させるための対策としては、例えば、デマルチプレクサ25(図8)で行われる入れ替え処理がある。

[0358] 入れ替え処理において、LDPC符号の符号ビットを入れ替える入れ替え方式としては、例えば、上述した第1ないし第4の入れ替え方式があるが、これらの第1ないし第4の入れ替え方式を含む既に提案されている方式よりも、エラーに対する耐性がより向上する方式の提案が要請されている。

[0359] そこで、デマルチプレクサ25(図8)では、図25で説明したように、割り当てルールに従って、入れ替え処理を行うことができるようになっている。

[0360] 以下、割り当てルールに従った入れ替え処理について説明するが、その前に、既に提案されている入れ替え方式(以下、現行方式ともいう)による入れ替え処理について説明する。

[0361] 図60及び図61を参照して、デマルチプレクサ25で、仮に、現行方式で入れ替え処理が行われるとした場合の、その入れ替え処理について説明する。

[0362] 図60は、LDPC符号が、符号長Nが64800ビットで、符号化率が3/5のLDPC符号である場合の、現行方式の入れ替え処理の一例を示している。

[0363] すなわち、図60Aは、LDPC符号が、符号長Nが64800ビットで、符号化率が3/5のLDPC符号であり、さらに、変調方式が16QAMで、倍数bが2である場合の、現行方式の入れ替え処理の一例を示している。

[0364] 変調方式が16QAMである場合、符号ビットの4(=m)ビットが、1個のシンボルとして、16QAMで定める16個の信号点のうちのいずれかにマッピングされる。

[0365] さらに、符号長Nが64800ビットで、倍数bが2である場合、デマルチプレクサ25のメモリ31(図16、図17)は、ロウ方向に4×2(=mb)ビットを記憶する8個のカラムを有し、カラム方向に64800/(4×2)ビットを記憶する。

[0366] デマルチプレクサ25では、LDPC符号の符号ビットが、メモリ31のカラム方向に書き込まれ、64800ビットの符号ビット(1符号語)の書き込みが終了すると、メモリ31に書き

込まれた符号ビットが、ロウ方向に、4×2(=mb)ビット単位で読み出され、入れ替え部32(図16、図17)に供給される。

[0367] 入れ替え部32は、メモリ31から読み出される4×2(=mb)ビットの符号ビット$b_0,b_1,b_2,b_3,b_4,b_5,b_6,b_7$を、例えば、図60Aに示すように、連続する2(=b)個のシンボルの4×2(=mb)ビットのシンボルビット$y_0,y_1,y_2,y_3,y_4,y_5,y_6,y_7$に割り当てるように、4×2(=mb)ビットの符号ビット$b_0$ないし$b_7$を入れ替える。

[0368] すなわち、入れ替え部32は、

符号ビット$b_0$を、シンボルビット$y_7$に、

符号ビット$b_1$を、シンボルビット$y_1$に、

符号ビット$b_2$を、シンボルビット$y_4$に、

符号ビット$b_3$を、シンボルビット$y_2$に、

符号ビット$b_4$を、シンボルビット$y_5$に、

符号ビット$b_5$を、シンボルビット$y_3$に、

符号ビット$b_6$を、シンボルビット$y_6$に、

符号ビット$b_7$を、シンボルビット$y_0$に、

それぞれ割り当てる入れ替えを行う。

[0369] 図60Bは、LDPC符号が、符号長Nが64800ビットで、符号化率が3/5のLDPC符号であり、さらに、変調方式が64QAMで、倍数bが2である場合の、現行方式の入れ替え処理の一例を示している。

[0370] 変調方式が64QAMである場合、符号ビットの6(=m)ビットが、1個のシンボルとして、64QAMで定める64個の信号点のうちのいずれかにマッピングされる。

[0371] さらに、符号長Nが64800ビットで、倍数bが2である場合、デマルチプレクサ25のメモリ31(図16、図17)は、ロウ方向に6×2(=mb)ビットを記憶する12個のカラムを有し、カラム方向に64800/(6×2)ビットを記憶する。

[0372] デマルチプレクサ25では、LDPC符号の符号ビットが、メモリ31のカラム方向に書き込まれ、64800ビットの符号ビット(1符号語)の書き込みが終了すると、メモリ31に書き込まれた符号ビットが、ロウ方向に、6×2(=mb)ビット単位で読み出され、入れ替え部32(図16、図17)に供給される。

[0373] 入れ替え部32は、メモリ31から読み出される6×2(=mb)ビットの符号ビット$b_0,b_1,b_2,b_3,b_4,b_5,b_6,b_7,b_8,b_9,b_{10},b_{11}$を、例えば、図60Bに示すように、連続する2(=b)個のシンボルの6×2(=mb)ビットのシンボルビット$y_0,y_1,y_2,y_3,y_4,y_5,y_6,y_7,y_8,y_9,y_{10},y_{11}$に割り当てるように、6×2(=mb)ビットの符号ビット$b_0$ないし$b_{11}$を入れ替える。

[0374] すなわち、入れ替え部32は、

符号ビット$b_0$を、シンボルビット$y_{11}$に、
符号ビット$b_1$を、シンボルビット$y_7$に、
符号ビット$b_2$を、シンボルビット$y_3$に、
符号ビット$b_3$を、シンボルビット$y_{10}$に、
符号ビット$b_4$を、シンボルビット$y_6$に、
符号ビット$b_5$を、シンボルビット$y_2$に、
符号ビット$b_6$を、シンボルビット$y_9$に、
符号ビット$b_7$を、シンボルビット$y_5$に、
符号ビット$b_8$を、シンボルビット$y_1$に、
符号ビット$b_9$を、シンボルビット$y_8$に、
符号ビット$b_{10}$を、シンボルビット$y_4$に、
符号ビット$b_{11}$を、シンボルビット$y_0$に、
それぞれ割り当てる入れ替えを行う。

[0375] 図60Cは、LDPC符号が、符号長Nが64800ビットで、符号化率が3/5のLDPC符号であり、さらに、変調方式が256QAMで、倍数bが2である場合の、現行方式の入れ替え処理の一例を示している。

[0376] 変調方式が256QAMである場合、符号ビットの8(=m)ビットが、1個のシンボルとして、256QAMで定める256個の信号点のうちのいずれかにマッピングされる。

[0377] さらに、符号長Nが64800ビットで、倍数bが2である場合、デマルチプレクサ25のメモリ31(図16、図17)は、ロウ方向に8×2(=mb)ビットを記憶する16個のカラムを有し、カラム方向に64800/(8×2)ビットを記憶する。

[0378] デマルチプレクサ25では、LDPC符号の符号ビットが、メモリ31のカラム方向に書き込まれ、64800ビットの符号ビット(1符号語)の書き込みが終了すると、メモリ31に書き

込まれた符号ビットが、ロウ方向に、8×2(=mb)ビット単位で読み出され、入れ替え部32(図16、図17)に供給される。

[0379] 入れ替え部32は、メモリ31から読み出される8×2(=mb)ビットの符号ビット$b_0,b_1,b_2,b_3,b_4,b_5,b_6,b_7,b_8,b_9,b_{10},b_{11},b_{12},b_{13},b_{14},b_{15}$を、例えば、図60Cに示すように、連続する2(=b)個のシンボルの8×2(=mb)ビットのシンボルビット$y_0,y_1,y_2,y_3,y_4,y_5,y_6,y_7,y_8,y_9,y_{10},y_{11},y_{12},y_{13},y_{14},y_{15}$に割り当てるように、8×2(=mb)ビットの符号ビット$b_0$ないし$b_{15}$を入れ替える。

[0380] すなわち、入れ替え部32は、

符号ビット$b_0$を、シンボルビット$y_{15}$に、
符号ビット$b_1$を、シンボルビット$y_1$に、
符号ビット$b_2$を、シンボルビット$y_{13}$に、
符号ビット$b_3$を、シンボルビット$y_3$に、
符号ビット$b_4$を、シンボルビット$y_8$に、
符号ビット$b_5$を、シンボルビット$y_{11}$に、
符号ビット$b_6$を、シンボルビット$y_9$に、
符号ビット$b_7$を、シンボルビット$y_5$に、
符号ビット$b_8$を、シンボルビット$y_{10}$に、
符号ビット$b_9$を、シンボルビット$y_6$に、
符号ビット$b_{10}$を、シンボルビット$y_4$に、
符号ビット$b_{11}$を、シンボルビット$y_7$に、
符号ビット$b_{12}$を、シンボルビット$y_{12}$に、
符号ビット$b_{13}$を、シンボルビット$y_2$に、
符号ビット$b_{14}$を、シンボルビット$y_{14}$に、
符号ビット$b_{15}$を、シンボルビット$y_0$に、
それぞれ割り当てる入れ替えを行う。

[0381] 図61は、LDPC符号が、符号長Nが16200ビットで、符号化率が3/5のLDPC符号である場合の、現行方式の入れ替え処理の一例を示している。

[0382] すなわち、図61Aは、LDPC符号が、符号長Nが16200ビットで、符号化率が3/5のLDPC符号であり、さらに、変調方式が16QAMで、倍数bが2である場合の、現行方式

000072

の入れ替え処理の一例を示している。

[0383] 変調方式が16QAMである場合、符号ビットの4(=m)ビットが、1個のシンボルとして、16QAMで定める16個の信号点のうちのいずれかにマッピングされる。

[0384] さらに、符号長Nが16200ビットで、倍数bが2である場合、デマルチプレクサ25のメモリ31(図16、図17)は、ロウ方向に4×2(=mb)ビットを記憶する8個のカラムを有し、カラム方向に16200/(4×2)ビットを記憶する。

[0385] デマルチプレクサ25では、LDPC符号の符号ビットが、メモリ31のカラム方向に書き込まれ、16200ビットの符号ビット(1符号語)の書き込みが終了すると、メモリ31に書き込まれた符号ビットが、ロウ方向に、4×2(=mb)ビット単位で読み出され、入れ替え部32(図16、図17)に供給される。

[0386] 入れ替え部32は、メモリ31から読み出される4×2(=mb)ビットの符号ビット$b_0,b_1,b_2,b_3,b_4,b_5,b_6,b_7$を、例えば、図61Aに示すように、連続する2(=b)個のシンボルの4×2(=mb)ビットのシンボルビット$y_0,y_1,y_2,y_3,y_4,y_5,y_6,y_7$に割り当てるように、4×2(=mb)ビットの符号ビット$b_0$ないし$b_7$を入れ替える。

[0387] すなわち、入れ替え部32は、上述した図60Aの場合と同様に、符号ビット$b_0$ないし$b_7$を、シンボルビット$y_0$ないし$y_7$に割り当てる入れ替えを行う。

[0388] 図61Bは、LDPC符号が、符号長Nが16200ビットで、符号化率が3/5のLDPC符号であり、さらに、変調方式が64QAMで、倍数bが2である場合の、現行方式の入れ替え処理の一例を示している。

[0389] 変調方式が64QAMである場合、符号ビットの6(=m)ビットが、1個のシンボルとして、64QAMで定める64個の信号点のうちのいずれかにマッピングされる。

[0390] さらに、符号長Nが16200ビットで、倍数bが2である場合、デマルチプレクサ25のメモリ31(図16、図17)は、ロウ方向に6×2(=mb)ビットを記憶する12個のカラムを有し、カラム方向に16200/(6×2)ビットを記憶する。

[0391] デマルチプレクサ25では、LDPC符号の符号ビットが、メモリ31のカラム方向に書き込まれ、16200ビットの符号ビット(1符号語)の書き込みが終了すると、メモリ31に書き込まれた符号ビットが、ロウ方向に、6×2(=mb)ビット単位で読み出され、入れ替え部32(図16、図17)に供給される。

[0392] 入れ替え部32は、メモリ31から読み出される6×2(=mb)ビットの符号ビット$b_0,b_1,b_2,b_3,b_4,b_5,b_6,b_7,b_8,b_9,b_{10},b_{11}$を、例えば、図61Bに示すように、連続する2(=b)個のシンボルの6×2(=mb)ビットのシンボルビット$y_0,y_1,y_2,y_3,y_4,y_5,y_6,y_7,y_8,y_9,y_{10},y_{11}$に割り当てるように、6×2(=mb)ビットの符号ビット$b_0$ないし$b_{11}$を入れ替える。

[0393] すなわち、入れ替え部32は、上述した図60Bの場合と同様に、符号ビット$b_0$ないし$b_{11}$を、シンボルビット$y_0$ないし$y_{11}$に割り当てる入れ替えを行う。

[0394] 図61Cは、LDPC符号が、符号長Nが16200ビットで、符号化率が3/5のLDPC符号であり、さらに、変調方式が256QAMで、倍数bが1ある場合の、現行方式の入れ替え処理の一例を示している。

[0395] 変調方式が256QAMである場合、符号ビットの8(=m)ビットが、1個のシンボルとして、256QAMで定める256個の信号点のうちのいずれかにマッピングされる。

[0396] さらに、符号長Nが16200ビットで、倍数bが1である場合、デマルチプレクサ25のメモリ31(図16、図17)は、ロウ方向に8×1(=mb)ビットを記憶する8個のカラムを有し、カラム方向に16200/(8×1)ビットを記憶する。

[0397] デマルチプレクサ25では、LDPC符号の符号ビットが、メモリ31のカラム方向に書き込まれ、16200ビットの符号ビット(1符号語)の書き込みが終了すると、メモリ31に書き込まれた符号ビットが、ロウ方向に、8×1(=mb)ビット単位で読み出され、入れ替え部32(図16、図17)に供給される。

[0398] 入れ替え部32は、メモリ31から読み出される8×1(=mb)ビットの符号ビット$b_0,b_1,b_2,b_3,b_4,b_5,b_6,b_7$を、例えば、図61Cに示すように、1(=b)個のシンボルの8×1(=mb)ビットのシンボルビット$y_0,y_1,y_2,y_3,y_4,y_5,y_6,y_7$に割り当てるように、8×1(=mb)ビットの符号ビット$b_0$ないし$b_7$を入れ替える。

[0399] すなわち、入れ替え部32は、

符号ビット$b_0$を、シンボルビット$y_7$に、

符号ビット$b_1$を、シンボルビット$y_3$に、

符号ビット$b_2$を、シンボルビット$y_1$に、

符号ビット$b_3$を、シンボルビット$y_5$に、

符号ビット$b_4$を、シンボルビット$y_2$に、

符号ビット$b_5$を、シンボルビット$y_6$に、

符号ビット$b_6$を、シンボルビット$y_4$に、

符号ビット$b_7$を、シンボルビット$y_0$に、

それぞれ割り当てる入れ替えを行う。

[0400] 次に、割り当てルールに従った入れ替え処理(以下、新入れ替え方式での入れ替え処理ともいう)について説明する。

[0401] 図62ないし図64は、新入れ替え方式を説明する図である。

[0402] 新入れ替え方式では、デマルチプレクサ25の入れ替え部32は、mbビットの符号ビットの入れ替えを、あらかじめ定めた割り当てルールに従って行う。

[0403] 割り当てルールとは、LDPC符号の符号ビットをシンボルビットに割り当てるためのルールである。割り当てルールでは、符号ビットの符号ビットグループと、その符号ビットグループの符号ビットを割り当てるシンボルビットのシンボルビットグループとの組み合わせであるグループセットと、そのグループセットの符号ビットグループ、及びシンボルビットグループそれぞれの符号ビット、及びシンボルビットのビット数(以下、グループビット数ともいう)とが規定されている。

[0404] ここで、符号ビットには、上述したように、エラー確率に違いがあり、シンボルビットにも、エラー確率に違いがある。符号ビットグループとは、符号ビットをエラー確率に応じてグループ分けするグループであり、シンボルビットグループとは、シンボルビットをエラー確率に応じてグループ分けするグループである。

[0405] 図62は、LDPC符号が、符号長Nが64800ビットで、符号化率が2/3のLDPC符号であり、さらに、変調方式が256QAMで、倍数bが2である場合の、符号ビットグループとシンボルビットグループとを示している。

[0406] この場合、メモリ31から読み出される8×2(=mb)ビットの符号ビット$b_0$ないし$b_{15}$は、エラー確率の違いに応じて、図62Aに示すように、5個の符号ビットグループ$Gb_1$,$Gb_2$,$Gb_3$,$Gb_4$,$Gb_5$にグループ分けすることができる。

[0407] ここで、符号ビットグループ$Gb_i$は、そのサフィックスiが小さいほど、その符号ビットグループ$Gb_i$に属する符号ビットのエラー確率が良い(小さい)グループである。

[0408] 図62Aでは、符号ビットグループ$Gb_1$には、符号ビット$b_0$が、符号ビットグループ$Gb_2$

には、符号ビット$b_1$が、符号ビットグループ$Gb_3$には、符号ビット$b_2$ないし$b_9$が、符号ビットグループ$Gb_4$には、符号ビット$b_{10}$が、符号ビットグループ$Gb_5$には、符号ビット$b_{11}$ないし$b_{15}$が、それぞれ属する。

[0409] 変調方式が256QAMで、倍数bが2である場合、8×2(=mb)ビットのシンボルビット$y_0$ないし$y_{15}$は、エラー確率の違いに応じて、図62Bに示すように、4個のシンボルビットグループ$Gy_1$,$Gy_2$,$Gy_3$,$Gy_4$にグループ分けすることができる。

[0410] ここで、シンボルビットグループ$Gy_i$は、符号ビットグループと同様に、そのサフィックスiが小さいほど、そのシンボルビットグループ$Gy_i$に属するシンボルビットのエラー確率が良いグループである。

[0411] 図62Bでは、シンボルビットグループ$Gy_1$には、シンボルビット$y_0$,$y_1$,$y_8$,$y_9$が、シンボルビットグループ$Gy_2$には、シンボルビット$y_2$,$y_3$,$y_{10}$,$y_{11}$が、シンボルビットグループ$Gy_3$には、シンボルビット$y_4$,$y_5$,$y_{12}$,$y_{13}$が、シンボルビットグループ$Gy_4$には、シンボルビット$y_6$,$y_7$,$y_{14}$,$y_{15}$が、それぞれ属する。

[0412] 図63は、LDPC符号が、符号長Nが64800ビットで、符号化率が2/3のLDPC符号であり、さらに、変調方式が256QAMで、倍数bが2である場合の、割り当てルールを示している。

[0413] 図63の割り当てルールでは、符号ビットグループ$Gb_1$と、シンボルビットグループ$Gy_4$との組み合わせが、1個のグループセットとして、図中、左から1番目に規定されている。そして、そのグループセットのグループビット数が1ビットに規定されている。

[0414] ここで、以下では、グループセットと、そのグループビット数とを、まとめて、グループセット情報という。そして、例えば、符号ビットグループ$Gb_1$とシンボルビットグループ$Gy_4$とのグループセットと、そのグループセットのグループビット数である1ビットを、グループセット情報($Gb_1$,$Gy_4$,1)と記載する。

[0415] 図63の割り当てルールでは、グループセット情報($Gb_1$,$Gy_4$,1)の他、グループセット情報($Gb_2$,$Gy_4$,1), ($Gb_3$,$Gy_1$,3), ($Gb_3$,$Gy_2$,1), ($Gb_3$,$Gy_3$,2), ($Gb_3$,$Gy_4$,2), ($Gb_4$,$Gy_3$,1), ($Gb_5$,$Gy_1$,1), ($Gb_5$,$Gy_2$,3), ($Gb_5$,$Gy_3$,1)が規定されている。

[0416] 例えば、グループセット情報($Gb_1$,$Gy_4$,1)は、符号ビットグループ$Gb_1$に属する符号ビットの1ビットを、シンボルビットグループ$Gy_4$に属するシンボルビットの1ビットに割り当

てることを意味する。

[0417] したがって、図63の割り当てルールでは、

グループセット情報($Gb_1$,$Gy_4$,1)により、エラー確率が1番目に良い符号ビットグループ$Gb_1$の符号ビットの1ビットを、エラー確率が4番目に良いシンボルビットグループ$Gy_4$のシンボルビットの1ビットに割り当てること、

グループセット情報($Gb_2$,$Gy_4$,1)により、エラー確率が2番目に良い符号ビットグループ$Gb_2$の符号ビットの1ビットを、エラー確率が4番目に良いシンボルビットグループ$Gy_4$のシンボルビットの1ビットに割り当てること、

グループセット情報($Gb_3$,$Gy_1$,3)により、エラー確率が3番目に良い符号ビットグループ$Gb_3$の符号ビットの3ビットを、エラー確率が1番目に良いシンボルビットグループ$Gy_1$のシンボルビットの3ビットに割り当てること、

グループセット情報($Gb_3$,$Gy_2$,1)により、エラー確率が3番目に良い符号ビットグループ$Gb_3$の符号ビットの1ビットを、エラー確率が2番目に良いシンボルビットグループ$Gy_2$のシンボルビットの1ビットに割り当てること、

グループセット情報($Gb_3$,$Gy_3$,2)により、エラー確率が3番目に良い符号ビットグループ$Gb_3$の符号ビットの2ビットを、エラー確率が3番目に良いシンボルビットグループ$Gy_3$のシンボルビットの2ビットに割り当てること、

グループセット情報($Gb_3$,$Gy_4$,2)により、エラー確率が3番目により符号ビットグループ$Gb_3$の符号ビットの2ビットを、エラー確率が4番目に良いシンボルビットグループ$Gy_4$のシンボルビットの2ビットに割り当てること、

グループセット情報($Gb_4$,$Gy_3$,1)により、エラー確率が4番目により符号ビットグループ$Gb_4$の符号ビットの1ビットを、エラー確率が3番目に良いシンボルビットグループ$Gy_3$のシンボルビットの1ビットに割り当てること、

グループセット情報($Gb_5$,$Gy_1$,1)により、エラー確率が5番目により符号ビットグループ$Gb_5$の符号ビットの1ビットを、エラー確率が1番目に良いシンボルビットグループ$Gy_1$のシンボルビットの1ビットに割り当てること、

グループセット情報($Gb_5$,$Gy_2$,3)により、エラー確率が5番目により符号ビットグループ$Gb_5$の符号ビットの3ビットを、エラー確率が2番目に良いシンボルビットグループ$Gy_2$

のシンボルビットの3ビットに割り当てること、

及び、グループセット情報($Gb_5$,$Gy_3$,1)により、エラー確率が5番目により符号ビットグループ$Gb_5$の符号ビットの1ビットを、エラー確率が3番目に良いシンボルビットグループ$Gy_3$のシンボルビットの1ビットに割り当てること、

が規定されている。

[0418] 上述したように、符号ビットグループは、符号ビットをエラー確率に応じてグループ分けするグループであり、シンボルビットグループは、シンボルビットをエラー確率に応じてグループ分けするグループである。したがって、割り当てルールは、符号ビットのエラー確率と、その符号ビットを割り当てるシンボルビットのエラー確率との組み合わせを規定している、ということもできる。

[0419] このように、符号ビットのエラー確率と、その符号ビットを割り当てるシンボルビットのエラー確率との組み合わせを規定する割り当てルールは、例えば、BERを計測するシミュレーション等によって、エラーに対する耐性(ノイズに対する耐性)を、より良くするように決定される。

[0420] なお、ある符号ビットグループの符号ビットの割り当て先を、同一のシンボルビットグループのビットの中で変更しても、エラーに対する耐性には(ほとんど)影響しない。

[0421] したがって、エラーに対する耐性を向上させるには、エラーフロアを含むBER(Bit Error Rate)をより小さくするグループセット情報、つまり、符号ビットの符号ビットグループと、その符号ビットグループの符号ビットを割り当てるシンボルビットのシンボルビットグループとの組み合わせ(グループセット)と、そのグループセットの符号ビットグループ、及びシンボルビットグループそれぞれの符号ビット、及びシンボルビットのビット数(グループビット数)とを、割り当てルールとして規定し、その割り当てルールに従って、符号ビットを、シンボルビットに割り当てるように、符号ビットの入れ替えを行えばよい。

[0422] 但し、割り当てルールに従って、どの符号ビットを、どのシンボルに割り当てるかの具体的な割り当て方は、送信装置11及び受信装置12(図7)の間で、あらかじめ決めておく必要がある。

[0423] 図64は、図63の割り当てルールに従った符号ビットの入れ替えの例を示している。

[0424] すなわち、図64Aは、LDPC符号が、符号長Nが64800ビットで、符号化率が2/3のLDPC符号であり、さらに、変調方式が256QAMで、倍数bが2である場合の、図63の割り当てルールに従った符号ビットの入れ替えの第1の例を示している。

[0425] LDPC符号が、符号長Nが64800ビットで、符号化率が2/3のLDPC符号であり、さらに、変調方式が256QAMで、倍数bが2である場合、デマルチプレクサ25では、カラム方向×ロウ方向が(64800/(8×2))×(8×2)ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、8×2(=mb)ビット単位で読み出され、入れ替え部32(図16、図17)に供給される。

[0426] 入れ替え部32は、図63の割り当てルールに従い、メモリ31から読み出される8×2(=mb)ビットの符号ビット$b_0$ないし$b_{15}$を、例えば、図64Aに示すように、連続する2(=b)個のシンボルの8×2(=mb)ビットのシンボルビット$y_0$ないし$y_{15}$に割り当てるように、8×2(=mb)ビットの符号ビット$b_0$ないし$b_{15}$を入れ替える。

[0427] すなわち、入れ替え部32は、

符号ビット$b_0$を、シンボルビット$y_{15}$に、
符号ビット$b_1$を、シンボルビット$y_7$に、
符号ビット$b_2$を、シンボルビット$y_1$に、
符号ビット$b_3$を、シンボルビット$y_5$に、
符号ビット$b_4$を、シンボルビット$y_6$に、
符号ビット$b_5$を、シンボルビット$y_{13}$に、
符号ビット$b_6$を、シンボルビット$y_{11}$に、
符号ビット$b_7$を、シンボルビット$y_9$に、
符号ビット$b_8$を、シンボルビット$y_8$に、
符号ビット$b_9$を、シンボルビット$y_{14}$に、
符号ビット$b_{10}$を、シンボルビット$y_{12}$に、
符号ビット$b_{11}$を、シンボルビット$y_3$に、
符号ビット$b_{12}$を、シンボルビット$y_0$に、
符号ビット$b_{13}$を、シンボルビット$y_{10}$に、
符号ビット$b_{14}$を、シンボルビット$y_4$に、

000079

符号ビット$b_{15}$を、シンボルビット$y_2$に、

それぞれ割り当てる入れ替えを行う。

[0428] 図64Bは、LDPC符号が、符号長Nが64800ビットで、符号化率が2/3のLDPC符号であり、さらに、変調方式が256QAMで、倍数bが2である場合の、図63の割り当てルールに従った符号ビットの入れ替えの第2の例を示している。

[0429] 図64Bによれば、入れ替え部32は、図63の割り当てルールに従い、メモリ31から読み出される8×2(=mb)ビットの符号ビット$b_0$ないし$b_{15}$について、

符号ビット$b_0$を、シンボルビット$y_{15}$に、

符号ビット$b_1$を、シンボルビット$y_{14}$に、

符号ビット$b_2$を、シンボルビット$y_8$に、

符号ビット$b_3$を、シンボルビット$y_5$に、

符号ビット$b_4$を、シンボルビット$y_6$に、

符号ビット$b_5$を、シンボルビット$y_4$に、

符号ビット$b_6$を、シンボルビット$y_2$に、

符号ビット$b_7$を、シンボルビット$y_1$に、

符号ビット$b_8$を、シンボルビット$y_9$に、

符号ビット$b_9$を、シンボルビット$y_7$に、

符号ビット$b_{10}$を、シンボルビット$y_{12}$に、

符号ビット$b_{11}$を、シンボルビット$y_3$に、

符号ビット$b_{12}$を、シンボルビット$y_{13}$に、

符号ビット$b_{13}$を、シンボルビット$y_{10}$に、

符号ビット$b_{14}$を、シンボルビット$y_0$に、

符号ビット$b_{15}$を、シンボルビット$y_{11}$に、

それぞれ割り当てる入れ替えを行う。

[0430] ここで、図64A及び図64Bに示した、符号ビット$b_i$の、シンボルビット$y_i$への割り当て方は、いずれも、図63の割り当てルールに従っている(割り当てルールを遵守している)。

[0431] 図65は、図62ないし図64で説明した新入れ替え方式の入れ替え処理を行った場

合と、現行方式のうちの、図60Cで説明した入れ替え処理を行った場合の、BER(Bit Error Rate)のシミュレーションの結果を示している。

[0432] すなわち、図65は、符号長Nが64800で、符号化率が2/3の、DVB-S.2の規格に規定されたLDPC符号を対象とし、変調方式として、256QAMを採用するとともに、倍数bとして、2を採用した場合のBERを示している。

[0433] なお、図65において、横軸は、$E_s/N_0$を表し、縦軸は、BERを表す。また、丸印が、新入れ替え方式の入れ替え処理を行った場合のBERを表し、アスタリスク(星印)が、現行方式の入れ替え処理を行った場合のBERを表す。

[0434] 図65から、新入れ替え方式の入れ替え処理では、現行方式の入れ替え処理に比較して、エラーフロアが飛躍的に低下しており、エラーに対する耐性が向上していることが分かる。

[0435] なお、本実施の形態では、説明の便宜上、デマルチプレクサ25において、入れ替え部32が、メモリ31から読み出された符号ビットを対象として、入れ替え処理を行うようにしたが、入れ替え処理は、メモリ31に対する符号ビットの書き込みや読み出しを制御することによって行うことができる。

[0436] すなわち、入れ替え処理は、例えば、メモリ31からの符号ビットの読み出しを、入れ替え後の符号ビットの順番で行うように、符号ビットを読み出すアドレス(読み出しアドレス)を制御することにより行うことができる。

[0437] 次に、エラーに対する耐性を向上させるための対策としては、エラーフロアを低くする入れ替え方式の入れ替え処理を採用する他、エラーフロアを低くするLDPC符号を採用する方法がある。

[0438] そこで、LDPC符号化部21(図8)では、符号長Nが64800ビットの、符号化率rが2/3のLDPC符号については、DVB-S.2の規格に規定されている検査行列初期値テーブルとは異なる、適切な検査行列Hが求められる検査行列初期値テーブルを採用し、その検査行列初期値テーブルから求められる検査行列Hを用いて、性能の良いLDPC符号への符号化を行うことができる。

[0439] ここで、適切な検査行列Hとは、検査行列Hから得られるLDPC符号の変調信号を、低い$E_s/N_0$(1シンボルあたりの信号電力対雑音電力比)、又は$E_b/N_0$(1ビットあたりの

信号電力対雑音電力比)で送信したときに、BER(Bit Error Rate)をより小にする、所定の条件を満たす検査行列である。また、性能の良いLDPC符号とは、適切な検査行列Hから得られるLDPC符号である。

[0440] 適切な検査行列Hは、例えば、所定の条件を満たす様々な検査行列から得られるLDPC符号の変調信号を、低い$E_s/N_0$で送信したときのBERを計測するシミュレーションを行うことにより求めることができる。

[0441] 適切な検査行列Hが満たすべき所定の条件としては、例えば、デンシティエボリューション(Density Evolution)と呼ばれる符号の性能の解析法で得られる解析結果が良好であること、検査行列Hにおいて、サイクル4と呼ばれる、1の要素のループが存在しないこと、サイクル6が存在しないこと、等がある。

[0442] ここで、デンシティエボリューションと、その実装については、例えば、"On the Design of Low-Density Parity-Check Codes within 0.0045 dB of the Shannon Limit", S.Y. Chung, G.D.Forney, T.J.Richardson,R.Urbanke, IEEE Communications Leggers, VOL.5, NO.2, Feb 2001に記載されている。

[0443] 例えば、AWGNチャネル上で、ノイズの分散値を0からどんどん大きくしていくと、LDPC符号のエラー確率の期待値は、最初は0であるが、ノイズの分散値が、ある閾値(threshold)以上となると、0ではなくなる。

[0444] デンシティエボリューションによれば、そのエラー確率の期待値が0ではなくなる、ノイズの分散値の閾値(以下、性能閾値ともいう)を比較することで、LDPC符号の性能(検査行列の適切さ)の良し悪しを決めることができる。ここで、性能閾値としては、BERが落ち始める(小さくなる)ときの$E_b/N_0$を採用することとする。

[0445] DVB-S.2の規格に規定されている、符号長Nが64800で、符号化率rが2/3のLDPC符号(以下、規格符号ともいう)を、デンシティエボリューションで解析して得られる、規格符号についての性能閾値をVと表すとすると、シミュレーションでは、性能閾値が、Vに所定のマージン△を加えたV+△以下の値となる、符号長Nが64800で、符号化率rが2/3のLDPC符号(検査行列)を、性能の良いLDPC符号として選択した。

[0446] 図66ないし図68は、性能閾値としての$E_b/N_0$がV+△以下のLDPC符号(符号長Nが64800で、符号化率rが2/3のLDPC符号)のうちの1つの検査行列初期値テーブルを

示している。

[0447] なお、図67は、図66に続く図であり、図68は、図67に続く図である。

[0448] 図66ないし図68の検査行列初期値テーブルから求められる検査行列Hでは、サイクル4及びサイクル6は存在しない。

[0449] 図69は、図66ないし図68の検査行列初期値テーブルから求められる検査行列HのLDPC符号(以下、提案符号ともいう)についてのBERのシミュレーションの結果を示している。

[0450] すなわち、図69は、変調方式が256QAMである場合の、規格符号の$E_s/N_0$に対するBER(図中、丸印で示す)と、提案符号の$E_s/N_0$に対するBER(図中、矩形で示す)とを示している。

[0451] 図69から、提案符号は、規格符号よりも性能が良いこと、すなわち、特に、エラーフロアが大きく改善されていることが分かる。

[0452] なお、適切な検査行列Hが満たすべき所定の条件は、LDPC符号の復号性能の向上や、LDPC符号の復号処理の容易化(単純化)等の観点から適宜決定することができる。

[0453] 次に、図70は、図7の受信装置12の構成例を示すブロック図である。

[0454] 図70において、受信装置12は、送信装置11(図7)からの変調信号を受信するデータ処理装置であり、直交復調部51、デマッピング部52、デインターリーバ53、及びLDPC復号部56から構成される。

[0455] 直交復調部51は、送信装置11からの変調信号を受信し、直交復調を行って、その結果得られる信号点(I及びQ軸方向それぞれの値)を、デマッピング部52に供給する。

[0456] デマッピング部52は、直交復調部51からの信号点を、LDPC符号の符号ビットをシンボル化したシンボルにするデマッピングを行い、デインターリーバ53に供給する。

[0457] デインターリーバ53は、マルチプレクサ(MUX)54、及びカラムツイストデインターリーバ55から構成され、デマッピング部52からのシンボルのシンボルビットのデインターリーブを行う。

[0458] すなわち、マルチプレクサ54は、デマッピング部52からのシンボルのシンボルビット

を対象として、図8のデマルチプレクサ25が行う入れ替え処理に対応する逆入れ替え処理(入れ替え処理の逆の処理)、すなわち、入れ替え処理によって入れ替えられたLDPC符号の符号ビット(シンボルビット)の位置を元の位置に戻す逆入れ替え処理を行い、その結果得られるLDPC符号を、カラムツイストデインターリーバ55に供給する。

[0459] カラムツイストデインターリーバ55は、マルチプレクサ54からのLDPC符号を対象として、図8のカラムツイストインターリーバ24が行う並び替え処理としてのカラムツイストインターリーブに対応するカラムツイストデインターリーブ(カラムツイストインターリーブの逆の処理)、すなわち、並び替え処理としてのカラムツイストインターリーブによって並びが変更されたLDPC符号の符号ビットを、元の並びに戻す逆並び替え処理としての、例えば、カラムツイストデインターリーブを行う。

[0460] 具体的には、カラムツイストデインターリーバ55は、図22等に示したメモリ31と同様に構成される、デインターリーブ用のメモリに対して、LDPC符号の符号ビットを書き込み、さらに読み出すことで、カラムツイストデインターリーブを行う。

[0461] 但し、カラムツイストデインターリーバ55では、符号ビットの書き込みは、メモリ31からの符号ビットの読み出し時の読み出しアドレスを、書き込みアドレスとして用いて、デインターリーブ用のメモリのロウ方向に行われる。また、符号ビットの読み出しは、メモリ31への符号ビットの書き込み時の書き込みアドレスを、読み出しアドレスとして用いて、デインターリーブ用のメモリのカラム方向に行われる。

[0462] カラムツイストデインターリーブの結果得られるLDPC符号は、カラムツイストデインターリーバ55からLDPC復号部56に供給される。

[0463] ここで、デマッピング部52から、デインターリーバ53に供給されるLDPC符号には、パリティインターリーブ、カラムツイストインターリーブ、及び入れ替え処理が、その順番で施されているが、デインターリーバ53では、入れ替え処理に対応する逆入れ替え処理、及び、カラムツイストインターリーブに対応するカラムツイストデインターリーブしか行われず、したがって、パリティインターリーブに対応するパリティデインターリーブ(パリティインターリーブの逆の処理)、すなわち、パリティインターリーブによって並びが変更されたLDPC符号の符号ビットを、元の並びに戻すパリティデインターリー

ブは、行われない。

[0464] したがって、デインターリーバ53(のカラムツイストデインターリーバ55)から、LDPC復号部56には、逆入れ替え処理、及び、カラムツイストデインターリーブが行われ、かつ、パリティデインターリーブが行われていないLDPC符号が供給される。

[0465] LDPC復号部56は、デインターリーバ53からのLDPC符号のLDPC復号を、図8のLDPC符号化部21がLDPC符号化に用いた検査行列Hに対して、パリティインターリーブに相当する列置換を少なくとも行って得られる変換検査行列を用いて行い、その結果得られるデータを、対象データの復号結果として出力する。

[0466] 図71は、図70の受信装置12が行う受信処理を説明するフローチャートである。

[0467] 直交復調部51は、ステップS111において、送信装置11からの変調信号を受信して、処理は、ステップS112に進み、その変調信号の直交復調を行う。直交復調部51は、直交復調の結果得られる信号点を、デマッピング部52に供給して、処理は、ステップS112からステップS113に進む。

[0468] ステップS113では、デマッピング部52は、直交復調部51からの信号点をシンボルにするデマッピングを行い、デインターリーバ53に供給して、処理は、ステップS114に進む。

[0469] ステップS114では、デインターリーバ53は、デマッピング部52からのシンボルのシンボルビットのデインターリーブを行って、処理は、ステップS115に進む。

[0470] すなわち、ステップS114では、デインターリーバ53において、マルチプレクサ54が、デマッピング部52からのシンボルのシンボルビットを対象として、逆入れ替え処理を行い、その結果得られるLDPC符号の符号ビットを、カラムツイストデインターリーバ55に供給する。

[0471] カラムツイストデインターリーバ55は、マルチプレクサ54からのLDPC符号を対象として、カラムツイストデインターリーブを行い、その結果得られるLDPC符号を、LDPC復号部56に供給する。

[0472] ステップS115では、LDPC復号部56が、カラムツイストデインターリーバ55からのLDPC符号のLDPC復号を、図8のLDPC符号化部21がLDPC符号化に用いた検査行列Hに対して、パリティインターリーブに相当する列置換を少なくとも行って得られる

変換検査行列を用いて行い、その結果得られるデータを、対象データの復号結果として出力して、処理は終了する。

[0473] なお、図71の受信処理は、繰り返し行われる。

[0474] また、図70でも、図8の場合と同様に、説明の便宜のため、逆入れ替え処理を行うマルチプレクサ54と、カラムツイストデインターリーブを行うカラムツイストデインターリーバ55とを、別個に構成するようにしたが、マルチプレクサ54とカラムツイストデインターリーバ55とは、一体的に構成することができる。

[0475] さらに、図8の送信装置11において、カラムツイストインターリーブを行わない場合には、図70の受信装置12において、カラムツイストデインターリーバ55は、設ける必要がない。

[0476] 次に、図70のLDPC復号部56で行われるLDPC復号について、さらに説明する。

[0477] 図70のLDPC復号部56では、上述したように、カラムツイストデインターリーバ55からの、逆入れ替え処理、及び、カラムツイストデインターリーブが行われ、かつ、パリティデインターリーブが行われていないLDPC符号のLDPC復号が、図8のLDPC符号化部21がLDPC符号化に用いた検査行列Hに対して、パリティインターリーブに相当する列置換を少なくとも行って得られる変換検査行列を用いて行われる。

[0478] ここで、LDPC復号を、変換検査行列を用いて行うことで、回路規模を抑制しつつ、動作周波数を十分実現可能な範囲に抑えることが可能となるLDPC復号が先に提案されている(例えば、特開2004-343170号公報を参照)。

[0479] そこで、まず、図72ないし図75を参照して、先に提案されている、変換検査行列を用いたLDPC復号について説明する。

[0480] 図72は、符号長Nが90で、符号化率が2/3のLDPC符号の検査行列Hの例を示している。

[0481] なお、図72では(後述する図73及び図74においても同様)、0を、ピリオド(.)で表現している。

[0482] 図72の検査行列Hでは、パリティ行列が階段構造になっている。

[0483] 図73は、図72の検査行列Hに、式(11)の行置換と、式(12)の列置換を施して得られる検査行列H'を示している。

[0484] 行置換:6s+t+1行目→5t+s+1行目

・・・(11)

[0485] 列置換:6x+y+61列目→5y+x+61列目

・・・(12)

[0486] 但し、式(11)及び(12)において、s, t, x, yは、それぞれ、0≦s<5, 0≦t<6, 0≦x<5, 0≦t<6の範囲の整数である。

[0487] 式(11)の行置換によれば、6で割って余りが1になる1, 7, 13, 19, 25行目を、それぞれ、1, 2, 3, 4, 5行目に、6で割って余りが2になる2, 8, 14, 20, 26行目を、それぞれ、6, 7, 8, 9, 10行目に、という具合に置換が行われる。

[0488] また、式(12)の列置換によれば、61列目以降(パリティ行列)に対して、6で割って余りが1になる61, 67, 73, 79, 85列目を、それぞれ、61, 62, 63, 64, 65列目に、6で割って余りが2になる62, 68, 74, 80, 86列目を、それぞれ、66, 67, 68, 69, 70列目に、という具合に置換が行われる。

[0489] このようにして、図72の検査行列Hに対して、行と列の置換を行って得られた行列(matrix)が、図73の検査行列H'である。

[0490] ここで、検査行列Hの行置換を行っても、LDPC符号の符号ビットの並びには影響しない。

[0491] また、式(12)の列置換は、上述の、K+qx+y+1番目の符号ビットを、K+Py+x+1番目の符号ビットの位置にインターリーブするパリティインターリーブの、情報長Kを60と、巡回構造の単位の列数Pを5と、パリティ長M(ここでは、30)の約数q(=M/P)を6と、それぞれしたときのパリティインターリーブに相当する。

[0492] 図73の検査行列(以下、適宜、置換検査行列という)H'に対して、図72の検査行列(以下、適宜、元の検査行列という)HのLDPC符号に、式(12)と同一の置換を行ったものを乗じると、0ベクトルが出力される。すなわち、元の検査行列HのLDPC符号(1符号語)としての行ベクトルcに、式(12)の列置換を施して得られる行ベクトルをc'と表すこととすると、検査行列の性質から、$Hc^T$は、0ベクトルとなるから、$H'c'^T$も、当然、0ベクトルとなる。

[0493] 以上から、図73の変換検査行列H'は、元の検査行列HのLDPC符号cに、式(12)

の列置換を行って得られるLDPC符号c'の検査行列になっている。

[0494] したがって、元の検査行列HのLDPC符号cに、式(12)の列置換を行い、その列置換後のLDPC符号c'を、図73の変換検査行列H'を用いて復号(LDPC復号)し、その復号結果に、式(12)の列置換の逆置換を施すことで、元の検査行列HのLDPC符号を、その検査行列Hを用いて復号する場合と同様の復号結果を得ることができる。

[0495] 図74は、5×5の行列の単位に間隔を空けた、図73の変換検査行列H'を示している。

[0496] 図74においては、変換検査行列H'は、5×5の単位行列、その単位行列の1のうち1個以上が0になった行列(以下、適宜、準単位行列という)、単位行列または準単位行列をサイクリックシフト(cyclic shift)した行列(以下、適宜、シフト行列という)、単位行列、準単位行列、またはシフト行列のうちの2以上の和(以下、適宜、和行列という)、5×5の0行列の組合わせで表されている。

[0497] 図74の変換検査行列H'は、5×5の単位行列、準単位行列、シフト行列、和行列、0行列で構成されているということができる。そこで、変換検査行列H'を構成する、これらの5×5の行列を、以下、適宜、構成行列という。

[0498] P×Pの構成行列で表される検査行列で表されるLDPC符号の復号には、チェックノード演算、及びバリアブルノード演算を、P個同時に行うアーキテクチャ(architecture)を用いることができる。

[0499] 図75は、そのような復号を行う復号装置の構成例を示すブロック図である。

[0500] すなわち、図75は、図72の元の検査行列Hに対して、少なくとも、式(12)の列置換を行って得られる図74の変換検査行列H'を用いて、LDPC符号の復号を行う復号装置の構成例を示している。

[0501] 図75の復号装置は、6つのFIFO$300_1$ないし$300_6$からなる枝データ格納用メモリ300、FIFO$300_1$ないし$300_6$を選択するセレクタ301、チェックノード計算部302、2つのサイクリックシフト回路303及び308、18個のFIFO$304_1$ないし$304_{18}$からなる枝データ格納用メモリ304、FIFO$304_1$ないし$304_{18}$を選択するセレクタ305、受信情報を格納する受信データ用メモリ306、バリアブルノード計算部307、復号語計算部309、受信データ並べ替え部310、復号データ並べ替え部311からなる。

[0502] まず、枝データ格納用メモリ300と304へのデータの格納方法について説明する。

[0503] 枝データ格納用メモリ300は、図74の変換検査行列H'の行数30を構成行列の行数5で除算した数である6つのFIFO300$_1$ないし300$_6$から構成されている。FIFO300$_y$ (y＝1, 2, ・・・, 6)は、複数の段数の記憶領域からなり、各段数の記憶領域には、構成行列の行数及び列数である5つの枝に対応するメッセージを同時に読み出しもしくは書き込むことができるようになっている。また、FIFO300$_y$の記憶領域の段数は、図74の変換検査行列の行方向の1の数(ハミング重み)の最大数である9になっている。

[0504] FIFO300$_1$には、図74の変換検査行列H'の第1行目から第5行目までの1の位置に対応するデータ(バリアブルノードからのメッセージv$_i$)が、各行共に横方向に詰めた形に(0を無視した形で)格納される。すなわち、第j行第i列を、(j,i)と表すこととすると、FIFO300$_1$の第1段の記憶領域には、変換検査行列H'の(1,1)から(5,5)の5×5の単位行列の1の位置に対応するデータが格納される。第2段の記憶領域には、変換検査行列H'の(1,21)から(5,25)のシフト行列(5×5の単位行列を右方向に3つだけサイクリックシフトしたシフト行列)の1の位置に対応するデータが格納される。第3から第8段の記憶領域も同様に、変換検査行列H'と対応付けてデータが格納される。そして、第9段の記憶領域には、変換検査行列H'の(1,86)から(5,90)のシフト行列(5×5の単位行列のうちの1行目の1を0に置き換えて1つだけ左にサイクリックシフトしたシフト行列)の1の位置に対応するデータが格納される。

[0505] FIFO300$_2$には、図74の変換検査行列H'の第6行目から第10行目までの1の位置に対応するデータが格納される。すなわち、FIFO300$_2$の第1段の記憶領域には、変換検査行列H'の(6,1)から(10,5)の和行列(5×5の単位行列を右に1つだけサイクリックシフトした第1のシフト行列と、右に2つだけサイクリックシフトした第2のシフト行列の和である和行列)を構成する第1のシフト行列の1の位置に対応するデータが格納される。また、第2段の記憶領域には、変換検査行列H'の(6,1)から(10,5)の和行列を構成する第2のシフト行列の1の位置に対応するデータが格納される。

[0506] すなわち、重みが2以上の構成行列については、その構成行列を、重みが1であるP×Pの単位行列、その要素である1のうち1個以上が0になった準単位行列、又は単

位行列もしくは準単位行列をサイクリックシフトしたシフト行列のうちの複数の和の形で表現したときの、その重みが1の単位行列、準単位行列、又はシフト行列の1の位置に対応するデータ(単位行列、準単位行列、又はシフト行列に属する枝に対応するメッセージ)は、同一アドレス(FIFO300$_1$ないし300$_6$のうちの同一のFIFO)に格納される。

[0507] 以下、第3から第9段の記憶領域についても、変換検査行列H'に対応付けてデータが格納される。

[0508] FIFO300$_3$ないし300$_6$も同様に変換検査行列H'に対応付けてデータを格納する。

[0509] 枝データ格納用メモリ304は、変換検査行列H'の列数90を、構成行列の列数である5で割った18個のFIFO304$_1$ないし304$_{18}$から構成されている。FIFO304$_x$(x=1, 2, ・・・, 18)は、複数の段数の記憶領域からなり、各段の記憶領域には、変換構成行列H'の行数及び列数である5つの枝に対応するメッセージを同時に読み出しもしくは書き込むことができるようになっている。

[0510] FIFO304$_1$には、図74の変換検査行列H'の第1列目から第5列目までの1の位置に対応するデータ(チェックノードからのメッセージ$u_j$)が、各列共に縦方向に詰めた形に(0を無視した形で)格納される。すなわち、FIFO304$_1$の第1段の記憶領域には、変換検査行列H'の(1,1)から(5,5)の5×5の単位行列の1の位置に対応するデータが格納される。第2段の記憶領域には、変換検査行列H'の(6,1)から(10,5)の和行列(5×5の単位行列を右に1つだけサイクリックシフトした第1のシフト行列と、右に2つだけサイクリックシフトした第2のシフト行列との和である和行列)を構成する第1のシフト行列の1の位置に対応するデータが格納される。また、第3段の記憶領域には、変換検査行列H'の(6,1)から(10,5)の和行列を構成する第2のシフト行列の1の位置に対応するデータが格納される。

[0511] すなわち、重みが2以上の構成行列については、その構成行列を、重みが1であるP×Pの単位行列、その要素である1のうち1個以上が0になった準単位行列、又は単位行列もしくは準単位行列をサイクリックシフトしたシフト行列のうちの複数の和の形で表現したときの、その重みが1の単位行列、準単位行列、又はシフト行列の1の位置に対応するデータ(単位行列、準単位行列、又はシフト行列に属する枝に対応す

るメッセージ)は、同一アドレス(FIFO304$_1$ないし304$_{18}$のうちの同一のFIFO)に格納される。

[0512] 以下、第4及び第5段の記憶領域についても、変換検査行列H'に対応付けて、データが格納される。このFIFO304$_1$の記憶領域の段数は、変換検査行列H'の第1列から第5列における行方向の1の数(ハミング重み)の最大数である5になっている。

[0513] FIFO304$_2$と304$_3$も同様に変換検査行列H'に対応付けてデータを格納し、それぞれの長さ(段数)は、5である。FIFO304$_4$ないし304$_{12}$も同様に、変換検査行列H'に対応付けてデータを格納し、それぞれの長さは3である。FIFO304$_{13}$ないし304$_{18}$も同様に、変換検査行列H'に対応付けてデータを格納し、それぞれの長さは2である。

[0514] 次に、図75の復号装置の動作について説明する。

[0515] 枝データ格納用メモリ300は、6つのFIFO300$_1$ないし300$_6$からなり、前段のサイクリックシフト回路308から供給される5つのメッセージD311が、変換検査行列H'どの行に属するかの情報(Matrixデータ)D312に従って、データを格納するFIFOを、FIFO300$_1$ないし300$_6$の中から選び、選んだFIFOに5つのメッセージD311をまとめて順番に格納していく。また、枝データ格納用メモリ300は、データを読み出す際には、FIFO300$_1$から5つのメッセージD300$_1$を順番に読み出し、次段のセレクタ301に供給する。枝データ格納用メモリ300は、FIFO300$_1$からのメッセージの読み出しの終了後、FIFO300$_2$ないし300$_6$からも、順番に、メッセージを読み出し、セレクタ301に供給する。

[0516] セレクタ301は、セレクト信号D301に従って、FIFO300$_1$ないし300$_6$のうちの、現在データが読み出されているFIFOからの5つのメッセージを選択し、メッセージD302として、チェックノード計算部302に供給する。

[0517] チェックノード計算部302は、5つのチェックノード計算器302$_1$ないし302$_5$からなり、セレクタ301を通して供給されるメッセージD302(D302$_1$ないしD302$_5$)(式(7)のメッセージ$v_i$)を用いて、式(7)に従ってチェックノード演算を行い、そのチェックノード演算の結果得られる5つのメッセージD303(D303$_1$ないしD303$_5$)(式(7)のメッセージ$u_j$)をサイクリックシフト回路303に供給する。

[0518] サイクリックシフト回路303は、チェックノード計算部302で求められた5つのメッセージD303$_1$ないしD303$_5$を、対応する枝が変換検査行列H'において元となる単位行

列を幾つサイクリックシフトしたものであるかの情報(Matrixデータ)D305を元にサイクリックシフトし、その結果をメッセージD304として、枝データ格納用メモリ304に供給する。

[0519] 枝データ格納用メモリ304は、18個のFIFO304$_1$ないし304$_{18}$からなり、前段のサイクリックシフト回路303から供給される5つのメッセージD304が変換検査行列H'のどの行に属するかの情報D305に従って、データを格納するFIFOを、FIFO304$_1$ないし304$_{18}$の中から選び、選んだFIFOに5つのメッセージD304をまとめて順番に格納していく。また、枝データ格納用メモリ304は、データを読み出す際には、FIFO304$_1$から5つのメッセージD306$_1$を順番に読み出し、次段のセレクタ305に供給する。枝データ格納用メモリ304は、FIFO304$_1$からのデータの読み出しの終了後、FIFO304$_2$ないし304$_{18}$からも、順番に、メッセージを読み出し、セレクタ305に供給する。

[0520] セレクタ305は、セレクト信号D307に従って、FIFO304$_1$ないし304$_{18}$のうちの、現在データが読み出されているFIFOからの5つのメッセージを選択し、メッセージD308として、バリアブルノード計算部307と復号語計算部309に供給する。

[0521] 一方、受信データ並べ替え部310は、通信路を通して受信したLDPC符号D313を、式(12)の列置換を行うことにより並べ替え、受信データD314として、受信データ用メモリ306に供給する。受信データ用メモリ306は、受信データ並べ替え部310から供給される受信データD314から、受信LLR(対数尤度比)を計算して記憶し、その受信LLRを5個ずつまとめて受信値D309として、バリアブルノード計算部307と復号語計算部309に供給する。

[0522] バリアブルノード計算部307は、5つのバリアブルノード計算器307$_1$ないし307$_5$からなり、セレクタ305を通して供給されるメッセージD308(D308$_1$ないしD308$_5$)(式(1)のメッセージ$u_j$)と、受信データ用メモリ306から供給される5つの受信値D309(式(1)の受信値$u_{0i}$)を用いて、式(1)に従ってバリアブルノード演算を行い、その演算の結果得られるメッセージD310(D310$_1$ないしD310$_5$)(式(1)のメッセージ$v_i$)を、サイクリックシフト回路308に供給する。

[0523] サイクリックシフト回路308は、バリアブルノード計算部307で計算されたメッセージD310$_1$ないしD310$_5$を、対応する枝が変換検査行列H'において元となる単位行列を幾

つサイクリックシフトしたものであるかの情報を元にサイクリックシフトし、その結果をメッセージD311として、枝データ格納用メモリ300に供給する。

[0524] 以上の動作を1巡することで、LDPC符号の1回の復号を行うことができる。図75の復号装置は、所定の回数だけLDPC符号を復号した後、復号語計算部309及び復号データ並べ替え部311において、最終的な復号結果を求めて出力する。

[0525] すなわち、復号語計算部309は、5つの復号語計算器$309_1$ないし$309_5$からなり、セレクタ305が出力する5つのメッセージD308(D$308_1$ないしD$308_5$)(式(5)のメッセージ$u_j$)と、受信データ用メモリ306から供給される5つの受信値D309(式(5)の受信値$u_{0i}$)を用い、複数回の復号の最終段として、式(5)に基づいて、復号結果(復号語)を計算して、その結果得られる復号データD315を、復号データ並べ替え部311に供給する。

[0526] 復号データ並べ替え部311は、復号語計算部309から供給される復号データD315を対象に、式(12)の列置換の逆置換を行うことにより、その順序を並べ替え、最終的な復号結果D316として出力する。

[0527] 以上のように、検査行列(元の検査行列)に対して、行置換と列置換のうちの一方又は両方を施し、P×Pの単位行列、その要素の1のうち1個以上が0になった準単位行列、単位行列もしくは準単位行列をサイクリックシフトしたシフト行列、単位行列、準単位行列、もしくはシフト行列の複数の和である和行列、P×Pの0行列の組合せ、つまり、構成行列の組み合わせで表すことができる検査行列(変換検査行列)に変換することで、LDPC符号の復号を、チェックノード演算とバリアブルノード演算をP個同時に行うアーキテクチャ(architecture)を採用することが可能となり、これにより、ノード演算を、P個同時に行うことで動作周波数を実現可能な範囲に抑えて、多数の繰り返し復号を行うことができる。

[0528] 図70の受信装置12を構成するLDPC復号部56は、図75の復号装置と同様に、チェックノード演算とバリアブルノード演算をP個同時に行うことで、LDPC復号を行うようになっている。

[0529] すなわち、いま、説明を簡単にするために、図8の送信装置11を構成するLDPC符号化部21が出力するLDPC符号の検査行列が、例えば、図72に示した、パリティ行

列が階段構造になっている検査行列Hであるとすると、送信装置11のパリティインターリーバ23では、K+qx+y+1番目の符号ビットを、K+Py+x+1番目の符号ビットの位置にインターリーブするパリティインターリーブが、情報長Kを60に、巡回構造の単位の列数Pを5に、パリティ長Mの約数q(=M/P)を6に、それぞれして行われる。

[0530] このパリティインターリーブは、上述したように、式(12)の列置換に相当するから、LDPC復号部56では、式(12)の列置換を行う必要がない。

[0531] このため、図70の受信装置12では、上述したように、カラムツイストデインターリーバ55から、LDPC復号部56に対して、パリティデインターリーブが行われていないLDPC符号、つまり、式(12)の列置換が行われた状態のLDPC符号が供給され、LDPC復号部56では、式(12)の列置換を行わないことを除けば、図75の復号装置と同様の処理が行われる。

[0532] すなわち、図76は、図70のLDPC復号部56の構成例を示している。

[0533] 図76において、LDPC復号部56は、図75の受信データ並べ替え部310が設けられていないことを除けば、図75の復号装置と同様に構成されており、式(12)の列置換が行われないことを除いて、図75の復号装置と同様の処理を行うため、その説明は省略する。

[0534] 以上のように、LDPC復号部56は、受信データ並べ替え部310を設けずに構成することができるので、図75の復号装置よりも、規模を削減することができる。

[0535] なお、図72ないし図76では、説明を簡単にするために、LDPC符号の符号長Nを90と、情報長Kを60と、巡回構造の単位の列数(構成行列の行数及び列数)Pを5と、パリティ長Mの約数q(=M/P)を6と、それぞれしたが、符号長N、情報長K、巡回構造の単位の列数P、及び約数q(=M/P)のそれぞれは、上述した値に限定されるものではない。

[0536] すなわち、図8の送信装置11において、LDPC符号化部21が出力するのは、例えば、符号長Nを64800又は16200と、情報長KをN-Pq(=N-M)と、巡回構造の単位の列数Pを360と、約数qをM/Pと、それぞれするLDPC符号であるが、図76のLDPC復号部56は、そのようなLDPC符号を対象として、チェックノード演算とバリアブルノード演算をP個同時に行うことで、LDPC復号を行う場合にも適用可能である。

[0537] 次に、上述した一連の処理は、ハードウェアにより行うこともできるし、ソフトウェアにより行うこともできる。一連の処理をソフトウェアによって行う場合には、そのソフトウェアを構成するプログラムが、汎用のコンピュータ等にインストールされる。

[0538] そこで、図77は、上述した一連の処理を実行するプログラムがインストールされるコンピュータの一実施の形態の構成例を示している。

[0539] プログラムは、コンピュータに内蔵されている記録媒体としてのハードディスク705やROM703に予め記録しておくことができる。

[0540] あるいはまた、プログラムは、フレキシブルディスク、CD-ROM(Compact Disc Read Only Memory), MO(Magneto Optical)ディスク, DVD(Digital Versatile Disc)、磁気ディスク、半導体メモリなどのリムーバブル記録媒体711に、一時的あるいは永続的に格納(記録)しておくことができる。このようなリムーバブル記録媒体711は、いわゆるパッケージソフトウエアとして提供することができる。

[0541] なお、プログラムは、上述したようなリムーバブル記録媒体711からコンピュータにインストールする他、ダウンロードサイトから、ディジタル衛星放送用の人工衛星を介して、コンピュータに無線で転送したり、LAN(Local Area Network)、インターネットといったネットワークを介して、コンピュータに有線で転送し、コンピュータでは、そのようにして転送されてくるプログラムを、通信部708で受信し、内蔵するハードディスク705にインストールすることができる。

[0542] コンピュータは、CPU(Central Processing Unit)702を内蔵している。CPU702には、バス701を介して、入出力インタフェース710が接続されており、CPU702は、入出力インタフェース710を介して、ユーザによって、キーボードや、マウス、マイク等で構成される入力部707が操作等されることにより指令が入力されると、それに従って、ROM(Read Only Memory)703に格納されているプログラムを実行する。あるいは、また、CPU702は、ハードディスク705に格納されているプログラム、衛星若しくはネットワークから転送され、通信部708で受信されてハードディスク705にインストールされたプログラム、又はドライブ709に装着されたリムーバブル記録媒体711から読み出されてハードディスク705にインストールされたプログラムを、RAM(Random Access Memory)704にロードして実行する。これにより、CPU702は、上述したフローチャートに

従った処理、あるいは上述したブロック図の構成により行われる処理を行う。そして、CPU702は、その処理結果を、必要に応じて、例えば、入出力インタフェース710を介して、LCD(Liquid Crystal Display)やスピーカ等で構成される出力部706から出力、あるいは、通信部708から送信、さらには、ハードディスク705に記録等させる。

[0543] ここで、本明細書において、コンピュータに各種の処理を行わせるためのプログラムを記述する処理ステップは、必ずしもフローチャートとして記載された順序に沿って時系列に処理する必要はなく、並列的あるいは個別に実行される処理(例えば、並列処理あるいはオブジェクトによる処理)も含むものである。

[0544] また、プログラムは、1つのコンピュータにより処理されるものであっても良いし、複数のコンピュータによって分散処理されるものであっても良い。さらに、プログラムは、遠方のコンピュータに転送されて実行されるものであっても良い。

[0545] 次に、送信装置11のLDPC符号化部21によるLDPC符号化の処理について、さらに説明する。

[0546] 例えば、DVB-S.2の規格では、64800ビットと16200ビットとの2通りの符号長NのLDPC符号が規定されている。

[0547] そして、符号長Nが64800ビットのLDPC符号については、11個の符号化率1/4,1/3,2/5,1/2,3/5,2/3,3/4,4/5,5/6,8/9、及び9/10が規定されており、符号長Nが16200ビットのLDPC符号については、10個の符号化率1/4,1/3,2/5,1/2,3/5,2/3,3/4,4/5,5/6、及び8/9が規定されている。

[0548] LDPC符号化部21は、このような、符号長Nが64800ビットや16200ビットの各符号化率のLDPC符号による符号化(誤り訂正符号化)を、符号長Nごと、及び符号化率ごとに用意された検査行列Hに従って行う。

[0549] すなわち、LDPC符号化部21は、検査行列Hを生成するための、後述する検査行列初期値テーブルを、符号長Nごと、及び符号化率ごとに記憶している。

[0550] ここで、DVB-S.2の規格では、上述のように、64800ビットと16200ビットとの2通りの符号長NのLDPC符号が規定されており、符号長Nが64800ビットのLDPC符号については、11個の符号化率が、符号長Nが16200ビットのLDPC符号については、10個の符号化率が、それぞれ規定されている。

[0551] したがって、送信装置11が、DVB-S.2の規格に準拠した処理を行う装置である場合、LDPC符号化部21には、符号長Nが64800ビットのLDPC符号についての、11個の符号化率それぞれに対応する検査行列初期値テーブルと、符号長Nが16200ビットのLDPC符号についての、10個の符号化率それぞれに対応する検査行列初期値テーブルとが記憶される。

[0552] LDPC符号化部21は、例えば、オペレータの操作等に応じて、LDPC符号の符号長Nと符号化率rとを設定する。ここで、以下、適宜、LDPC符号化部21で設定された符号長Nと符号化率rを、それぞれ、設定符号長Nと設定符号化率rともいう。

[0553] LDPC符号化部21は、設定符号長N及び設定符号化率rに対応する検査行列初期値テーブルに基づいて、設定符号長N及び設定符号化率rに応じた情報長K(=Nr=符号長N-パリティ長M)に対応する情報行列$H_A$の1の要素を列方向に360列(巡回構造の単位の列数P)ごとの周期で配置して検査行列Hを生成する。

[0554] そして、LDPC符号化部21は、送信装置11に供給される、画像データや音声データ等の、送信の対象である対象データから、情報長K分の情報ビットを抽出する。さらに、LDPC符号化部21は、検査行列Hに基づいて、情報ビットに対するパリティビットを算出し、1符号長分の符号語(LDPC符号)を生成する。

[0555] すなわち、LDPC符号化部21は、次式を満たす符号語cのパリティビットを順次演算する。

[0556] $Hc^T=0$

[0557] ここで、上式において、cは、符号語(LDPC符号)としての行ベクトルを表し、$c^T$は、行ベクトルcの転置を表す。

[0558] LDPC符号(1符号語)としての行ベクトルcのうちの、情報ビットの部分を、行ベクトルAで表すとともに、パリティビットの部分を、行ベクトルTで表す場合には、行ベクトルcは、情報ビットとしての行ベクトルAと、パリティビットとしての行ベクトルTとによって、式c =[A|T]で表すことができる。

[0559] また、検査行列Hは、LDPC符号の符号ビットのうちの、情報ビットに対応する部分の情報行列$H_A$と、パリティビットに対応するパリティ行列$H_T$とによって、式$H=[H_A \mid H_T]$(情報行列$H_A$の要素を左側の要素とし、パリティ行列$H_T$の要素を右側の要素とする

行列）で表すことができる。

[0560] さらに、例えば、DVB-S.2の規格では、検査行列$H=[H_A|H_T]$のパリティ行列$H_T$が階段構造になっている。

[0561] 検査行列Hと、LDPC符号としての行ベクトルc=[A|T]とは、式$Hc^T=0$を満たす必要があり、かかる式$Hc^T=0$を満たす行ベクトルc=[A|T]を構成するパリティビットとしての行ベクトルTは、検査行列$H=[H_A|H_T]$のパリティ行列$H_T$が階段構造になっている場合には、式$Hc^T=0$における列ベクトル$Hc^T$の1行目の要素から順に、各行の要素を0にしていくようにすることで、逐次的に求めることができる。

[0562] LDPC符号化部21は、情報ビットAに対して、パリティビットTを求めると、その情報ビットAとパリティビットTとによって表される符号語c ＝[A | T]を、情報ビットAのLDPC符号化結果として出力する。

[0563] 以上のように、LDPC符号化部21は、各符号長N、及び、各符号化率rに対応する検査行列初期値テーブルを記憶しており、設定符号長Nの、設定符号化率rのLDPC符号化を、その設定符号長N、及び、設定符号化率rに対応する検査行列初期値テーブルから生成される検査行列Hを用いて行う。

[0564] 検査行列初期値テーブルは、検査行列Hの、LDPC符号（検査行列Hによって定義されるLDPC符号）の符号長N及び符号化率rに応じた情報長Kに対応する情報行列$H_A$の1の要素の位置を360列（巡回構造の単位の列数P）ごとに表すテーブルであり、各符号長N及び各符号化率rの検査行列Hごとに、あらかじめ作成される。

[0565] 図78ないし図123は、DVB-S.2の規格に規定されている検査行列初期値テーブルを含む、様々な検査行列Hを生成するための検査行列初期値テーブルを示している。

[0566] すなわち、図78は、DVB-S.2の規格に規定されている、符号長Nが16200ビットの、符号化率rが2/3の検査行列Hに対する検査行列初期値テーブルを示している。

[0567] 図79ないし図81は、DVB-S.2の規格に規定されている、符号長Nが64800ビットの、符号化率rが2/3の検査行列Hに対する検査行列初期値テーブルを示している。

[0568] なお、図80は、図79に続く図であり、図81は、図80に続く図である。

[0569] 図82は、DVB-S.2の規格に規定されている、符号長Nが16200ビットの、符号化率r

が3/4の検査行列Hに対する検査行列初期値テーブルを示している。

[0570] 図83ないし図86は、DVB-S.2の規格に規定されている、符号長Nが64800ビットの、符号化率rが3/4の検査行列Hに対する検査行列初期値テーブルを示している。

[0571] なお、図84は、図83に続く図であり、図85は、図84に続く図である。また、図86は、図85に続く図である。

[0572] 図87は、DVB-S.2の規格に規定されている、符号長Nが16200ビットの、符号化率rが4/5の検査行列Hに対する検査行列初期値テーブルを示している。

[0573] 図88ないし図91は、DVB-S.2の規格に規定されている、符号長Nが64800ビットの、符号化率rが4/5の検査行列Hに対する検査行列初期値テーブルを示している。

[0574] なお、図89は、図88に続く図であり、図90は、図89に続く図である。また、図91は、図90に続く図である。

[0575] 図92は、DVB-S.2の規格に規定されている、符号長Nが16200ビットの、符号化率rが5/6の検査行列Hに対する検査行列初期値テーブルを示している。

[0576] 図93ないし図96は、DVB-S.2の規格に規定されている、符号長Nが64800ビットの、符号化率rが5/6の検査行列Hに対する検査行列初期値テーブルを示している。

[0577] なお、図94は、図93に続く図であり、図95は、図94に続く図である。また、図96は、図95に続く図である。

[0578] 図97は、DVB-S.2の規格に規定されている、符号長Nが16200ビットの、符号化率rが8/9の検査行列Hに対する検査行列初期値テーブルを示している。

[0579] 図98ないし図101は、DVB-S.2の規格に規定されている、符号長Nが64800ビットの、符号化率rが8/9の検査行列Hに対する検査行列初期値テーブルを示している。

[0580] なお、図99は、図98に続く図であり、図100は、図99に続く図である。また、図101は、図100に続く図である。

[0581] 図102ないし図105は、DVB-S.2の規格に規定されている、符号長Nが64800ビットの、符号化率rが9/10の検査行列Hに対する検査行列初期値テーブルを示している。

[0582] なお、図103は、図102に続く図であり、図104は、図103に続く図である。また、図105は、図104に続く図である。

[0583] 図106及び図107は、DVB-S.2の規格に規定されている、符号長Nが64800ビットの、符号化率rが1/4の検査行列Hに対する検査行列初期値テーブルを示している。

[0584] なお、図107は、図106に続く図である。

[0585] 図108及び図109は、DVB-S.2の規格に規定されている、符号長Nが64800ビットの、符号化率rが1/3の検査行列Hに対する検査行列初期値テーブルを示している。

[0586] なお、図109は、図108に続く図である。

[0587] 図110及び図111は、DVB-S.2の規格に規定されている、符号長Nが64800ビットの、符号化率rが2/5の検査行列Hに対する検査行列初期値テーブルを示している。

[0588] なお、図111は、図110に続く図である。

[0589] 図112ないし図114は、DVB-S.2の規格に規定されている、符号長Nが64800ビットの、符号化率rが1/2の検査行列Hに対する検査行列初期値テーブルを示している。

[0590] なお、図113は、図112に続く図であり、図114は、図113に続く図である。

[0591] 図115ないし図117は、DVB-S.2の規格に規定されている、符号長Nが64800ビットの、符号化率rが3/5の検査行列Hに対する検査行列初期値テーブルを示している。

[0592] なお、図116は、図115に続く図であり、図117は、図116に続く図である。

[0593] 図118は、DVB-S.2の規格に規定されている、符号長Nが16200ビットの、符号化率rが1/4の検査行列Hに対する検査行列初期値テーブルを示している。

[0594] 図119は、DVB-S.2の規格に規定されている、符号長Nが16200ビットの、符号化率rが1/3の検査行列Hに対する検査行列初期値テーブルを示している。

[0595] 図120は、DVB-S.2の規格に規定されている、符号長Nが16200ビットの、符号化率rが2/5の検査行列Hに対する検査行列初期値テーブルを示している。

[0596] 図121は、DVB-S.2の規格に規定されている、符号長Nが16200ビットの、符号化率rが1/2の検査行列Hに対する検査行列初期値テーブルを示している。

[0597] 図122は、DVB-S.2の規格に規定されている、符号長Nが16200ビットの、符号化率rが3/5の検査行列Hに対する検査行列初期値テーブルを示している。

[0598] 図123は、図122の検査行列初期値テーブルに代えて用いることができる、符号長Nが16200ビットの、符号化率rが3/5の検査行列Hに対する検査行列初期値テーブルを示している。

[0599] 送信装置11のLDPC符号化部21は、検査行列初期値テーブルを用いて、以下のように、検査行列Hを求める。

[0600] すなわち、図124は、検査行列初期値テーブルから検査行列Hを求める方法を示している。

[0601] なお、図124の検査行列初期値テーブルは、図78に示した、DVB-S.2の規格に規定されている、符号長Nが16200ビットの、符号化率rが2/3の検査行列Hに対する検査行列初期値テーブルを示している。

[0602] 検査行列初期値テーブルは、上述したように、LDPC符号の符号長N及び符号化率rに応じた情報長Kに対応する情報行列$H_A$の1の要素の位置を、360列(巡回構造の単位の列数P)ごとに表すテーブルであり、そのi行目には、検査行列Hの1+360×(i-1)列目の1の要素の行番号(検査行列Hの1行目の行番号を0とする行番号)が、その1+360×(i-1)列目の列が持つ列重みの数だけ並んでいる。

[0603] ここで、検査行列Hの、パリティ長Mに対応するパリティ行列$H_T$は、階段構造になっており、あらかじめ決まっていることとする。検査行列初期値テーブルによれば、検査行列Hのうちの、情報長Kに対応する情報行列$H_A$が求められる。

[0604] 検査行列初期値テーブルの行数k+1は、情報長Kによって異なる。

[0605] 情報長Kと、検査行列初期値テーブルの行数k+1との間には、次式の関係が成り立つ。

[0606] $K=(k+1)\times 360$

[0607] ここで、上式の360は、巡回構造の単位の列数Pである。

[0608] 図124の検査行列初期値テーブルでは、1行目から3行目までに、13個の数値が並び、4行目からk+1行目(図124では、30行目)までに、3個の数値が並んでいる。

[0609] したがって、図124の検査行列初期値テーブルから求められる検査行列Hの列重みは、1列目から、1+360×(3-1)-1列目までは、13であり、1+360×(3-1)列目から、K列目までは、3である。

[0610] 図124の検査行列初期値テーブルの1行目は、0,2084,1613,1548,1286,1460,3196,4297,2481,3369,3451,4620,2622となっており、これは、検査行列Hの1列目において、行番号が、0,2084,1613,1548,1286,1460,3196,4297,2481,3369,3451,4620,2622の

行の要素が1であること(かつ、他の要素が0であること)を示している。

[0611] また、図124の検査行列初期値テーブルの2行目は、1,122,1516,3448,2880,1407,1847,3799,3529,373,971,4358,3108となっており、これは、検査行列Hの361(＝1＋360×(2－1))列目において、行番号が、1,122,1516,3448,2880,1407,1847,3799,3529,373,971,4358,3108の行の要素が1であることを示している。

[0612] 以上のように、検査行列初期値テーブルは、検査行列Hの情報行列$H_A$の1の要素の位置を360列ごとに表す。

[0613] 検査行列Hの1+360×(i-1)列目以外の列、つまり、2+360×(i-1)列目から、360×i列目までの各列は、検査行列初期値テーブルによって定まる1+360×(i-1)列目の1の要素を、パリティ長Mに従って下方向(列の下方向)に、周期的にサイクリックシフトして配置したものになっている。

[0614] すなわち、例えば、2+360×(i-1)列目は、1+360×(i-1)列目を、M/360(=q)だけ下方向にサイクリックシフトしたものとなっており、次の3+360×(i-1)列目は、1+360×(i-1)列目を、2×M/360(=2×q)だけ下方向にサイクリックシフトしたもの(2+360×(i-1)列目を、M/360(=q)だけ下方向にサイクリックシフトしたもの)となっている。

[0615] いま、検査行列初期値テーブルのi行目(上からi番目)のj列目(左からj番目)の数値を、$h_{i,j}$と表すとともに、検査行列Hのw列目の、j個目の1の要素の行番号を、$H_{w-j}$と表すこととすると、検査行列Hの1+360×(i-1)列目以外の列であるw列目の、1の要素の行番号$H_{w-j}$は、次式で求めることができる。

[0616] $$H_{w-j}=\mathrm{mod}\{h_{i,j}+\mathrm{mod}((w-1),P)\times q,\ M\}$$

[0617] ここで、mod(x, y)はxをyで割った余りを意味する。

[0618] また、Pは、上述した巡回構造の単位の列数であり、例えば、DVB-S.2の規格では、360である。さらに、qは、パリティ長Mを、巡回構造の単位の列数P(=360)で除算することにより得られる値M/360である。

[0619] LDPC符号化部21は、検査行列初期値テーブルによって、検査行列Hの1+360×(i-1)列目の1の要素の行番号を特定する。

[0620] さらに、LDPC符号化部21は、検査行列Hの1+360×(i-1)列目以外の列であるw列目の、1の要素の行番号$H_{w-j}$を求め、以上により得られた行番号の要素を1とする検

査行列Hを生成する。

[0621] 次に、送信装置11におけるデマルチプレクサ25の入れ替え部32による入れ替え処理でのLDPC符号の符号ビットの入れ替え方、すなわち、LDPC符号の符号ビットと、シンボルを表すシンボルビットとの割り当てパターン（以下、ビット割り当てパターンともいう）のバリエーションについて説明する。

[0622] デマルチプレクサ25では、LDPC符号の符号ビットが、カラム方向×ロウ方向が(N/(mb))×(mb)ビットのメモリ31のカラム方向に書き込まれ、その後、mbビット単位でロウ方向に読み出される。さらに、デマルチプレクサ25では、入れ替え部32において、メモリ31のロウ方向に読み出されるmbビットの符号ビットが入れ替えられ、入れ替え後の符号ビットが、（連続する）b個のシンボルのmbビットのシンボルビットとされる。

[0623] すなわち、入れ替え部32は、メモリ31のロウ方向に読み出されるmbビットの符号ビットの最上位ビットからi+1ビット目を、符号ビット$b_i$とするとともに、（連続する）b個のシンボルのmbビットのシンボルビットの最上位ビットからi+1ビット目を、シンボルビット$y_i$として、所定のビット割り当てパターンに従い、mbビットの符号ビット$b_0$ないし$b_{mb-1}$を入れ替える。

[0624] 図125は、LDPC符号が、符号長Nが64800ビットで、符号化率が5/6又は9/10のLDPC符号であり、さらに、変調方式が4096QAMで、倍数bが1である場合に採用することができるビット割り当てパターンの例を示している。

[0625] LDPC符号が、符号長Nが64800ビットで、符号化率が5/6又は9/10のLDPC符号であり、さらに、変調方式が4096QAMで、倍数bが1である場合、デマルチプレクサ25では、カラム方向×ロウ方向が(64800/(12×1))×(12×1)ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、12×1(=mb)ビット単位で読み出され、入れ替え部32に供給される。

[0626] 入れ替え部32は、メモリ31から読み出される12×1(=mb)ビットの符号ビット$b_0$ないし$b_{11}$を、図125に示すように、1(=b)個のシンボルの12×1(=mb)ビットのシンボルビット$y_0$ないし$y_{11}$に割り当てるように、12×1(=mb)ビットの符号ビット$b_0$ないし$b_{11}$を入れ替える。

[0627] すなわち、図125によれば、入れ替え部32は、符号長Nが64800ビットのLDPC符号のうちの、符号化率が5/6のLDPC符号、及び、符号化率が9/10のLDPC符号につい

ては、いずれのLDPC符号についても、

符号ビット$b_0$を、シンボルビット$y_8$に、

符号ビット$b_1$を、シンボルビット$y_0$に、

符号ビット$b_2$を、シンボルビット$y_6$に、

符号ビット$b_3$を、シンボルビット$y_1$に、

符号ビット$b_4$を、シンボルビット$y_4$に、

符号ビット$b_5$を、シンボルビット$y_5$に、

符号ビット$b_6$を、シンボルビット$y_2$に、

符号ビット$b_7$を、シンボルビット$y_3$に、

符号ビット$b_8$を、シンボルビット$y_7$に、

符号ビット$b_9$を、シンボルビット$y_{10}$に、

符号ビット$b_{10}$を、シンボルビット$y_{11}$に、

符号ビット$b_{11}$を、シンボルビット$y_9$に、

それぞれ割り当てる入れ替えを行う。

[0628] 図126は、LDPC符号が、符号長Nが64800ビットで、符号化率が5/6又は9/10のLDPC符号であり、さらに、変調方式が4096QAMで、倍数bが2である場合に採用することができるビット割り当てパターンの例を示している。

[0629] LDPC符号が、符号長Nが64800ビットで、符号化率が5/6又は9/10のLDPC符号であり、さらに、変調方式が4096QAMで、倍数bが2である場合、デマルチプレクサ25では、カラム方向×ロウ方向が(64800/(12×2))×(12×2)ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、12×2(=mb)ビット単位で読み出され、入れ替え部32に供給される。

[0630] 入れ替え部32は、メモリ31から読み出される12×2(=mb)ビットの符号ビット$b_0$ないし$b_{23}$を、図126に示すように、連続する2(=b)個のシンボルの12×2(=mb)ビットのシンボルビット$y_0$ないし$y_{23}$に割り当てるように、12×2(=mb)ビットの符号ビット$b_0$ないし$b_{23}$を入れ替える。

[0631] すなわち、図126によれば、入れ替え部32は、符号長Nが64800ビットのLDPC符号のうちの、符号化率が5/6のLDPC符号、及び、符号化率が9/10のLDPC符号につい

ては、いずれのLDPC符号についても、

符号ビット$b_0$を、シンボルビット$y_8$に、

符号ビット$b_2$を、シンボルビット$y_0$に、

符号ビット$b_4$を、シンボルビット$y_6$に、

符号ビット$b_6$を、シンボルビット$y_1$に、

符号ビット$b_8$を、シンボルビット$y_4$に、

符号ビット$b_{10}$を、シンボルビット$y_5$に、

符号ビット$b_{12}$を、シンボルビット$y_2$に、

符号ビット$b_{14}$を、シンボルビット$y_3$に、

符号ビット$b_{16}$を、シンボルビット$y_7$に、

符号ビット$b_{18}$を、シンボルビット$y_{10}$に、

符号ビット$b_{20}$を、シンボルビット$y_{11}$に、

符号ビット$b_{22}$を、シンボルビット$y_9$に、

符号ビット$b_1$を、シンボルビット$y_{20}$に、

符号ビット$b_3$を、シンボルビット$y_{12}$に、

符号ビット$b_5$を、シンボルビット$y_{18}$に、

符号ビット$b_7$を、シンボルビット$y_{13}$に、

符号ビット$b_9$を、シンボルビット$y_{16}$に、

符号ビット$b_{11}$を、シンボルビット$y_{17}$に、

符号ビット$b_{13}$を、シンボルビット$y_{14}$に、

符号ビット$b_{15}$を、シンボルビット$y_{15}$に、

符号ビット$b_{17}$を、シンボルビット$y_{19}$に、

符号ビット$b_{19}$を、シンボルビット$y_{22}$に、

符号ビット$b_{21}$を、シンボルビット$y_{23}$に、

符号ビット$b_{23}$を、シンボルビット$y_{21}$に、

それぞれ割り当てる入れ替えを行う。

[0632] ここで、図126のビット割り当てパターンは、倍数bが1である場合の図125のビット割り当てパターンを、そのまま利用している。すなわち、図126において、符号ビットb

000105

$_0$,$b_2$,・・・,$b_{22}$のシンボルビットy$_i$への割り当て方、及び、符号ビットb$_1$,$b_3$,・・・,$b_{23}$のシンボルビットy$_i$への割り当て方は、いずれも、図125の符号ビットb$_0$ないしb$_{11}$のシンボルビットy$_i$への割り当て方と同様になっている。

[0633] 図127は、変調方式が1024QAMであり、かつ、LDPC符号が、符号長Nが16200ビットで、符号化率が3/4，5/6、又は8/9のLDPC符号であり、倍数bが2である場合と、LDPC符号が、符号長Nが64800ビットで、符号長が3/4，5/6、又は9/10のLDPC符号であり、倍数bが2である場合に採用することができるビット割り当てパターンの例を示している。

[0634] LDPC符号が、符号長Nが16200ビットで、符号化率が3/4，5/6、又は8/9のLDPC符号であり、さらに、変調方式が1024QAMで、倍数bが2である場合、デマルチプレクサ25では、カラム方向×ロウ方向が(16200/(10×2))×(10×2)ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、10×2(=mb)ビット単位で読み出され、入れ替え部32に供給される。

[0635] また、LDPC符号が、符号長Nが64800ビットで、符号化率が3/4，5/6、又は9/10のLDPC符号であり、さらに、変調方式が1024QAMで、倍数bが2である場合、デマルチプレクサ25では、カラム方向×ロウ方向が(64800/(10×2))×(10×2)ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、10×2(=mb)ビット単位で読み出され、入れ替え部32に供給される。

[0636] 入れ替え部32は、メモリ31から読み出される10×2(=mb)ビットの符号ビットb$_0$ないしb$_{19}$を、図127に示すように、連続する2(=b)個のシンボルの10×2(=mb)ビットのシンボルビットy$_0$ないしy$_{19}$に割り当てるように、10×2(=mb)ビットの符号ビットb$_0$ないしb$_{19}$を入れ替える。

[0637] すなわち、図127によれば、入れ替え部32は、符号長Nが16200ビットのLDPC符号のうちの、符号化率が3/4のLDPC符号、符号化率が5/6のLDPC符号、及び、符号化率が8/9のLDPC符号、並びに、符号長Nが64800ビットのLDPC符号のうちの、符号化率が3/4のLDPC符号、符号化率が5/6のLDPC符号、及び、符号化率が9/10のLDPC符号については、いずれのLDPC符号についても、

符号ビットb$_0$を、シンボルビットy$_8$に、

符号ビット$b_1$を、シンボルビット$y_3$に、
符号ビット$b_2$を、シンボルビット$y_7$に、
符号ビット$b_3$を、シンボルビット$y_{10}$に、
符号ビット$b_4$を、シンボルビット$y_{19}$に、
符号ビット$b_5$を、シンボルビット$y_4$に、
符号ビット$b_6$を、シンボルビット$y_9$に、
符号ビット$b_7$を、シンボルビット$y_5$に、
符号ビット$b_8$を、シンボルビット$y_{17}$に、
符号ビット$b_9$を、シンボルビット$y_6$に、
符号ビット$b_{10}$を、シンボルビット$y_{14}$に、
符号ビット$b_{11}$を、シンボルビット$y_{11}$に、
符号ビット$b_{12}$を、シンボルビット$y_2$に、
符号ビット$b_{13}$を、シンボルビット$y_{18}$に、
符号ビット$b_{14}$を、シンボルビット$y_{16}$に、
符号ビット$b_{15}$を、シンボルビット$y_{15}$に、
符号ビット$b_{16}$を、シンボルビット$y_0$に、
符号ビット$b_{17}$を、シンボルビット$y_1$に、
符号ビット$b_{18}$を、シンボルビット$y_{13}$に、
符号ビット$b_{19}$を、シンボルビット$y_{12}$に、
それぞれ割り当てる入れ替えを行う。

[0638] 図128は、変調方式が4096QAMであり、かつ、LDPC符号が、符号長Nが16200ビットで、符号化率が5/6又は8/9のLDPC符号であり、倍数bが2である場合と、LDPC符号が、符号長Nが64800ビットで、符号長が5/6又は9/10のLDPC符号であり、倍数bが2である場合に採用することができるビット割り当てパターンの例を示している。

[0639] LDPC符号が、符号長Nが16200ビットで、符号化率が5/6又は8/9のLDPC符号であり、さらに、変調方式が4096QAMで、倍数bが2である場合、デマルチプレクサ25では、カラム方向×ロウ方向が(16200/(12×2))×(12×2)ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、12×2(=mb)ビット単位で読み出され、入れ替え部32に供

給される。

[0640] また、LDPC符号が、符号長Nが64800ビットで、符号化率が5/6又は9/10のLDPC符号であり、さらに、変調方式が4096QAMで、倍数bが2である場合、デマルチプレクサ25では、カラム方向×ロウ方向が(64800/(12×2))×(12×2)ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、12×2(=mb)ビット単位で読み出され、入れ替え部32に供給される。

[0641] 入れ替え部32は、メモリ31から読み出される12×2(=mb)ビットの符号ビット$b_0$ないし$b_{23}$を、図128に示すように、連続する2(=b)個のシンボルの12×2(=mb)ビットのシンボルビット$y_0$ないし$y_{23}$に割り当てるように、12×2(=mb)ビットの符号ビット$b_0$ないし$b_{23}$を入れ替える。

[0642] すなわち、図128によれば、入れ替え部32は、符号長Nが16200ビットのLDPC符号のうちの、符号化率が5/6のLDPC符号、及び、符号化率が8/9のLDPC符号、並びに、符号長Nが64800ビットのLDPC符号のうちの、符号化率が5/6のLDPC符号、及び、符号化率が9/10のLDPC符号については、いずれのLDPC符号についても、

符号ビット$b_0$を、シンボルビット$y_{10}$に、
符号ビット$b_1$を、シンボルビット$y_{15}$に、
符号ビット$b_2$を、シンボルビット$y_4$に、
符号ビット$b_3$を、シンボルビット$y_{19}$に、
符号ビット$b_4$を、シンボルビット$y_{21}$に、
符号ビット$b_5$を、シンボルビット$y_{16}$に、
符号ビット$b_6$を、シンボルビット$y_{23}$に、
符号ビット$b_7$を、シンボルビット$y_{18}$に、
符号ビット$b_8$を、シンボルビット$y_{11}$に、
符号ビット$b_9$を、シンボルビット$y_{14}$に、
符号ビット$b_{10}$を、シンボルビット$y_{22}$に、
符号ビット$b_{11}$を、シンボルビット$y_5$に、
符号ビット$b_{12}$を、シンボルビット$y_6$に、
符号ビット$b_{13}$を、シンボルビット$y_{17}$に、

符号ビット$b_{14}$を、シンボルビット$y_{13}$に、
符号ビット$b_{15}$を、シンボルビット$y_{20}$に、
符号ビット$b_{16}$を、シンボルビット$y_{1}$に、
符号ビット$b_{17}$を、シンボルビット$y_{3}$に、
符号ビット$b_{18}$を、シンボルビット$y_{9}$に、
符号ビット$b_{19}$を、シンボルビット$y_{2}$に、
符号ビット$b_{20}$を、シンボルビット$y_{7}$に、
符号ビット$b_{21}$を、シンボルビット$y_{8}$に、
符号ビット$b_{22}$を、シンボルビット$y_{12}$に、
符号ビット$b_{23}$を、シンボルビット$y_{0}$に、
それぞれ割り当てる入れ替えを行う。

[0643] 図125ないし図128に示したビット割り当てパターンによれば、複数種類のLDPC符号について、同一のビット割り当てパターンを採用することができ、しかも、その複数種類のLDPC符号のいずれについても、エラーに対する耐性を所望の性能とすることができる。

[0644] すなわち、図129ないし図132は、図125ないし図128のビット割り当てパターンに従った入れ替え処理を行った場合のBER(Bit Error Rate)のシミュレーションの結果を示している。

[0645] なお、図129ないし図132において、横軸は、$E_s/N_0$(1シンボルあたりの信号電力対雑音電力比)を表し、縦軸は、BERを表す。

[0646] また、実線が、入れ替え処理を行った場合のBERを表し、一点鎖線が、入れ替え処理を行わない場合のBERを表す。

[0647] 図129は、符号長Nが64800で、符号化率が5/6及び9/10それぞれのLDPC符号について、変調方式として、4096QAMを採用し、倍数bを1として、図125のビット割り当てパターンに従った入れ替え処理を行った場合のBERを示している。

[0648] 図130は、符号長Nが64800で、符号化率が5/6及び9/10それぞれのLDPC符号について、変調方式として、4096QAMを採用し、倍数bを2として、図126のビット割り当てパターンに従った入れ替え処理を行った場合のBERを示している。

000109

[0649] なお、図129及び図130において、三角形の印を付してあるグラフが、符号化率が5/6のLDPC符号についてのBERを表し、アスタリスク(星印)を付してあるグラフが、符号化率が9/10のLDPC符号についてのBERを表す。

[0650] 図131は、符号長Nが16200で、符号化率が3/4,5/6、及び8/9それぞれのLDPC符号と、符号長Nが64800で、符号化率が3/4,5/6、及び9/10それぞれのLDPC符号とについて、変調方式として、1024QAMを採用し、倍数bを2として、図127のビット割り当てパターンに従った入れ替え処理を行った場合のBERを示している。

[0651] なお、図131において、アスタリスクを付してあるグラフが、符号長Nが64800で、符号化率が9/10のLDPC符号についてのBERを表し、上向きの三角形の印を付してあるグラフが、符号長Nが64800で、符号化率が5/6のLDPC符号についてのBERを表す。また、正方形の印を付してあるグラフが、符号長Nが64800で、符号化率が3/4のLDPC符号についてのBERを表す。

[0652] さらに、図131において、丸印を付してあるグラフが、符号長Nが16200で、符号化率が8/9のLDPC符号についてのBERを表し、下向きの三角形の印を付してあるグラフが、符号長Nが16200で、符号化率が5/6のLDPC符号についてのBERを表す。また、プラスの印を付してあるグラフが、符号長Nが16200で、符号化率が3/4のLDPC符号についてのBERを表す。

[0653] 図132は、符号長Nが16200で、符号化率が5/6及び8/9それぞれのLDPC符号と、符号長Nが64800で、符号化率が5/6及び9/10それぞれのLDPC符号とについて、変調方式として、4096QAMを採用し、倍数bを2として、図128のビット割り当てパターンに従った入れ替え処理を行った場合のBERを示している。

[0654] なお、図132において、アスタリスクを付してあるグラフが、符号長Nが64800で、符号化率が9/10のLDPC符号についてのBERを表し、上向きの三角形の印を付してあるグラフが、符号長Nが64800で、符号化率が5/6のLDPC符号についてのBERを表す。

[0655] また、図132において、丸印を付してあるグラフが、符号長Nが16200で、符号化率が8/9のLDPC符号についてのBERを表し、下向きの三角形の印を付してあるグラフが、符号長Nが16200で、符号化率が5/6のLDPC符号についてのBERを表す。

[0656] 図129ないし図132によれば、複数種類のLDPC符号について、同一のビット割り当てパターンを採用することができ、しかも、同一のビット割り当てパターンを採用した複数種類のLDPC符号のいずれについても、エラーに対する耐性を所望の性能とすることができることが分かる。

[0657] すなわち、符号長や符号化率が異なる複数種類のLDPC符号それぞれについて、そのLDPC符号に専用のビット割り当てパターンを採用する場合には、エラーに対する耐性を極めて高性能にすることができるが、異なる種類のLDPC符号ごとに、ビット割り当てパターンの変更が必要になる。

[0658] 一方、図125ないし図128のビット割り当てパターンによれば、符号長や符号化率が異なる複数種類のLDPC符号それぞれについて、同一のビット割り当てパターンを採用することができ、複数種類のLDPC符号それぞれについて、そのLDPC符号に専用のビット割り当てパターンを採用する場合のように、異なる種類のLDPC符号ごとに、ビット割り当てパターンの変更をする必要がなくなる。

[0659] さらに、図125ないし図128のビット割り当てパターンによれば、複数種類のLDPC符号それぞれについて、そのLDPC符号に専用のビット割り当てパターンを採用する場合には多少及ばないものの、それでも、エラーに対する耐性を高性能にすることができる。

[0660] すなわち、例えば、変調方式が4096QAMである場合には、符号長Nが64800で、符号化率が5/6及び9/10それぞれのLDPC符号については、いずれのLDPC符号についても、図125又は図126の、同一のビット割り当てパターンを採用することができる。そして、このように、同一のビット割り当てパターンを採用しても、エラーに対する耐性を高性能にすることができる。

[0661] さらに、例えば、変調方式が1024QAMである場合には、符号長Nが16200で、符号化率が3/4,5/6、及び8/9それぞれのLDPC符号と、符号長Nが64800で、符号化率が3/4,5/6、及び9/10それぞれのLDPC符号とについては、いずれのLDPC符号についても、図127の、同一のビット割り当てパターンを採用することができる。そして、このように、同一のビット割り当てパターンを採用しても、エラーに対する耐性を高性能にすることができる。

[0662] また、例えば、変調方式が4096QAMである場合には、符号長Nが16200で、符号化率が5/6及び8/9それぞれのLDPC符号と、符号長Nが64800で、符号化率が5/6及び9/10それぞれのLDPC符号とについては、いずれのLDPC符号についても、図128の、同一のビット割り当てパターンを採用することができる。そして、このように、同一のビット割り当てパターンを採用しても、エラーに対する耐性を高性能にすることができる。

[0663] ビット割り当てパターンのバリエーションについて、さらに説明する。

[0664] 図133は、LDPC符号が、符号長Nが16200又は64800ビットで、符号化率が、例えば、図78ないし図123に示した検査行列初期値テーブルから生成される検査行列Hで定義されるLDPC符号の符号化率のうちの3/5以外のLDPC符号であり、さらに、変調方式がQPSKで、倍数bが1である場合に採用することができるビット割り当てパターンの例を示している。

[0665] LDPC符号が、符号長Nが16200又は64800ビットで、符号化率が3/5以外のLDPC符号であり、さらに、変調方式がQPSKで、倍数bが1である場合、デマルチプレクサ25では、カラム方向×ロウ方向が(N/(2×1))×(2×1)ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、2×1(=mb)ビット単位で読み出され、入れ替え部32に供給される。

[0666] 入れ替え部32は、メモリ31から読み出される2×1(=mb)ビットの符号ビット$b_0$及び$b_1$を、図133に示すように、1(=b)個のシンボルの2×1(=mb)ビットのシンボルビット$y_0$及び$y_1$に割り当てるように、2×1(=mb)ビットの符号ビット$b_0$及び$b_1$を入れ替える。

[0667] すなわち、図133によれば、入れ替え部32は、

符号ビット$b_0$を、シンボルビット$y_0$に、

符号ビット$b_1$を、シンボルビット$y_1$に、

それぞれ割り当てる入れ替えを行う。

[0668] なお、この場合、入れ替えは行われず、符号ビット$b_0$及び$b_1$が、それぞれ、そのまま、シンボルビット$y_0$及び$y_1$とされると考えることもできる。

[0669] 図134は、LDPC符号が、符号長Nが16200又は64800ビットで、符号化率が3/5以外のLDPC符号であり、さらに、変調方式が16QAMで、倍数bが2である場合に採用

することができるビット割り当てパターンの例を示している。

[0670] LDPC符号が、符号長Nが16200又は64800ビットで、符号化率が3/5以外のLDPC符号であり、さらに、変調方式が16QAMで、倍数bが2である場合、デマルチプレクサ25では、カラム方向×ロウ方向が(N/(4×2))×(4×2)ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、4×2(=mb)ビット単位で読み出され、入れ替え部32に供給される。

[0671] 入れ替え部32は、メモリ31から読み出される4×2(=mb)ビットの符号ビット$b_0$ないし$b_7$を、図134に示すように、連続する2(=b)個のシンボルの4×2(=mb)ビットのシンボルビット$y_0$ないし$y_7$に割り当てるように、4×2(=mb)ビットの符号ビット$b_0$ないし$b_7$を入れ替える。

[0672] すなわち、図134によれば、入れ替え部32は、

符号ビット$b_0$を、シンボルビット$y_7$に、
符号ビット$b_1$を、シンボルビット$y_1$に、
符号ビット$b_2$を、シンボルビット$y_4$に、
符号ビット$b_3$を、シンボルビット$y_2$に、
符号ビット$b_4$を、シンボルビット$y_5$に、
符号ビット$b_5$を、シンボルビット$y_3$に、
符号ビット$b_6$を、シンボルビット$y_6$に、
符号ビット$b_7$を、シンボルビット$y_0$に、
それぞれ割り当てる入れ替えを行う。

[0673] 図135は、変調方式が64QAMであり、かつ、LDPC符号が、符号長Nが16200又は64800ビットで、符号化率が3/5以外のLDPC符号であり、倍数bが2である場合に採用することができるビット割り当てパターンの例を示している。

[0674] LDPC符号が、符号長Nが16200又は64800ビットで、符号化率が3/5以外のLDPC符号であり、さらに、変調方式が64QAMで、倍数bが2である場合、デマルチプレクサ25では、カラム方向×ロウ方向が(N/(6×2))×(6×2)ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、6×2(=mb)ビット単位で読み出され、入れ替え部32に供給される。

[0675] 入れ替え部32は、メモリ31から読み出される6×2(=mb)ビットの符号ビット$b_0$ないし$b_{11}$を、図135に示すように、連続する2(=b)個のシンボルの6×2(=mb)ビットのシンボルビット$y_0$ないし$y_{11}$に割り当てるように、6×2(=mb)ビットの符号ビット$b_0$ないし$b_{11}$を入れ替える。

[0676] すなわち、図135によれば、入れ替え部32は、

符号ビット$b_0$を、シンボルビット$y_{11}$に、
符号ビット$b_1$を、シンボルビット$y_7$に、
符号ビット$b_2$を、シンボルビット$y_3$に、
符号ビット$b_3$を、シンボルビット$y_{10}$に、
符号ビット$b_4$を、シンボルビット$y_6$に、
符号ビット$b_5$を、シンボルビット$y_2$に、
符号ビット$b_6$を、シンボルビット$y_9$に、
符号ビット$b_7$を、シンボルビット$y_5$に、
符号ビット$b_8$を、シンボルビット$y_1$に、
符号ビット$b_9$を、シンボルビット$y_8$に、
符号ビット$b_{10}$を、シンボルビット$y_4$に、
符号ビット$b_{11}$を、シンボルビット$y_0$に、
それぞれ割り当てる入れ替えを行う。

[0677] 図136は、変調方式が256QAMであり、かつ、LDPC符号が、符号長Nが64800ビットで、符号化率が3/5以外のLDPC符号であり、倍数bが2である場合に採用することができるビット割り当てパターンの例を示している。

[0678] LDPC符号が、符号長Nが64800ビットで、符号化率が3/5以外のLDPC符号であり、さらに、変調方式が256QAMで、倍数bが2である場合、デマルチプレクサ25では、カラム方向×ロウ方向が(64800/(8×2))×(8×2)ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、8×2(=mb)ビット単位で読み出され、入れ替え部32に供給される。

[0679] 入れ替え部32は、メモリ31から読み出される8×2(=mb)ビットの符号ビット$b_0$ないし$b_{15}$を、図136に示すように、連続する2(=b)個のシンボルの8×2(=mb)ビットのシンボル

ビット$y_0$ないし$y_{15}$に割り当てるように、8×2(=mb)ビットの符号ビット$b_0$ないし$b_{15}$を入れ替える。

[0680] すなわち、図136によれば、入れ替え部32は、

符号ビット$b_0$を、シンボルビット$y_{15}$に、
符号ビット$b_1$を、シンボルビット$y_1$に、
符号ビット$b_2$を、シンボルビット$y_{13}$に、
符号ビット$b_3$を、シンボルビット$y_3$に、
符号ビット$b_4$を、シンボルビット$y_8$に、
符号ビット$b_5$を、シンボルビット$y_{11}$に、
符号ビット$b_6$を、シンボルビット$y_9$に、
符号ビット$b_7$を、シンボルビット$y_5$に、
符号ビット$b_8$を、シンボルビット$y_{10}$に、
符号ビット$b_9$を、シンボルビット$y_6$に、
符号ビット$b_{10}$を、シンボルビット$y_4$に、
符号ビット$b_{11}$を、シンボルビット$y_7$に、
符号ビット$b_{12}$を、シンボルビット$y_{12}$に、
符号ビット$b_{13}$を、シンボルビット$y_2$に、
符号ビット$b_{14}$を、シンボルビット$y_{14}$に、
符号ビット$b_{15}$を、シンボルビット$y_0$に、
それぞれ割り当てる入れ替えを行う。

[0681] 図137は、変調方式が256QAMであり、かつ、LDPC符号が、符号長Nが16200ビットで、符号化率が3/5以外のLDPC符号であり、倍数bが1である場合に採用することができるビット割り当てパターンの例を示している。

[0682] LDPC符号が、符号長Nが16200ビットで、符号化率が3/5以外のLDPC符号であり、さらに、変調方式が256QAMで、倍数bが1である場合、デマルチプレクサ25では、カラム方向×ロウ方向が(16200/(8×1))×(8×1)ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、8×1(=mb)ビット単位で読み出され、入れ替え部32に供給される。

000115

[0683] 入れ替え部32は、メモリ31から読み出される8×1(=mb)ビットの符号ビット$b_0$ないし$b_7$を、図137に示すように、1(=b)個のシンボルの8×1(=mb)ビットのシンボルビット$y_0$ないし$y_7$に割り当てるように、8×1(=mb)ビットの符号ビット$b_0$ないし$b_7$を入れ替える。

[0684] すなわち、図137によれば、入れ替え部32は、

符号ビット$b_0$を、シンボルビット$y_7$に、

符号ビット$b_1$を、シンボルビット$y_3$に、

符号ビット$b_2$を、シンボルビット$y_1$に、

符号ビット$b_3$を、シンボルビット$y_5$に、

符号ビット$b_4$を、シンボルビット$y_2$に、

符号ビット$b_5$を、シンボルビット$y_6$に、

符号ビット$b_6$を、シンボルビット$y_4$に、

符号ビット$b_7$を、シンボルビット$y_0$に、

それぞれ割り当てる入れ替えを行う。

[0685] 図138は、LDPC符号が、符号長Nが16200又は64800ビットで、符号化率が3/5のLDPC符号であり、さらに、変調方式がQPSKで、倍数bが1である場合に採用することができるビット割り当てパターンの例を示している。

[0686] LDPC符号が、符号長Nが16200又は64800ビットで、符号化率が3/5のLDPC符号であり、さらに、変調方式がQPSKで、倍数bが1である場合、デマルチプレクサ25では、カラム方向×ロウ方向が(N/(2×1))×(2×1)ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、2×1(=mb)ビット単位で読み出され、入れ替え部32に供給される。

[0687] 入れ替え部32は、メモリ31から読み出される2×1(=mb)ビットの符号ビット$b_0$及び$b_1$を、図138に示すように、1(=b)個のシンボルの2×1(=mb)ビットのシンボルビット$y_0$及び$y_1$に割り当てるように、2×1(=mb)ビットの符号ビット$b_0$及び$b_1$を入れ替える。

[0688] すなわち、図138によれば、入れ替え部32は、

符号ビット$b_0$を、シンボルビット$y_0$に、

符号ビット$b_1$を、シンボルビット$y_1$に、

それぞれ割り当てる入れ替えを行う。

[0689] なお、この場合、入れ替えは行われず、符号ビット$b_0$及び$b_1$が、それぞれ、そのまま、シンボルビット$y_0$及び$y_1$とされると考えることもできる。

[0690] 図139は、LDPC符号が、符号長Nが64800ビットで、符号化率が3/5のLDPC符号であり、さらに、変調方式が16QAMで、倍数bが2である場合に採用することができるビット割り当てパターンの例を示している。

[0691] LDPC符号が、符号長Nが64800ビットで、符号化率が3/5のLDPC符号であり、さらに、変調方式が16QAMで、倍数bが2である場合、デマルチプレクサ25では、カラム方向×ロウ方向が(64800/(4×2))×(4×2)ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、4×2(=mb)ビット単位で読み出され、入れ替え部32に供給される。

[0692] 入れ替え部32は、メモリ31から読み出される4×2(=mb)ビットの符号ビット$b_0$ないし$b_7$を、図139に示すように、連続する2(=b)個のシンボルの4×2(=mb)ビットのシンボルビット$y_0$ないし$y_7$に割り当てるように、4×2(=mb)ビットの符号ビット$b_0$ないし$b_7$を入れ替える。

[0693] すなわち、図139によれば、入れ替え部32は、

符号ビット$b_0$を、シンボルビット$y_0$に、
符号ビット$b_1$を、シンボルビット$y_5$に、
符号ビット$b_2$を、シンボルビット$y_1$に、
符号ビット$b_3$を、シンボルビット$y_2$に、
符号ビット$b_4$を、シンボルビット$y_4$に、
符号ビット$b_5$を、シンボルビット$y_7$に、
符号ビット$b_6$を、シンボルビット$y_3$に、
符号ビット$b_7$を、シンボルビット$y_6$に、
それぞれ割り当てる入れ替えを行う。

[0694] 図140は、LDPC符号が、符号長Nが16200ビットで、符号化率が3/5のLDPC符号であり、さらに、変調方式が16QAMで、倍数bが2である場合に採用することができるビット割り当てパターンの例を示している。

[0695] LDPC符号が、符号長Nが16200ビットで、符号化率が3/5のLDPC符号であり、さらに、変調方式が16QAMで、倍数bが2である場合、デマルチプレクサ25では、カラム

000127

方向×ロウ方向が(16200/(4×2))×(4×2)ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、4×2(=mb)ビット単位で読み出され、入れ替え部32に供給される。

[0696] 入れ替え部32は、メモリ31から読み出される4×2(=mb)ビットの符号ビット$b_0$ないし$b_7$を、図140に示すように、連続する2(=b)個のシンボルの4×2(=mb)ビットのシンボルビット$y_0$ないし$y_7$に割り当てるように、4×2(=mb)ビットの符号ビット$b_0$ないし$b_7$を入れ替える。

[0697] すなわち、図140によれば、入れ替え部32は、

符号ビット$b_0$を、シンボルビット$y_7$に、

符号ビット$b_1$を、シンボルビット$y_1$に、

符号ビット$b_2$を、シンボルビット$y_4$に、

符号ビット$b_3$を、シンボルビット$y_2$に、

符号ビット$b_4$を、シンボルビット$y_5$に、

符号ビット$b_5$を、シンボルビット$y_3$に、

符号ビット$b_6$を、シンボルビット$y_6$に、

符号ビット$b_7$を、シンボルビット$y_0$に、

それぞれ割り当てる入れ替えを行う。

[0698] 図141は、変調方式が64QAMであり、かつ、LDPC符号が、符号長Nが64800ビットで、符号化率が3/5のLDPC符号であり、倍数bが2である場合に採用することができるビット割り当てパターンの例を示している。

[0699] LDPC符号が、符号長Nが64800ビットで、符号化率が3/5のLDPC符号であり、さらに、変調方式が64QAMで、倍数bが2である場合、デマルチプレクサ25では、カラム方向×ロウ方向が(64800/(6×2))×(6×2)ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、6×2(=mb)ビット単位で読み出され、入れ替え部32に供給される。

[0700] 入れ替え部32は、メモリ31から読み出される6×2(=mb)ビットの符号ビット$b_0$ないし$b_{11}$を、図141に示すように、連続する2(=b)個のシンボルの6×2(=mb)ビットのシンボルビット$y_0$ないし$y_{11}$に割り当てるように、6×2(=mb)ビットの符号ビット$b_0$ないし$b_{11}$を入れ替える。

[0701] すなわち、図141によれば、入れ替え部32は、

000118

符号ビット$b_0$を、シンボルビット$y_2$に、

符号ビット$b_1$を、シンボルビット$y_7$に、

符号ビット$b_2$を、シンボルビット$y_6$に、

符号ビット$b_3$を、シンボルビット$y_9$に、

符号ビット$b_4$を、シンボルビット$y_0$に、

符号ビット$b_5$を、シンボルビット$y_3$に、

符号ビット$b_6$を、シンボルビット$y_1$に、

符号ビット$b_7$を、シンボルビット$y_8$に、

符号ビット$b_8$を、シンボルビット$y_4$に、

符号ビット$b_9$を、シンボルビット$y_{11}$に、

符号ビット$b_{10}$を、シンボルビット$y_5$に、

符号ビット$b_{11}$を、シンボルビット$y_{10}$に、

それぞれ割り当てる入れ替えを行う。

[0702] 図142は、変調方式が64QAMであり、かつ、LDPC符号が、符号長Nが16200ビットで、符号化率が3/5のLDPC符号であり、倍数bが2である場合に採用することができるビット割り当てパターンの例を示している。

[0703] LDPC符号が、符号長Nが16200ビットで、符号化率が3/5のLDPC符号であり、さらに、変調方式が64QAMで、倍数bが2である場合、デマルチプレクサ25では、カラム方向×ロウ方向が(16200/(6×2))×(6×2)ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、6×2(=mb)ビット単位で読み出され、入れ替え部32に供給される。

[0704] 入れ替え部32は、メモリ31から読み出される6×2(=mb)ビットの符号ビット$b_0$ないし$b_{11}$を、図142に示すように、連続する2(=b)個のシンボルの6×2(=mb)ビットのシンボルビット$y_0$ないし$y_{11}$に割り当てるように、6×2(=mb)ビットの符号ビット$b_0$ないし$b_{11}$を入れ替える。

[0705] すなわち、図142によれば、入れ替え部32は、

符号ビット$b_0$を、シンボルビット$y_{11}$に、

符号ビット$b_1$を、シンボルビット$y_7$に、

符号ビット$b_2$を、シンボルビット$y_3$に、

符号ビット$b_3$を、シンボルビット$y_{10}$に、

符号ビット$b_4$を、シンボルビット$y_6$に、

符号ビット$b_5$を、シンボルビット$y_2$に、

符号ビット$b_6$を、シンボルビット$y_9$に、

符号ビット$b_7$を、シンボルビット$y_5$に、

符号ビット$b_8$を、シンボルビット$y_1$に、

符号ビット$b_9$を、シンボルビット$y_8$に、

符号ビット$b_{10}$を、シンボルビット$y_4$に、

符号ビット$b_{11}$を、シンボルビット$y_0$に、

それぞれ割り当てる入れ替えを行う。

[0706] 図143は、変調方式が256QAMであり、かつ、LDPC符号が、符号長Nが64800ビットで、符号化率が3/5のLDPC符号であり、倍数bが2である場合に採用することができるビット割り当てパターンの例を示している。

[0707] LDPC符号が、符号長Nが64800ビットで、符号化率が3/5のLDPC符号であり、さらに、変調方式が256QAMで、倍数bが2である場合、デマルチプレクサ25では、カラム方向×ロウ方向が(64800/(8×2))×(8×2)ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、8×2(=mb)ビット単位で読み出され、入れ替え部32に供給される。

[0708] 入れ替え部32は、メモリ31から読み出される8×2(=mb)ビットの符号ビット$b_0$ないし$b_{15}$を、図143に示すように、連続する2(=b)個のシンボルの8×2(=mb)ビットのシンボルビット$y_0$ないし$y_{15}$に割り当てるように、8×2(=mb)ビットの符号ビット$b_0$ないし$b_{15}$を入れ替える。

[0709] すなわち、図143によれば、入れ替え部32は、

符号ビット$b_0$を、シンボルビット$y_2$に、

符号ビット$b_1$を、シンボルビット$y_{11}$に、

符号ビット$b_2$を、シンボルビット$y_3$に、

符号ビット$b_3$を、シンボルビット$y_4$に、

符号ビット$b_4$を、シンボルビット$y_0$に、

符号ビット$b_5$を、シンボルビット$y_9$に、

符号ビット$b_6$を、シンボルビット$y_1$に、
符号ビット$b_7$を、シンボルビット$y_8$に、
符号ビット$b_8$を、シンボルビット$y_{10}$に、
符号ビット$b_9$を、シンボルビット$y_{13}$に、
符号ビット$b_{10}$を、シンボルビット$y_7$に、
符号ビット$b_{11}$を、シンボルビット$y_{14}$に、
符号ビット$b_{12}$を、シンボルビット$y_6$に、
符号ビット$b_{13}$を、シンボルビット$y_{15}$に、
符号ビット$b_{14}$を、シンボルビット$y_5$に、
符号ビット$b_{15}$を、シンボルビット$y_{12}$に、
それぞれ割り当てる入れ替えを行う。

[0710] 図144は、変調方式が256QAMであり、かつ、LDPC符号が、符号長Nが16200ビットで、符号化率が3/5のLDPC符号であり、倍数bが1である場合に採用することができるビット割り当てパターンの例を示している。

[0711] LDPC符号が、符号長Nが16200ビットで、符号化率が3/5のLDPC符号であり、さらに、変調方式が256QAMで、倍数bが1である場合、デマルチプレクサ25では、カラム方向×ロウ方向が(16200/(8×1))×(8×1)ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、8×1(=mb)ビット単位で読み出され、入れ替え部32に供給される。

[0712] 入れ替え部32は、メモリ31から読み出される8×1(=mb)ビットの符号ビット$b_0$ないし$b_7$を、図144に示すように、1(=b)個のシンボルの8×1(=mb)ビットのシンボルビット$y_0$ないし$y_7$に割り当てるように、8×1(=mb)ビットの符号ビット$b_0$ないし$b_7$を入れ替える。

[0713] すなわち、図144によれば、入れ替え部32は、
符号ビット$b_0$を、シンボルビット$y_7$に、
符号ビット$b_1$を、シンボルビット$y_3$に、
符号ビット$b_2$を、シンボルビット$y_1$に、
符号ビット$b_3$を、シンボルビット$y_5$に、
符号ビット$b_4$を、シンボルビット$y_2$に、
符号ビット$b_5$を、シンボルビット$y_6$に、

符号ビット$b_6$を、シンボルビット$y_4$に、

符号ビット$b_7$を、シンボルビット$y_0$に、

それぞれ割り当てる入れ替えを行う。

[0714] 次に、受信装置12を構成するデインターリーバ53について説明する。

[0715] 図145は、デインターリーバ53を構成するマルチプレクサ54の処理を説明する図である。

[0716] すなわち、図145Aは、マルチプレクサ54の機能的な構成例を示している。

[0717] マルチプレクサ54は、逆入れ替え部1001、及びメモリ1002から構成される。

[0718] マルチプレクサ54は、前段のデマッピング部52から供給されるシンボルのシンボルビットを対象として、送信装置11のデマルチプレクサ25が行う入れ替え処理に対応する逆入れ替え処理(入れ替え処理の逆の処理)、すなわち、入れ替え処理によって入れ替えられたLDPC符号の符号ビット(シンボルビット)の位置を元の位置に戻す逆入れ替え処理を行い、その結果得られるLDPC符号を、後段のカラムツイストデインターリーバ55に供給する。

[0719] すなわち、マルチプレクサ54において、逆入れ替え部1001には、(連続する)b個のシンボルの単位で、そのb個のシンボルのmbビットのシンボルビット$y_0, y_1, \cdots, y_{mb-1}$が供給される。

[0720] 逆入れ替え部1001は、mbビットのシンボルビット$y_0$ないし$y_{mb-1}$を、元のmbビットの符号ビット$b_0, b_1, \cdots, b_{mb-1}$の並び(送信装置11側のデマルチプレクサ25を構成する入れ替え部32での入れ替えが行われる前の符号ビット$b_0$ないし$b_{mb-1}$の並び)に戻す逆入れ替えを行い、その結果得られるmbビットの符号ビット$b_0$ないし$b_{mb-1}$を出力する。

[0721] メモリ1002は、送信装置11側のデマルチプレクサ25を構成するメモリ31と同様に、ロウ(row)(横)方向にmbビットを記憶するとともに、カラム(column)(縦)方向にN/(mb)ビットを記憶する記憶容量を有する。すなわち、メモリ1002は、N/(mb)ビットを記憶するmb個のカラムから構成される。

[0722] 但し、メモリ1002では、送信装置11のデマルチプレクサ25のメモリ31からの符号ビットの読み出しが行われる方向に、逆入れ替え部1001が出力するLDPC符号の符号ビットの書き込みが行われ、メモリ31への符号ビットの書き込みが行われる方向に

、メモリ1002に書き込まれた符号ビットの読み出しが行われる。

[0723] すなわち、受信装置12のマルチプレクサ54では、図145Aに示すように、逆入れ替え部1001が出力するLDPC符号の符号ビットを、mbビット単位で、ロウ方向に書き込むことが、メモリ1002の1行目から下の行に向かって順次行われる。

[0724] そして、1符号長分の符号ビットの書き込みが終了すると、マルチプレクサ54では、メモリ1002から、符号ビットを、カラム方向に読み出して、後段のカラムツイストデインターリーバ55に供給する。

[0725] ここで、図145Bは、メモリ1002からの符号ビットの読み出しを示す図である。

[0726] マルチプレクサ54では、LDPC符号の符号ビットを、メモリ1002を構成するカラムの上から下方向(カラム方向)に読み出すことが、左から右方向のカラムに向かって行われる。

[0727] 次に、図146を参照して、受信装置12におけるデインターリーバ53を構成するカラムツイストデインターリーバ55の処理を説明する。

[0728] 図146は、マルチプレクサ54のメモリ1002の構成例を示している。

[0729] メモリ1002は、カラム(縦)方向にmbビットを記憶するとともに、ロウ(横)方向にN/(mb)ビットを記憶する記憶容量を有し、mb個のカラムから構成される。

[0730] カラムツイストデインターリーバ55は、メモリ1002に対して、LDPC符号の符号ビットを、ロウ方向に書き込み、カラム方向に読み出すときの読み出し始めの位置を制御することで、カラムツイストデインターリーブを行う。

[0731] すなわち、カラムツイストデインターリーバ55では、複数のカラムそれぞれについて、符号ビットの読み出しを開始する読み出し始めの位置を、適宜変更することで、カラムツイストインターリーブで並び替えられた符号ビットの並びを、元の並びに戻す逆並び替え処理を行う。

[0732] ここで、図146は、変調方式が16QAMであり、かつ、倍数bが1である場合の、メモリ1002の構成例を示している。したがって、1シンボルのビット数mは、4ビットであり、また、メモリ1002は、4(=mb)個のカラムで構成される。

[0733] カラムツイストデインターリーバ55は、(マルチプレクサ54に代わり、)入れ替え部1001が出力するLDPC符号の符号ビットのロウ方向への書き込みを、メモリ1002の1

行目から下の行に向かって順次行う。

[0734] そして、1符号長分の符号ビットの書き込みが終了すると、カラムツイストデインターリーバ55は、符号ビットを、メモリ1002の上から下方向(カラム方向)に読み出すことを、左から右方向のカラムに向かって行う。

[0735] 但し、カラムツイストデインターリーバ55は、送信装置11側のカラムツイストインターリーバ24が符号ビットを書き込む書き始めの位置を、符号ビットの読み出し始めの位置として、メモリ1002からの符号ビットの読み出しを行う。

[0736] すなわち、各カラムの先頭(一番上)の位置のアドレスを0として、カラム方向の各位置のアドレスを、昇順の整数で表すこととすると、変調方式が16QAMであり、かつ、倍数bが1である場合には、カラムツイストデインターリーバ55では、最も左のカラムについては、読み出し始めの位置を、アドレスが0の位置とし、(左から)2番目のカラムについては、読み出し始めの位置を、アドレスが2の位置とし、3番目のカラムについては、読み出し始めの位置を、アドレスが4の位置とし、4番目のカラムについては、読み出し始めの位置を、アドレスが7の位置とする。

[0737] なお、読み出し始めの位置が、アドレスが0の位置以外の位置のカラムについては、符号ビットの読み出しを、最も下の位置まで行った後は、先頭(アドレスが0の位置)に戻り、読み出し始めの位置の直前の位置までの読み出しが行われる。そして、その後、次(右)のカラムからの読み出しが行われる。

[0738] 以上のようなカラムツイストデインターリーブを行うことにより、カラムツイストインターリーブで並び替えられた符号ビットの並びが、元の並びに戻される。

[0739] 次に、図147は、受信装置12の他の構成例を示すブロック図である。

[0740] 図147において、受信装置12は、送信装置11からの変調信号を受信するデータ処理装置であり、直交復調部51、デマッピング部52、デインターリーバ53、及びLDPC復号部1021から構成される。

[0741] 直交復調部51は、送信装置11からの変調信号を受信し、直交復調を行って、その結果得られるシンボル(I及びQ軸方向それぞれの値)を、デマッピング部52に供給する。

[0742] デマッピング部52は、直交復調部51からのシンボルを、LDPC符号の符号ビットに

するデマッピングを行い、デインターリーバ53に供給する。

[0743] デインターリーバ53は、マルチプレクサ(MUX)54、カラムツイストデインターリーバ55、及び、パリティデインターリーバ1011から構成され、デマッピング部52からのLDPC符号の符号ビットのデインターリーブを行う。

[0744] すなわち、マルチプレクサ54は、デマッピング部52からのLDPC符号を対象として、送信装置11のデマルチプレクサ25が行う入れ替え処理に対応する逆入れ替え処理(入れ替え処理の逆の処理)、すなわち、入れ替え処理によって入れ替えられた符号ビットの位置を元の位置に戻す逆入れ替え処理を行い、その結果得られるLDPC符号を、カラムツイストデインターリーバ55に供給する。

[0745] カラムツイストデインターリーバ55は、マルチプレクサ54からのLDPC符号を対象として、送信装置11のカラムツイストインターリーバ24が行う並び替え処理としてのカラムツイストインターリーブに対応するカラムツイストデインターリーブを行う。

[0746] カラムツイストデインターリーブの結果得られるLDPC符号は、カラムツイストデインターリーバ55からパリティデインターリーバ1011に供給される。

[0747] パリティデインターリーバ1011は、カラムツイストデインターリーバ55でのカラムツイストデインターリーブ後の符号ビットを対象として、送信装置11のパリティインターリーバ23が行うパリティインターリーブに対応するパリティデインターリーブ(パリティインターリーブの逆の処理)、すなわち、パリティインターリーブによって並びが変更されたLDPC符号の符号ビットを、元の並びに戻すパリティデインターリーブを行う。

[0748] パリティデインターリーブの結果得られるLDPC符号は、パリティデインターリーバ1011からLDPC復号部1021に供給される。

[0749] したがって、図147の受信装置12では、LDPC復号部1021には、逆入れ替え処理、カラムツイストデインターリーブ、及び、パリティデインターリーブが行われたLDPC符号、すなわち、検査行列Hに従ったLDPC符号化によって得られるLDPC符号が供給される。

[0750] LDPC復号部1021は、デインターリーバ53からのLDPC符号のLDPC復号を、送信装置11のLDPC符号化部21がLDPC符号化に用いた検査行列Hそのもの、又は、その検査行列Hに対して、パリティインターリーブに相当する列置換を少なくとも行って

得られる変換検査行列を用いて行い、その結果得られるデータを、対象データの復号結果として出力する。

[0751] ここで、図147の受信装置12では、デインターリーバ53(のパリティデインターリーバ1011)からLDPC復号部1021に対して、検査行列Hに従ったLDPC符号化によって得られるLDPC符号が供給されるため、そのLDPC符号のLDPC復号を、送信装置11のLDPC符号化部21がLDPC符号化に用いた検査行列Hそのものを用いて行う場合には、LDPC復号部1021は、例えば、メッセージ(チェックノードメッセージ、バリアブルノードメッセージ)の演算を1個のノードずつ順次行うフルシリアルデコーディング(full serial decoding)方式によるLDPC復号を行う復号装置や、メッセージの演算をすべてのノードについて同時(並列)に行うフルパラレルデコーディング(full parallel decoding)方式によるLDPC復号を行う復号装置で構成することができる。

[0752] また、LDPC復号部1021において、LDPC符号のLDPC復号を、送信装置11のLDPC符号化部21がLDPC符号化に用いた検査行列Hに対して、パリティインターリーブに相当する列置換を少なくとも行って得られる変換検査行列を用いて行う場合には、チェックノード演算、及びバリアブルノード演算を、P(又はPの1以外の約数)個同時に行うアーキテクチャ(architecture)の復号装置であって、変換検査行列を得るための列置換と同様の列置換を、LDPC符号に施すことにより、そのLDPC符号の符号ビットを並び替える受信データ並べ替え部310を有する復号装置で構成することができる。

[0753] なお、図147では、説明の便宜のため、逆入れ替え処理を行うマルチプレクサ54、カラムツイストデインターリーブを行うカラムツイストデインターリーバ55、及び、パリティデインターリーブを行うパリティデインターリーバ1011それぞれを、別個に構成するようにしたが、マルチプレクサ54、カラムツイストデインターリーバ55、及び、パリティデインターリーバ1011の2以上は、送信装置11のパリティインターリーバ23、カラムツイストインターリーバ24、及び、デマルチプレクサ25と同様に、一体的に構成することができる。

[0754] 次に、図148は、受信装置12に適用可能な受信システムの第1の構成例を示すブロック図である。

[0755] 図148において、受信システムは、取得部1101、伝送路復号処理部1102、及び、情報源復号処理部1103から構成される。

[0756] 取得部1101は、番組の画像データや音声データ等の対象データを、少なくともLDPC符号化することで得られるLDPC符号を含む信号を、例えば、地上ディジタル放送、衛星ディジタル放送、CATV網、インターネットその他のネットワーク等の、図示せぬ伝送路を介して取得し、伝送路復号処理部1102に供給する。

[0757] ここで、取得部1101が取得する信号が、例えば、放送局から、地上波や、衛星波、CATV(Cable Television)網等を介して放送されてくる場合には、取得部1101は、チューナやSTB(Set Top Box)等で構成される。また、取得部1101が取得する信号が、例えば、webサーバから、IPTV(Internet Protocol Television)のようにマルチキャストで送信されてくる場合には、取得部11は、例えば、NIC(Network Interface Card)等のネットワークI/F(Inter face)で構成される。

[0758] 伝送路復号処理部1102は、取得部1101が伝送路を介して取得した信号に対して、伝送路で生じる誤りを訂正する処理を少なくとも含む伝送路復号処理を施し、その結果得られる信号を、情報源復号処理部1103に供給する。

[0759] すなわち、取得部1101が伝送路を介して取得した信号は、伝送路で生じる誤りを訂正するための誤り訂正符号化を、少なくとも行うことで得られた信号であり、伝送路復号処理部1102は、そのような信号に対して、例えば、誤り訂正処理等の伝送路復号処理を施す。

[0760] ここで、誤り訂正符号化としては、例えば、LDPC符号化や、リードソロモン符号化等がある。ここでは、誤り訂正符号化として、少なくとも、LDPC符号化が行われている。

[0761] また、伝送路復号処理には、変調信号の復調等が含まれることがある。

[0762] 情報源復号処理部1103は、伝送路復号処理が施された信号に対して、圧縮された情報を元の情報に伸張する処理を少なくとも含む情報源復号処理を施す。

[0763] すなわち、取得部1101が伝送路を介して取得した信号には、情報としての画像や音声等のデータ量を少なくするために、情報を圧縮する圧縮符号化が施されていることがあり、その場合、情報源復号処理部1103は、伝送路復号処理が施された信号に対して、圧縮された情報を元の情報に伸張する処理(伸張処理)等の情報源復号

000127

処理を施す。

[0764] なお、取得部1101が伝送路を介して取得した信号に、圧縮符号化が施されていない場合には、情報源復号処理部1103では、圧縮された情報を元の情報に伸張する処理は行われない。

[0765] ここで、伸張処理としては、例えば、MPEGデコード等がある。また、伝送路復号処理には、伸張処理の他、デスクランブル等が含まれることがある。

[0766] 以上のように構成される受信システムでは、取得部1101において、例えば、画像や音声等のデータに対して、MPEG符号化等の圧縮符号化が施され、さらに、LDPC符号化等の誤り訂正符号化が施された信号が、伝送路を介して取得され、伝送路復号処理部1102に供給される。

[0767] 伝送路復号処理部1102では、取得部1101からの信号に対して、例えば、直交復調部51や、デマッピング部52、デインターリーバ53、LDPC復号部56(又はLDPC復号部1021)と同様の処理が、伝送路復号処理として施され、その結果得られる信号が、情報源復号処理部1103に供給される。

[0768] 情報源復号処理部1103では、伝送路復号処理部1102からの信号に対して、MPEGデコード等の情報源復号処理が施され、その結果得られる画像、又は音声が出力される。

[0769] 以上のような図148の受信システムは、例えば、ディジタル放送としてのテレビジョン放送を受信するテレビチューナ等に適用することができる。

[0770] なお、取得部1101、伝送路復号処理部1102、及び、情報源復号処理部1103は、それぞれ、1つの独立した装置(ハードウェア(IC(Integrated Circuit)等))、又はソフトウエアモジュール)として構成することが可能である。

[0771] また、取得部1101、伝送路復号処理部1102、及び、情報源復号処理部1103については、取得部1101と伝送路復号処理部1102とのセットや、伝送路復号処理部1102と情報源復号処理部1103とのセット、取得部1101、伝送路復号処理部1102、及び、情報源復号処理部1103のセットを、1つの独立した装置として構成することが可能である。

[0772] 図149は、受信装置12に適用可能な受信システムの第2の構成例を示すブロック

図である。

[0773] なお、図中、図148の場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

[0774] 図149の受信システムは、取得部1101、伝送路復号処理部1102、及び、情報源復号処理部1103を有する点で、図148の場合と共通し、出力部1111が新たに設けられている点で、図148の場合と相違する。

[0775] 出力部1111は、例えば、画像を表示する表示装置や、音声を出力するスピーカであり、情報源復号処理部1103から出力される信号としての画像や音声等を出力する。すなわち、出力部1111は、画像を表示し、あるいは、音声を出力する。

[0776] 以上のような図149の受信システムは、例えば、ディジタル放送としてのテレビジョン放送を受信するTV(テレビジョン受像機)や、ラジオ放送を受信するラジオ受信機等に適用することができる。

[0777] なお、取得部1101において取得された信号に、圧縮符号化が施されていない場合には、伝送路復号処理部1102が出力する信号が、出力部1111に供給される。

[0778] 図150は、受信装置12に適用可能な受信システムの第3の構成例を示すブロック図である。

[0779] なお、図中、図148の場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

[0780] 図150の受信システムは、取得部1101、及び、伝送路復号処理部1102を有する点で、図148の場合と共通する。

[0781] 但し、図150の受信システムは、情報源復号処理部1103が設けられておらず、記録部1121が新たに設けられている点で、図148の場合と相違する。

[0782] 記録部1121は、伝送路復号処理部1102が出力する信号(例えば、MPEGのTSのTSパケット)を、光ディスクや、ハードディスク(磁気ディスク)、フラッシュメモリ等の記録(記憶)媒体に記録する(記憶させる)。

[0783] 以上のような図150の受信システムは、テレビジョン放送を録画するレコーダ等に適用することができる。

[0784] なお、図150において、受信システムは、情報源復号処理部1103を設けて構成し

000129

、情報源復号処理部1103で、情報源復号処理が施された後の信号、すなわち、デコードによって得られる画像や音声を、記録部1121で記録することができる。

[0785] なお、本発明の実施の形態は、上述した実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能である。

# 請求の範囲

[1] 符号長がNビットのLDPC(Low Density Parity Check)符号の符号ビットを、ロウ方向とカラム方向に記憶する記憶手段の前記カラム方向に書き込まれ、前記ロウ方向に読み出される前記LDPC符号の符号ビットのmビットが1個のシンボルとされ、かつ、

所定の正の整数をbとして、

前記記憶手段は、前記ロウ方向にmbビットを記憶するとともに、前記カラム方向にN/(mb)ビットを記憶し、

前記LDPC符号の符号ビットは、前記記憶手段の前記カラム方向に書き込まれ、その後、前記ロウ方向に読み出され、

前記記憶手段の前記ロウ方向に読み出されるmbビットの符号ビットが、b個の前記シンボルにされる場合に、

前記mbビットの符号ビットを入れ替えて、入れ替え後の符号ビットを、前記シンボルを表すシンボルビットとする入れ替え手段を備え、

前記LDPC符号は、DVB-S.2又はDVB-T.2の規格に規定された、符号長Nが64800ビットで、符号化率が2/3のLDPC符号であり、

前記mビットが8ビットであり、かつ、前記整数bが2であり、

前記符号ビットの8ビットが、1個の前記シンボルとして、256QAMで定める256個の信号点のうちのいずれかにマッピングされ、

前記記憶手段が、ロウ方向に8×2ビットを記憶する16個のカラムを有し、カラム方向に64800/(8×2)ビットを記憶し、

前記入れ替え手段は、

前記記憶手段のロウ方向に読み出される8×2ビットの符号ビットの最上位ビットからi+1ビット目を、ビット$b_i$とするとともに、連続する2個の前記シンボルの8×2ビットのシンボルビットの最上位ビットからi+1ビット目を、ビット$y_i$として、

ビット$b_0$を、ビット$y_{15}$に、

ビット$b_1$を、ビット$y_7$に、

ビット$b_2$を、ビット$y_1$に、

ビット$b_3$を、ビット$y_5$に、

ビット$b_4$を、ビット$y_6$に、

ビット$b_5$を、ビット$y_{13}$に、

ビット$b_6$を、ビット$y_{11}$に、

ビット$b_7$を、ビット$y_9$に、

ビット$b_8$を、ビット$y_8$に、

ビット$b_9$を、ビット$y_{14}$に、

ビット$b_{10}$を、ビット$y_{12}$に、

ビット$b_{11}$を、ビット$y_3$に、

ビット$b_{12}$を、ビット$y_0$に、

ビット$b_{13}$を、ビット$y_{10}$に、

ビット$b_{14}$を、ビット$y_4$に、

ビット$b_{15}$を、ビット$y_2$に、

それぞれ割り当てる入れ替えを行う

データ処理装置。

[2] 符号長がNビットのLDPC(Low Density Parity Check)符号の符号ビットを、ロウ方向とカラム方向に記憶する記憶手段の前記カラム方向に書き込まれ、前記ロウ方向に読み出される前記LDPC符号の符号ビットのmビットが1個のシンボルとされ、かつ、

所定の正の整数をbとして、

前記記憶手段は、前記ロウ方向にmbビットを記憶するとともに、前記カラム方向にN/(mb)ビットを記憶し、

前記LDPC符号の符号ビットは、前記記憶手段の前記カラム方向に書き込まれ、その後、前記ロウ方向に読み出され、

前記記憶手段の前記ロウ方向に読み出されるmbビットの符号ビットが、b個の前記シンボルにされる場合に、

前記mbビットの符号ビットを入れ替えて、入れ替え後の符号ビットを、前記シンボルを表すシンボルビットとする入れ替えステップを備え、

前記LDPC符号は、DVB-S.2又はDVB-T.2の規格に規定された、符号長Nが64800ビットで、符号化率が2/3のLDPC符号であり、

前記mビットが8ビットであり、かつ、前記整数bが2であり、

前記符号ビットの8ビットが、1個の前記シンボルとして、256QAMで定める256個の信号点のうちのいずれかにマッピングされ、

前記記憶手段が、ロウ方向に8×2ビットを記憶する16個のカラムを有し、カラム方向に64800/(8×2)ビットを記憶し、

前記入れ替えステップでは、

前記記憶手段のロウ方向に読み出される8×2ビットの符号ビットの最上位ビットからi+1ビット目を、ビット$b_i$とするとともに、連続する2個の前記シンボルの8×2ビットのシンボルビットの最上位ビットからi+1ビット目を、ビット$y_i$として、

ビット$b_0$を、ビット$y_{15}$に、

ビット$b_1$を、ビット$y_7$に、

ビット$b_2$を、ビット$y_1$に、

ビット$b_3$を、ビット$y_5$に、

ビット$b_4$を、ビット$y_6$に、

ビット$b_5$を、ビット$y_{13}$に、

ビット$b_6$を、ビット$y_{11}$に、

ビット$b_7$を、ビット$y_9$に、

ビット$b_8$を、ビット$y_8$に、

ビット$b_9$を、ビット$y_{14}$に、

ビット$b_{10}$を、ビット$y_{12}$に、

ビット$b_{11}$を、ビット$y_3$に、

ビット$b_{12}$を、ビット$y_0$に、

ビット$b_{13}$を、ビット$y_{10}$に、

ビット$b_{14}$を、ビット$y_4$に、

ビット$b_{15}$を、ビット$y_2$に、

それぞれ割り当てる入れ替えを行う

データ処理方法。

[3] LDPC(Low Density Parity Check)符号による符号化を行う符号化装置において、

符号長が64800ビットで、符号化率が2/3のLDPC符号による符号化を行う符号化手段を備え、

前記LDPC符号の検査行列は、その検査行列の、前記符号長、及び前記符号化率に応じた情報長に対応する情報行列の1の要素の位置を360列ごとに表す検査行列初期値テーブルによって定まる前記情報行列の1の要素を、列方向に360列ごとの周期で配置して構成され、

前記検査行列初期値テーブルは、

317 2255 2324 2723 3538 3576 6194 6700 9101 10057 12739 17407 21039

1958 2007 3294 4394 12762 14505 14593 14692 16522 17737 19245 21272 21379

127 860 5001 5633 8644 9282 12690 14644 17553 19511 19681 20954 21002

2514 2822 5781 6297 8063 9469 9551 11407 11837 12985 15710 20236 20393

1565 3106 4659 4926 6495 6872 7343 8720 15785 16434 16727 19884 21325

706 3220 8568 10896 12486 13663 16398 16599 19475 19781 20625 20961 21335

4257 10449 12406 14561 16049 16522 17214 18029 18033 18802 19062 19526 20748

412 433 558 2614 2978 4157 6584 9320 11683 11819 13024 14486 16860

777 5906 7403 8550 8717 8770 11436 12846 13629 14755 15688 16392 16419

4093 5045 6037 7248 8633 9771 10260 10809 11326 12072 17516 19344 19938

2120 2648 3155 3852 6888 12258 14821 15359 16378 16437 17791 20614 21025

1085 2434 5816 7151 8050 9422 10884 12728 15353 17733 18140 18729 20920

856 1690 12787

6532 7357 9151

4210 16615 18152

11494 14036 17470

2474 10291 10323

1778 6973 10739

4347 9570 18748

2189 11942 20666

3868 7526 17706

8780 14796 18268

160 16232 17399

1285 2003 18922

4658 17331 20361

2765 4862 5875

4565 5521 8759

3484 7305 15829

5024 17730 17879

7031 12346 15024

179 6365 11352

2490 3143 5098

2643 3101 21259

4315 4724 13130

594 17365 18322

5983 8597 9627

10837 15102 20876

10448 20418 21478

3848 12029 15228

708 5652 13146

5998 7534 16117

2098 13201 18317

9186 14548 17776

5246 10398 18597

3083 4944 21021

13726 18495 19921

6736 10811 17545

10084 12411 14432

1064 13555 17033

679 9878 13547

3422 9910 20194

3640 3701 10046

5862 10134 11498

5923 9580 15060

1073 3012 16427

5527 20113 20883

7058 12924 15151

9764 12230 17375

772 7711 12723

555 13816 15376

10574 11268 17932

15442 17266 20482

390 3371 8781

10512 12216 17180

4309 14068 15783

3971 11673 20009

9259 14270 17199

2947 5852 20101

3965 9722 15363

1429 5689 16771

6101 6849 12781

3676 9347 18761

350 11659 18342

5961 14803 16123

2113 9163 13443

2155 9808 12885

000136

2861 7988 11031

7309 9220 20745

6834 8742 11977

2133 12908 14704

10170 13809 18153

13464 14787 14975

799 1107 3789

3571 8176 10165

5433 13446 15481

3351 6767 12840

8950 8974 11650

1430 4250 21332

6283 10628 15050

8632 14404 16916

6509 10702 16278

15900 16395 17995

8031 18420 19733

3747 4634 17087

4453 6297 16262

2792 3513 17031

14846 20893 21563

17220 20436 21337

275 4107 10497

3536 7520 10027

14089 14943 19455

1965 3931 21104

2439 11565 17932

154 15279 21414

10017 11269 16546

7169 10161 16928

10284 16791 20655

36 3175 8475

2605 16269 19290

8947 9178 15420

5687 9156 12408

8096 9738 14711

4935 8093 19266

2667 10062 15972

6389 11318 14417

8800 18137 18434

5824 5927 15314

6056 13168 15179

3284 13138 18919

13115 17259 17332

からなる

符号化装置。

[4] LDPC(Low Density Parity Check)符号による符号化を行う符号化装置の符号化方法において、

前記符号化装置が、符号長が64800ビットで、符号化率が2/3のLDPC符号による符号化を行うステップを含み、

前記LDPC符号の検査行列は、その検査行列の、前記符号長、及前記符号化率に応じた情報長に対応する情報行列の1の要素の位置を360列ごとに表す検査行列初期値テーブルによって定まる前記情報行列の1の要素を、列方向に360列ごとの周期で配置して構成され、

前記検査行列初期値テーブルは、

317 2255 2324 2723 3538 3576 6194 6700 9101 10057 12739 17407 21039

1958 2007 3294 4394 12762 14505 14593 14692 16522 17737 19245 21272 21379

127 860 5001 5633 8644 9282 12690 14644 17553 19511 19681 20954 21002

2514 2822 5781 6297 8063 9469 9551 11407 11837 12985 15710 20236 20393

1565 3106 4659 4926 6495 6872 7343 8720 15785 16434 16727 19884 21325

706 3220 8568 10896 12486 13663 16398 16599 19475 19781 20625 20961 21335

4257 10449 12406 14561 16049 16522 17214 18029 18033 18802 19062 19526 20748

412 433 558 2614 2978 4157 6584 9320 11683 11819 13024 14486 16860

777 5906 7403 8550 8717 8770 11436 12846 13629 14755 15688 16392 16419

4093 5045 6037 7248 8633 9771 10260 10809 11326 12072 17516 19344 19938

2120 2648 3155 3852 6888 12258 14821 15359 16378 16437 17791 20614 21025

1085 2434 5816 7151 8050 9422 10884 12728 15353 17733 18140 18729 20920

856 1690 12787

6532 7357 9151

4210 16615 18152

11494 14036 17470

2474 10291 10323

1778 6973 10739

4347 9570 18748

2189 11942 20666

3868 7526 17706

8780 14796 18268

160 16232 17399

1285 2003 18922

4658 17331 20361

2765 4862 5875

4565 5521 8759

3484 7305 15829

000139

5024 17730 17879

7031 12346 15024

179 6365 11352

2490 3143 5098

2643 3101 21259

4315 4724 13130

594 17365 18322

5983 8597 9627

10837 15102 20876

10448 20418 21478

3848 12029 15228

708 5652 13146

5998 7534 16117

2098 13201 18317

9186 14548 17776

5246 10398 18597

3083 4944 21021

13726 18495 19921

6736 10811 17545

10084 12411 14432

1064 13555 17033

679 9878 13547

3422 9910 20194

3640 3701 10046

5862 10134 11498

5923 9580 15060

1073 3012 16427

5527 20113 20883

7058 12924 15151

9764 12230 17375

772 7711 12723

555 13816 15376

10574 11268 17932

15442 17266 20482

390 3371 8781

10512 12216 17180

4309 14068 15783

3971 11673 20009

9259 14270 17199

2947 5852 20101

3965 9722 15363

1429 5689 16771

6101 6849 12781

3676 9347 18761

350 11659 18342

5961 14803 16123

2113 9163 13443

2155 9808 12885

2861 7988 11031

7309 9220 20745

6834 8742 11977

2133 12908 14704

10170 13809 18153

13464 14787 14975

799 1107 3789

3571 8176 10165

000140

000141

5433 13446 15481

3351 6767 12840

8950 8974 11650

1430 4250 21332

6283 10628 15050

8632 14404 16916

6509 10702 16278

15900 16395 17995

8031 18420 19733

3747 4634 17087

4453 6297 16262

2792 3513 17031

14846 20893 21563

17220 20436 21337

275 4107 10497

3536 7520 10027

14089 14943 19455

1965 3931 21104

2439 11565 17932

154 15279 21414

10017 11269 16546

7169 10161 16928

10284 16791 20655

36 3175 8475

2605 16269 19290

8947 9178 15420

5687 9156 12408

8096 9738 14711

000142

4935 8093 19266

2667 10062 15972

6389 11318 14417

8800 18137 18434

5824 5927 15314

6056 13168 15179

3284 13138 18919

13115 17259 17332

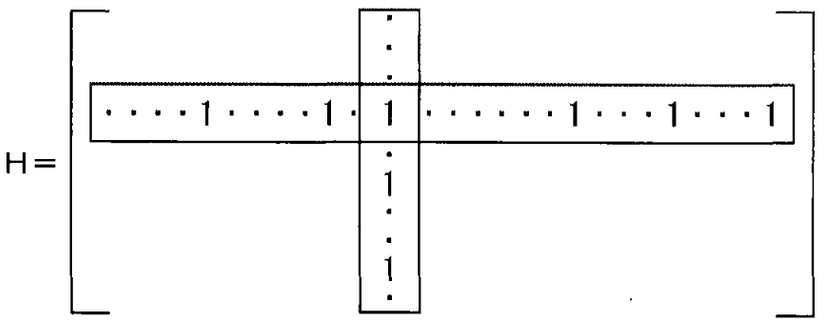
からなる

符号化方法。

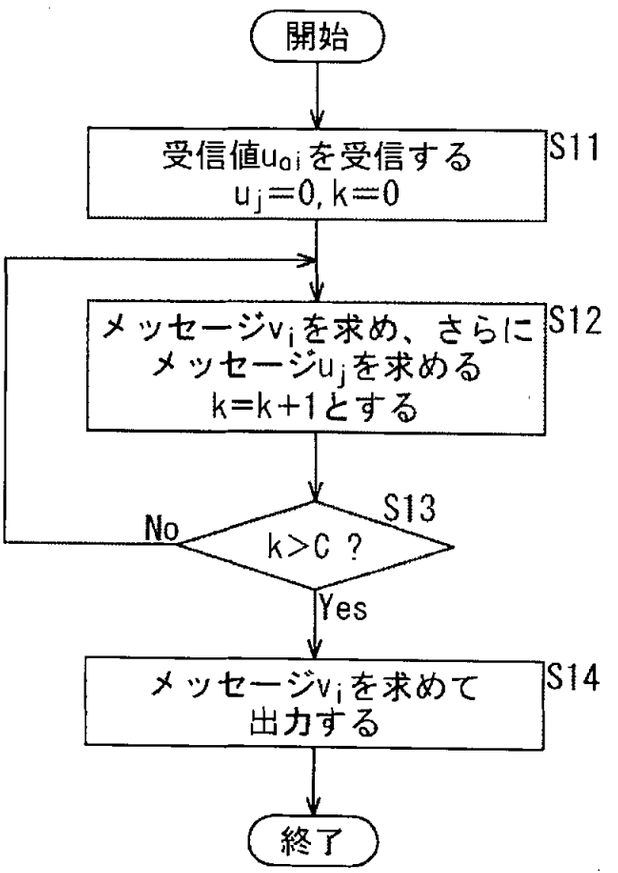
000143



[図1]
図1




[図2]
図2



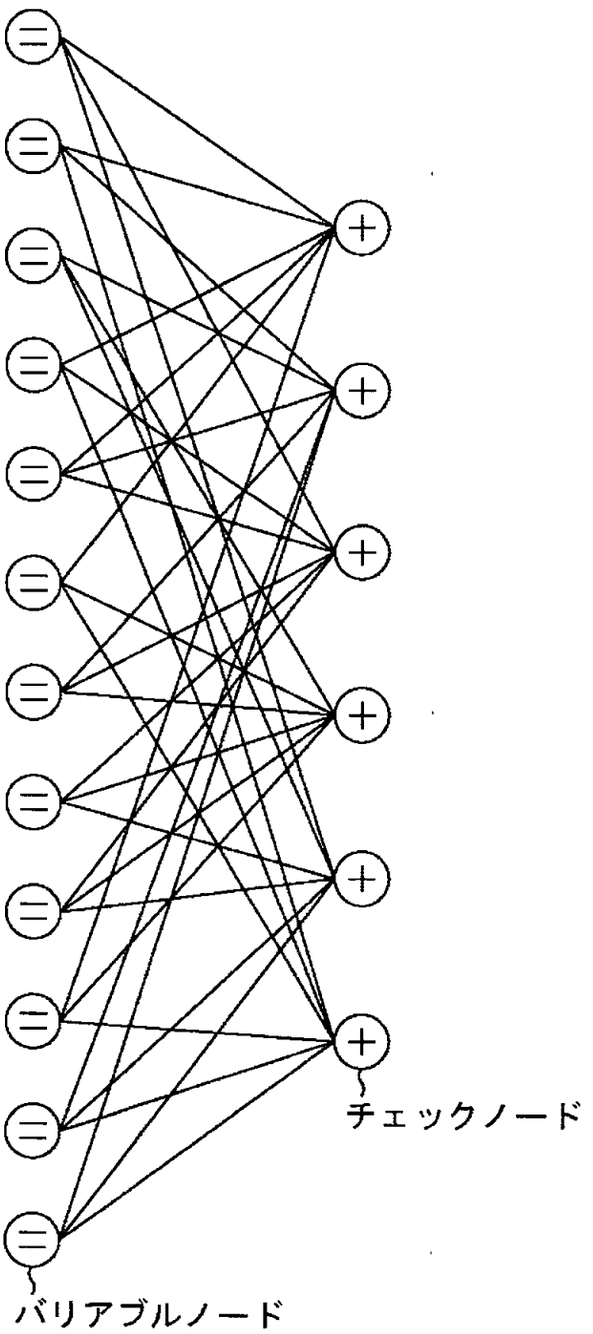
[図3]

図3

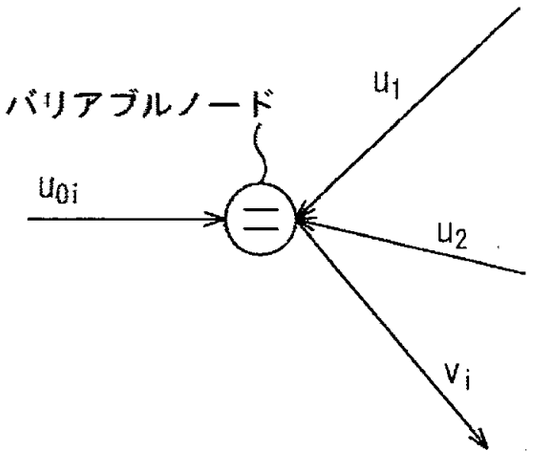
$$H = \begin{bmatrix} 1 & 1 & 1 & 0 & 0 & 0 & 1 & 0 & 1 & 1 & 0 & 0 \\ 1 & 1 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 1 & 1 \\ 0 & 0 & 1 & 1 & 1 & 1 & 1 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 1 & 1 & 0 & 1 & 1 & 0 & 0 & 1 \\ 1 & 1 & 0 & 0 & 0 & 1 & 0 & 1 & 0 & 1 & 1 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 1 & 1 & 1 & 0 & 1 & 1 \end{bmatrix}$$

[図4]

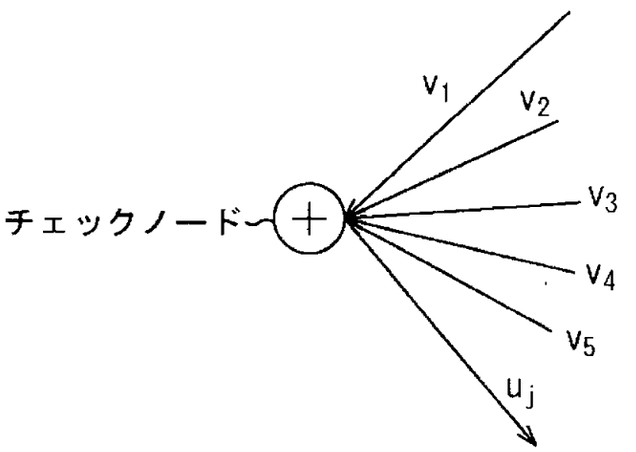
図4



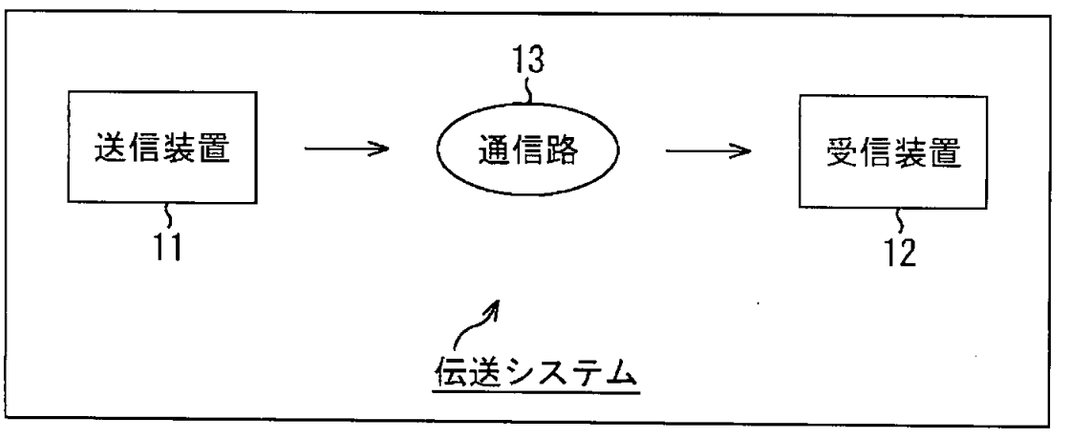
[図5]
図5



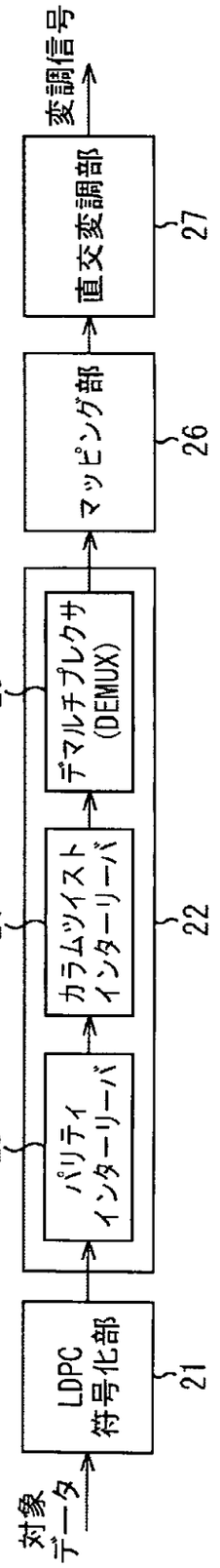

[図6]
図6




[図7]
図7

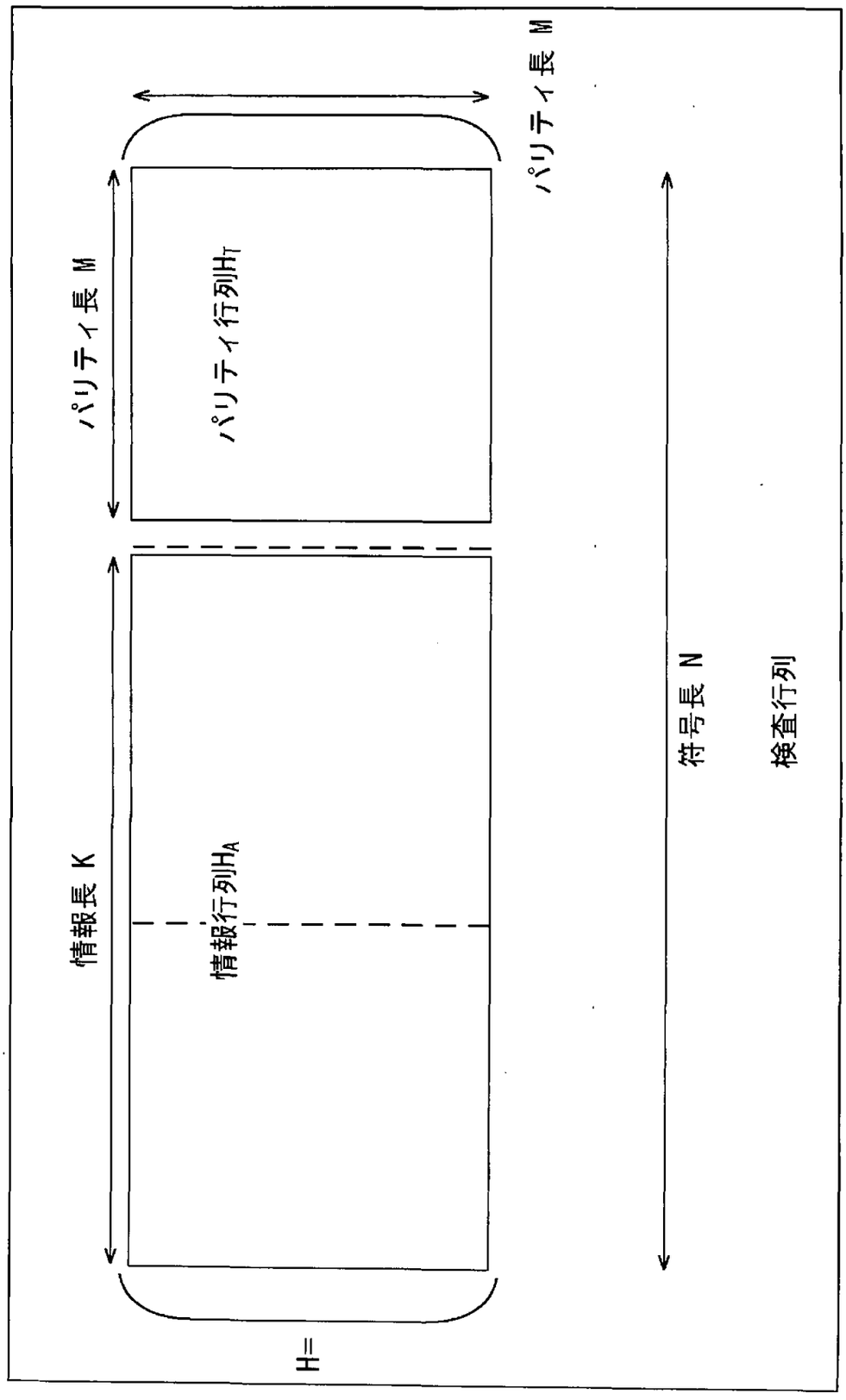


[図8]
図8

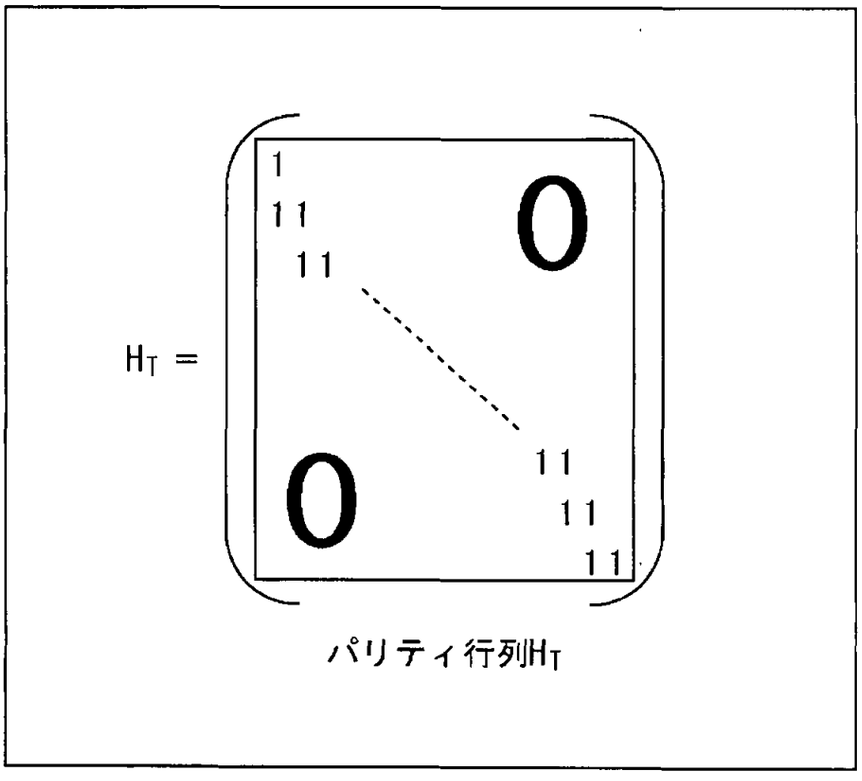

対象データ
LDPC 符号化部
21
パリティ インターリーバ
23
カラムツイスト インターリーバ
24
デマルチプレクサ (DEMUX)
25
22
マッピング部
26
直交変調部
27
変調信号
11

[図9]

図9



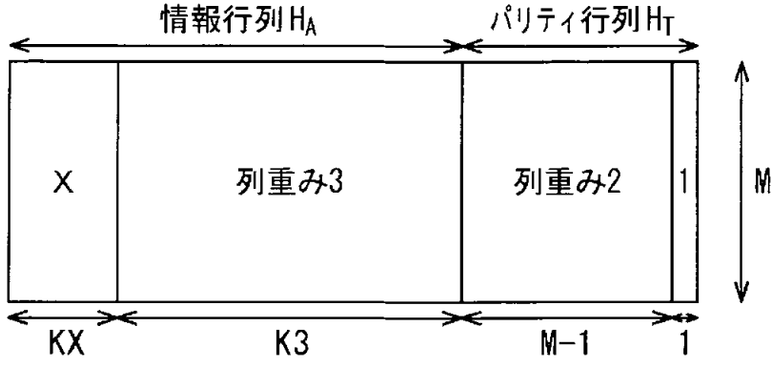
[図10]
図10




パリティ行列$H_T$

[図11]
図11

A 検査行列




B
各列重みの
列数

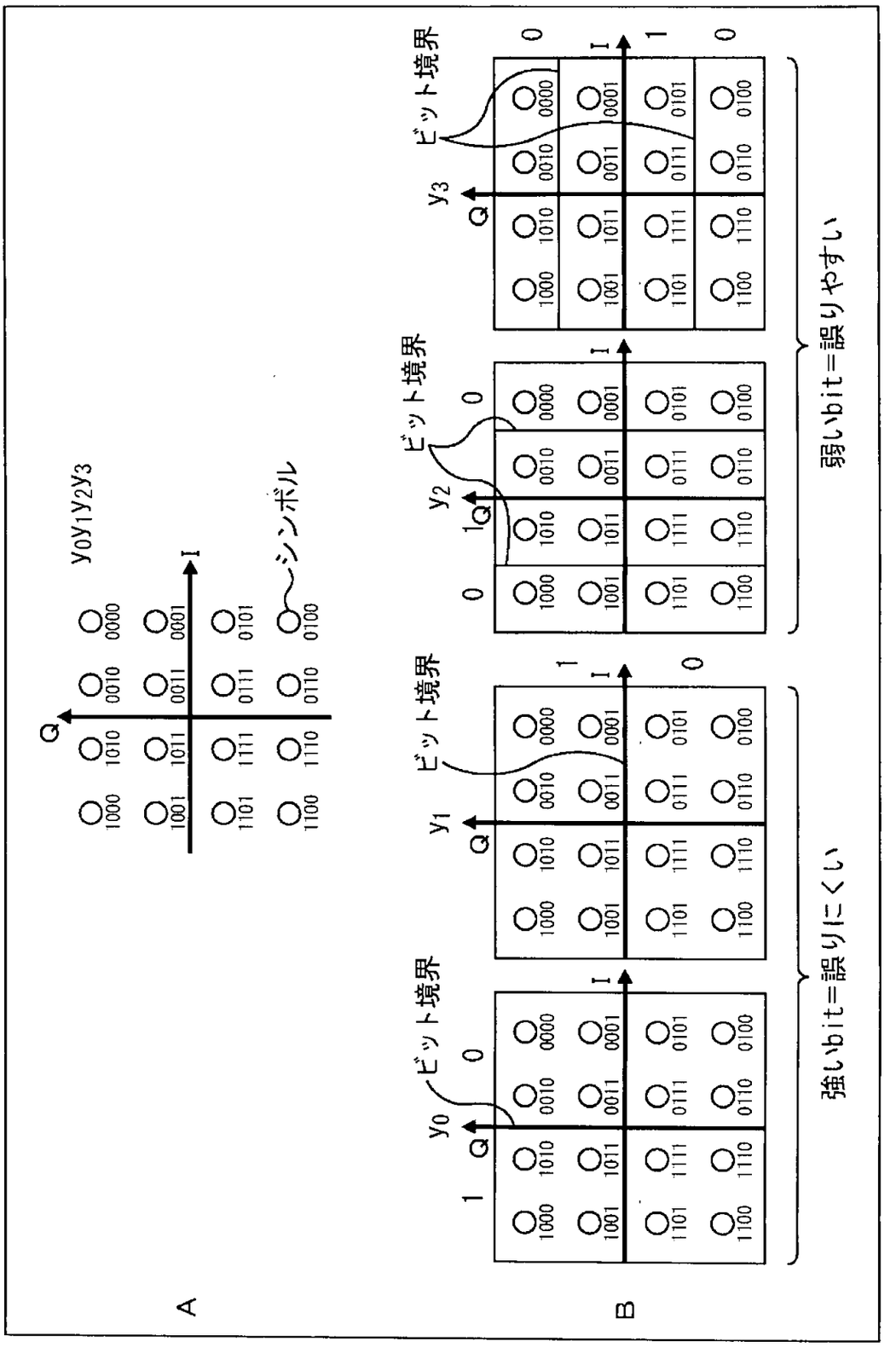
| | N=64800 | | | | N=16200 | | | |
|---|---|---|---|---|---|---|---|---|
| Nominal<br>符号化率 | X | KX | K3 | M | x | KX | K3 | M |
| 1/4 | 12 | 5400 | 10800 | 48600 | 12 | 1440 | 1800 | 12960 |
| 1/3 | 12 | 7200 | 14400 | 43200 | 12 | 1800 | 3600 | 10800 |
| 2/5 | 12 | 8640 | 17280 | 38880 | 12 | 2160 | 4320 | 9720 |
| 1/2 | 8 | 12960 | 19440 | 32400 | 8 | 1800 | 5400 | 9000 |
| 3/5 | 12 | 12960 | 25920 | 25920 | 12 | 3240 | 6480 | 6480 |
| 2/3 | 13 | 4320 | 38880 | 21600 | 13 | 1080 | 9720 | 5400 |
| 3/4 | 12 | 5400 | 43200 | 16200 | 12 | 360 | 11520 | 4320 |
| 4/5 | 11 | 6480 | 45360 | 12960 | - | 0 | 12600 | 3600 |
| 5/6 | 13 | 5400 | 48600 | 10800 | 13 | 360 | 12960 | 2880 |
| 8/9 | 4 | 7200 | 50400 | 7200 | 4 | 1800 | 12600 | 1800 |
| 9/10 | 4 | 6480 | 51840 | 6480 | --- | --- | --- | --- |

000151



[図12]

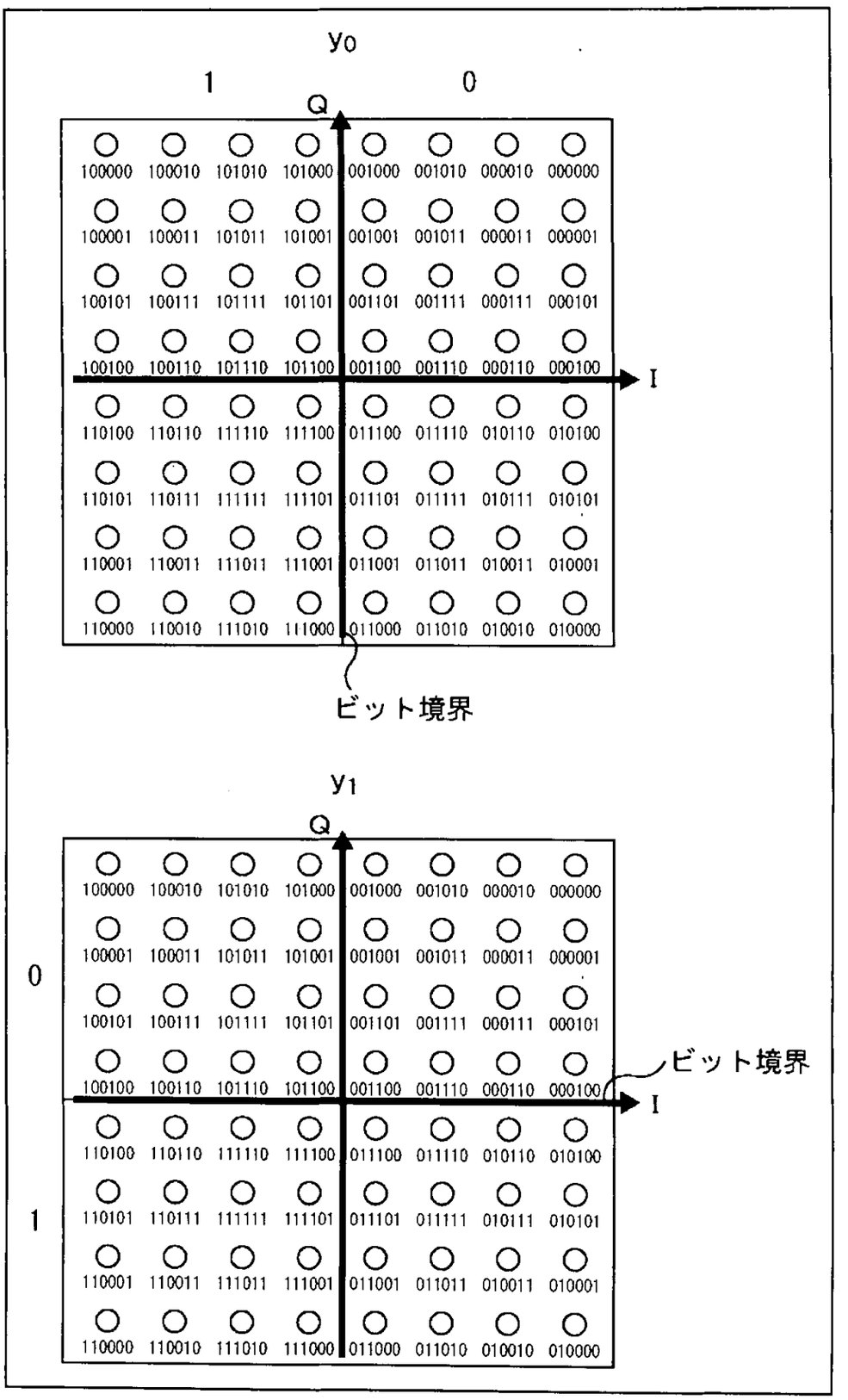
図12



000152

[図13]

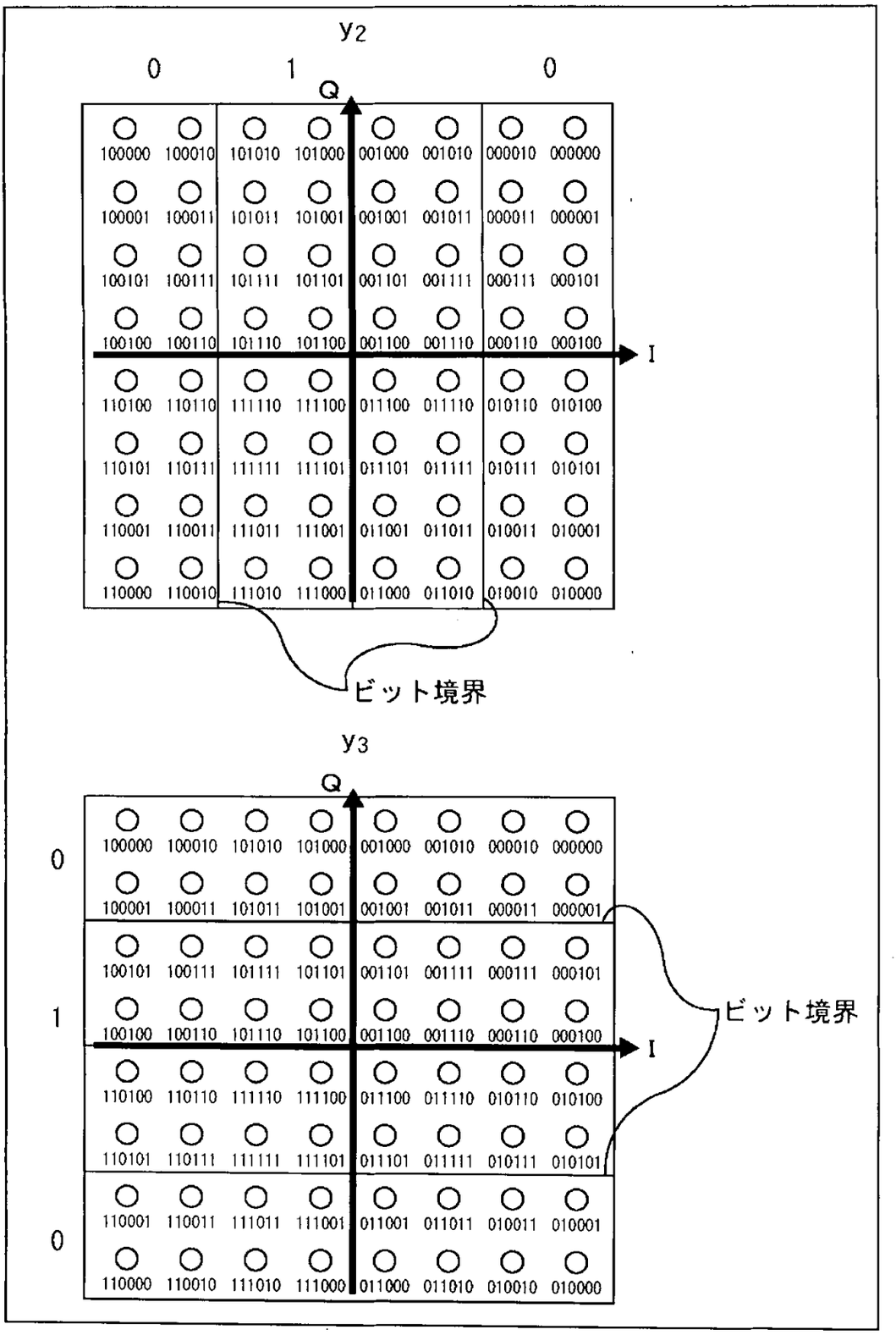
図13



000153

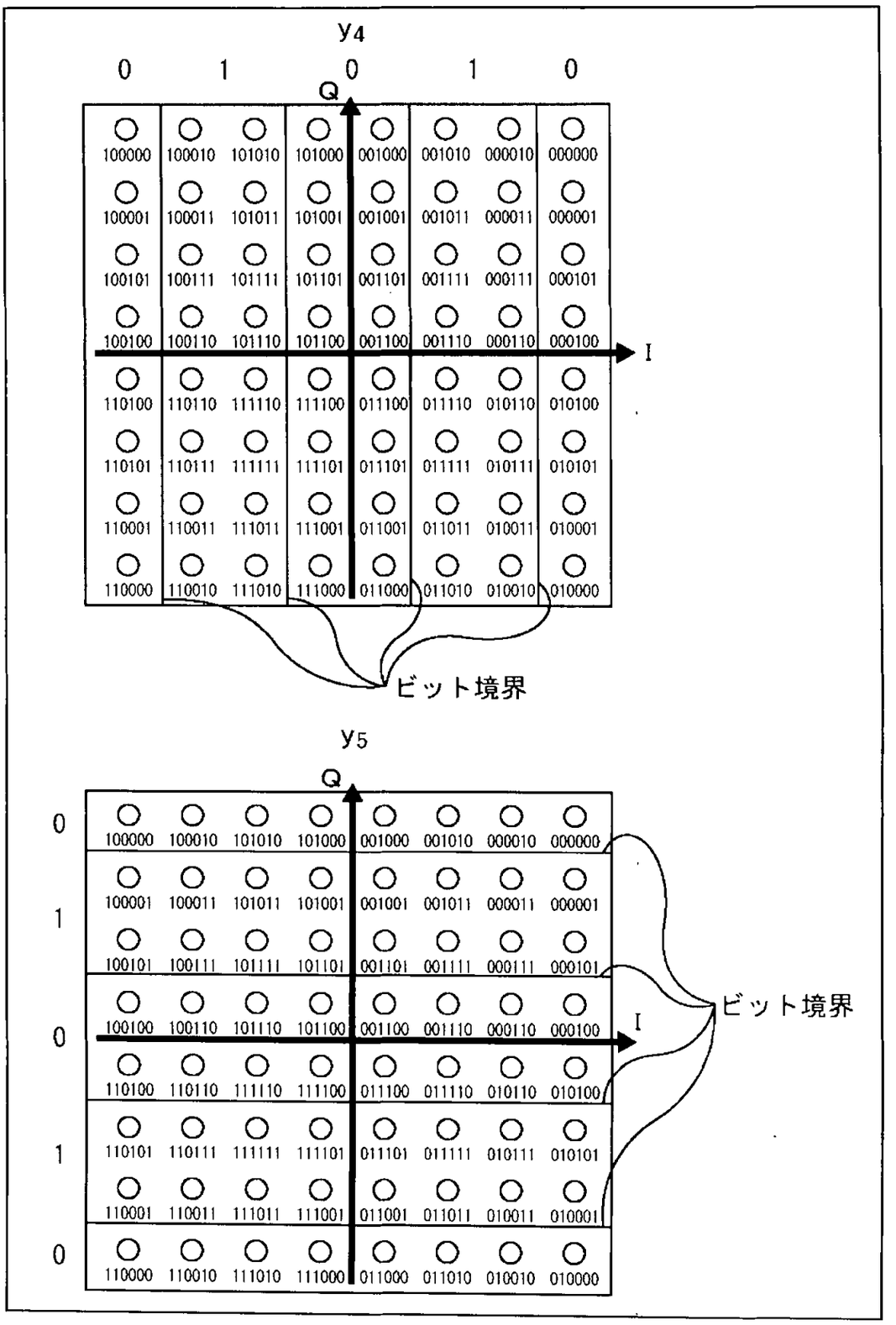
[図14]

図14



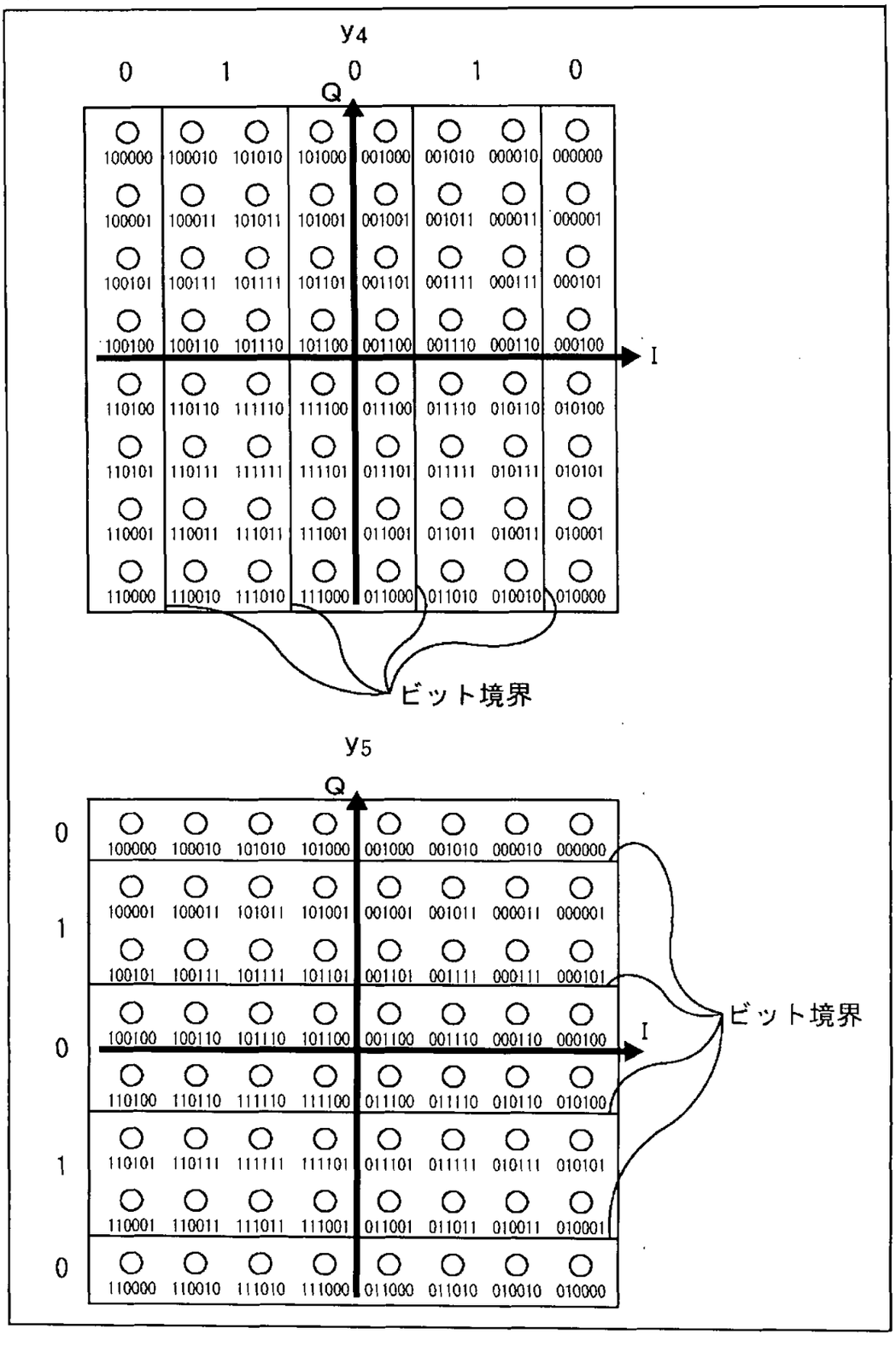
[図15]

図15


y4
0 1 0 1 0
Q
I
100000 100010 101010 101000 001000 001010 000010 000000
100001 100011 101011 101001 001001 001011 000011 000001
100101 100111 101111 101101 001101 001111 000111 000101
100100 100110 101110 101100 001100 001110 000110 000100
110100 110110 111110 111100 011100 011110 010110 010100
110101 110111 111111 111101 011101 011111 010111 010101
110001 110011 111011 111001 011001 011011 010011 010001
110000 110010 111010 111000 011000 011010 010010 010000
ビット境界
y5
Q
I
0
1
0
1
0
ビット境界

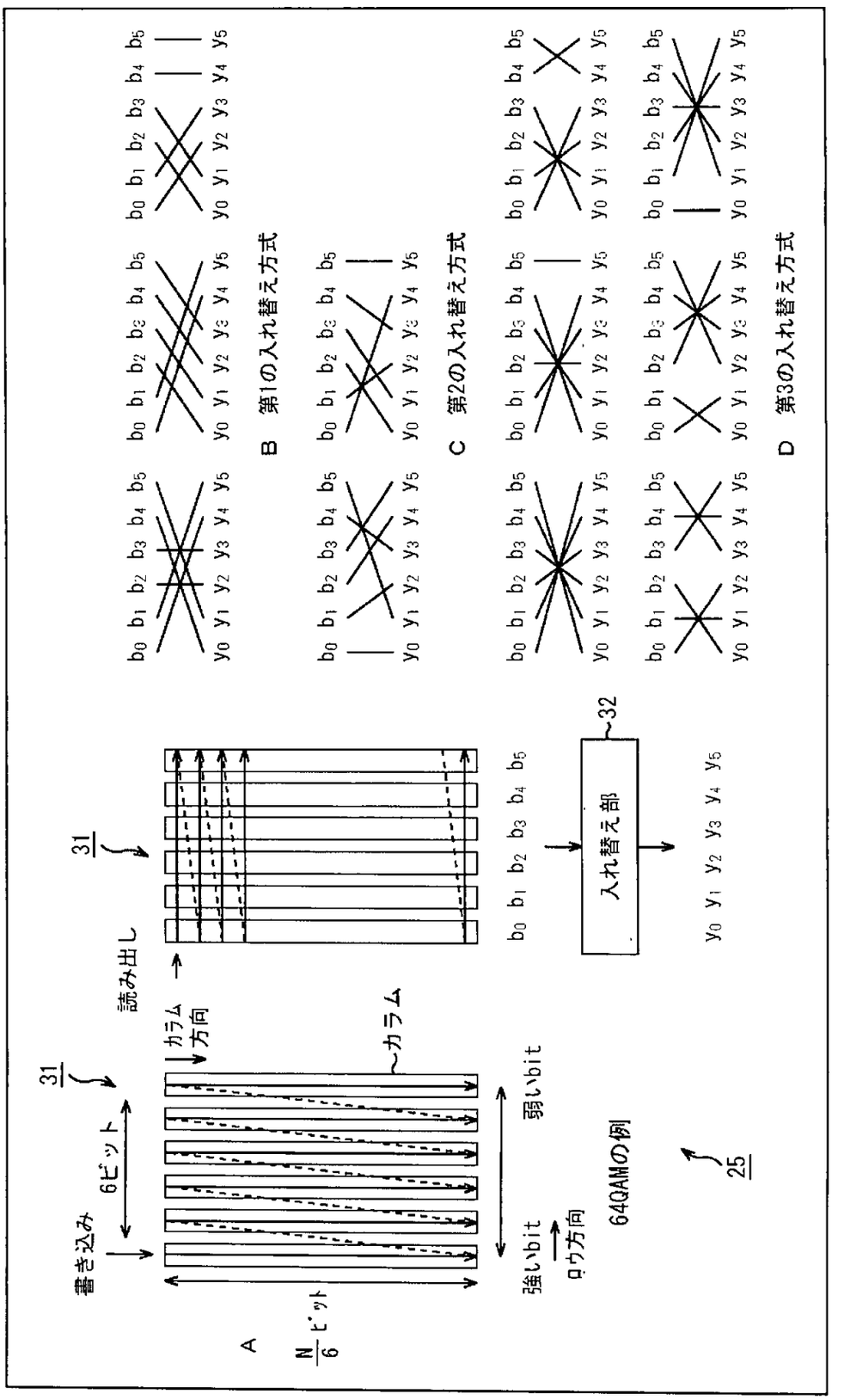
[図15]

図15

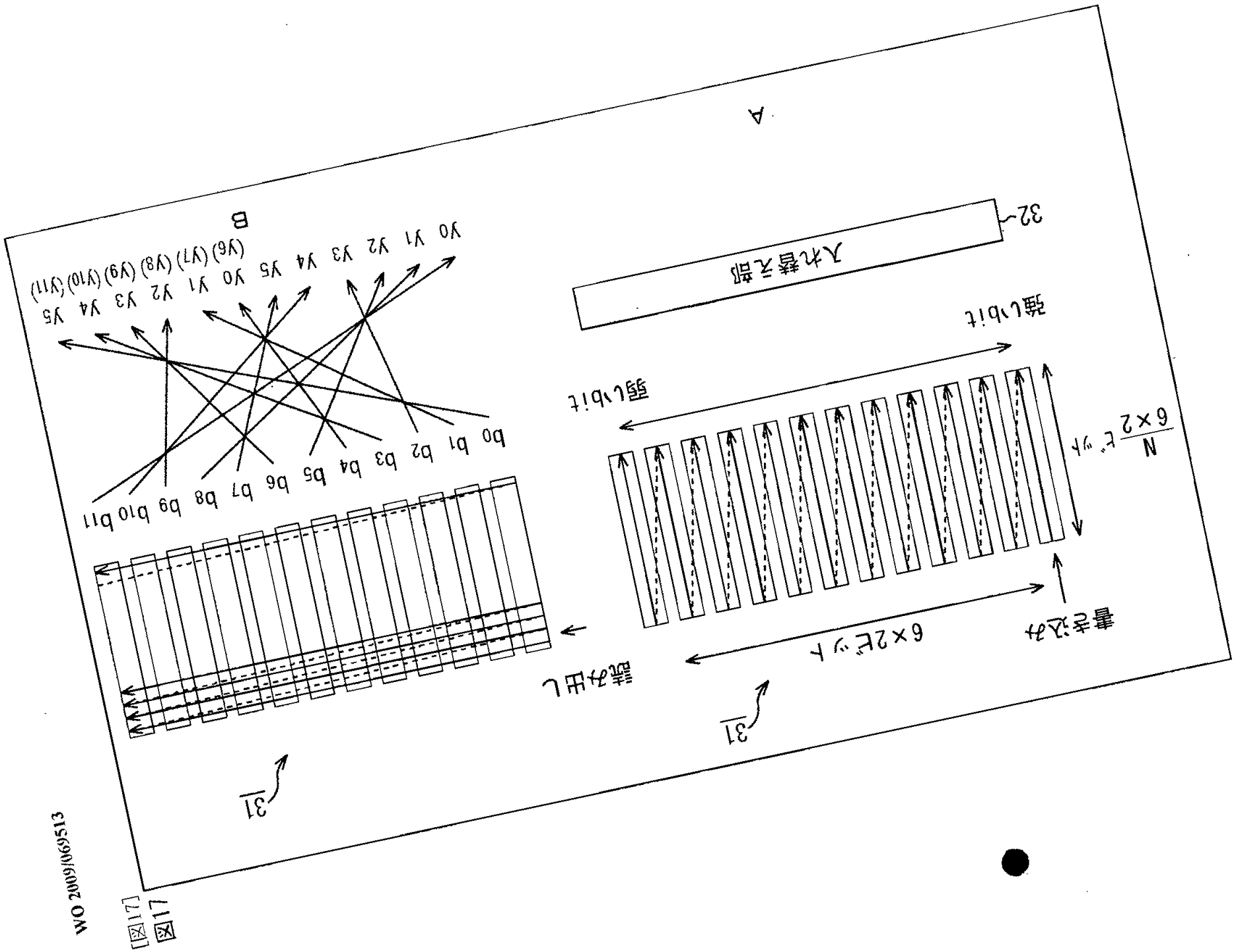


[図16]

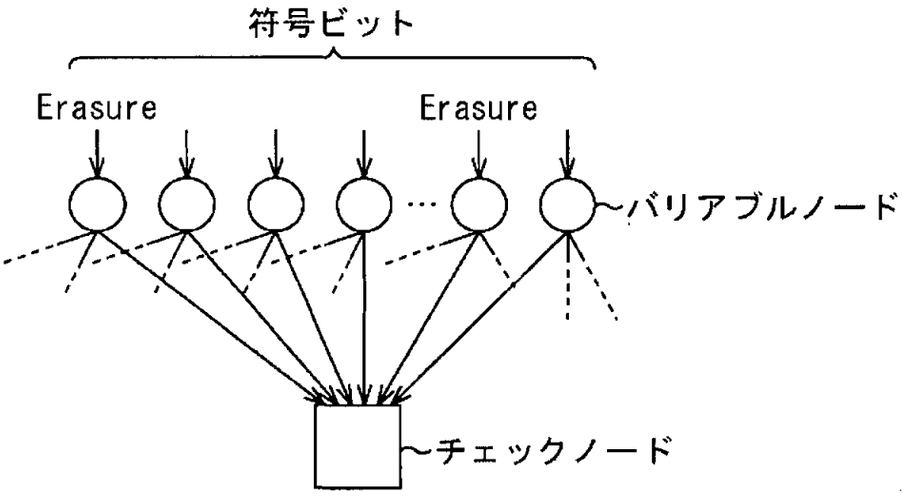
図16


書き込み
6ビット
N/6 ビット
カラム方向
カラム
読み出し
31
A
強いbit
弱いbit
ロウ方向
64QAMの例
25
入れ替え部
32
B 第1の入れ替え方式
C 第2の入れ替え方式
D 第3の入れ替え方式

[図17]
図17

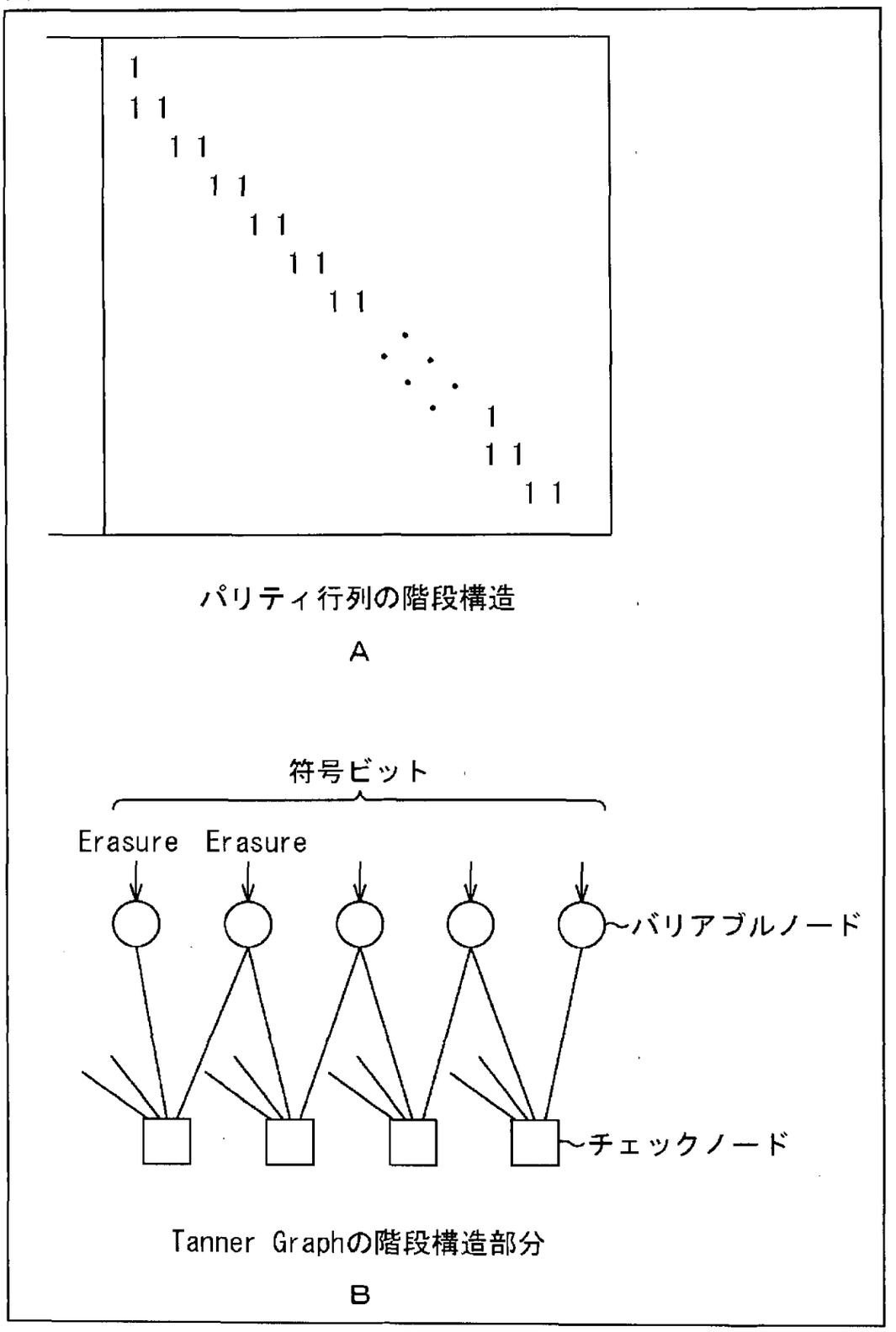

A
32
入れ替え部
強いbit
弱いbit
N/6×2ビット
6×2ビット
書き込み
31
読み出し
B
b0 b1 b2 b3 b4 b5 b6 b7 b8 b9 b10 b11
y0 y1 y2 y3 y4 y5 y0 y1 y2 y3 y4 y5
(y6) (y7) (y8) (y9) (y10) (y11)
31

[図18]
図18



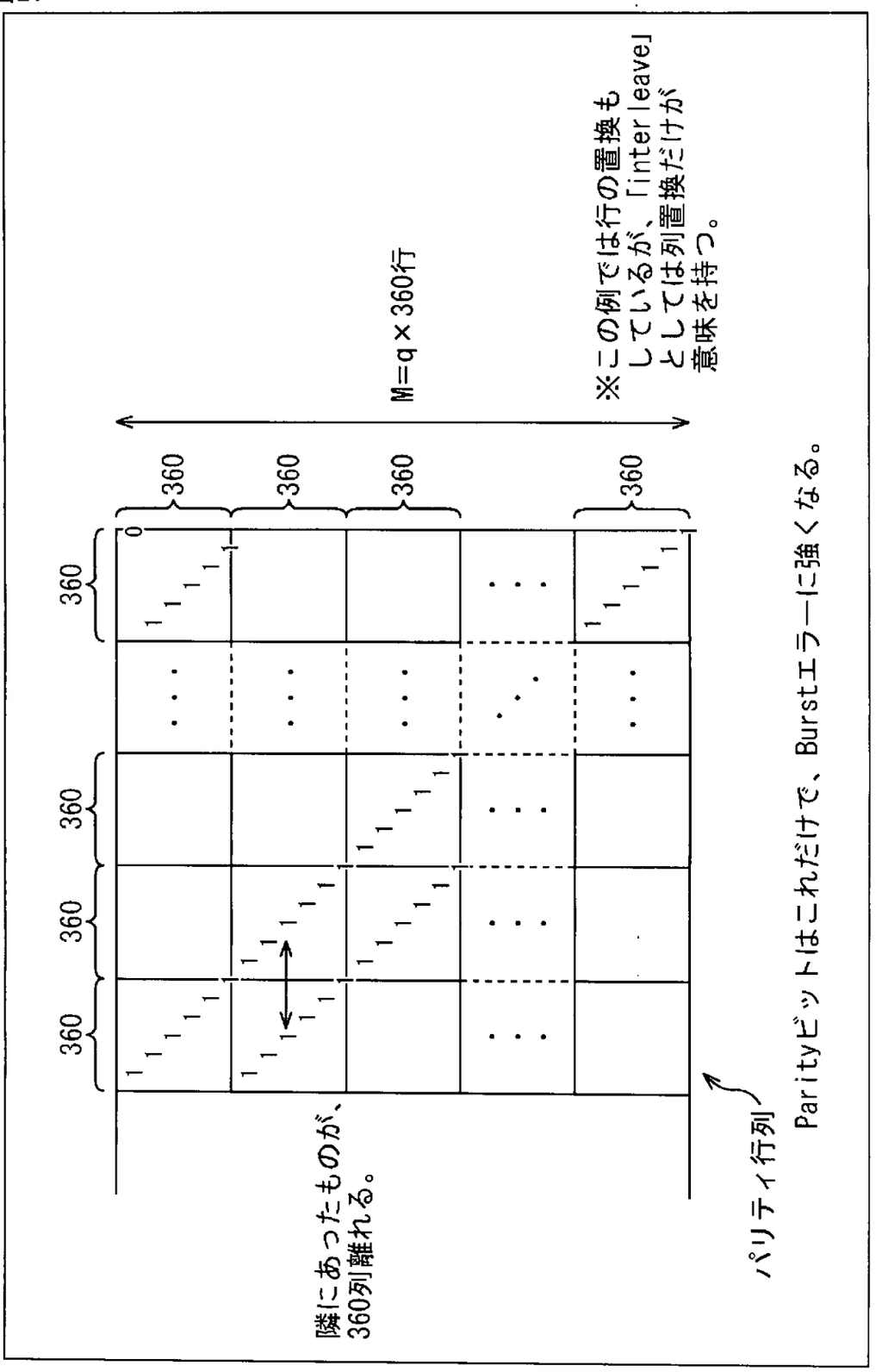
[図19]

図19


1
1 1
1 1
1 1
1 1
1 1
1
1 1
1 1
パリティ行列の階段構造
A
符号ビット
Erasure Erasure
バリアブルノード
チェックノード
Tanner Graphの階段構造部分
B

[図20]

図20

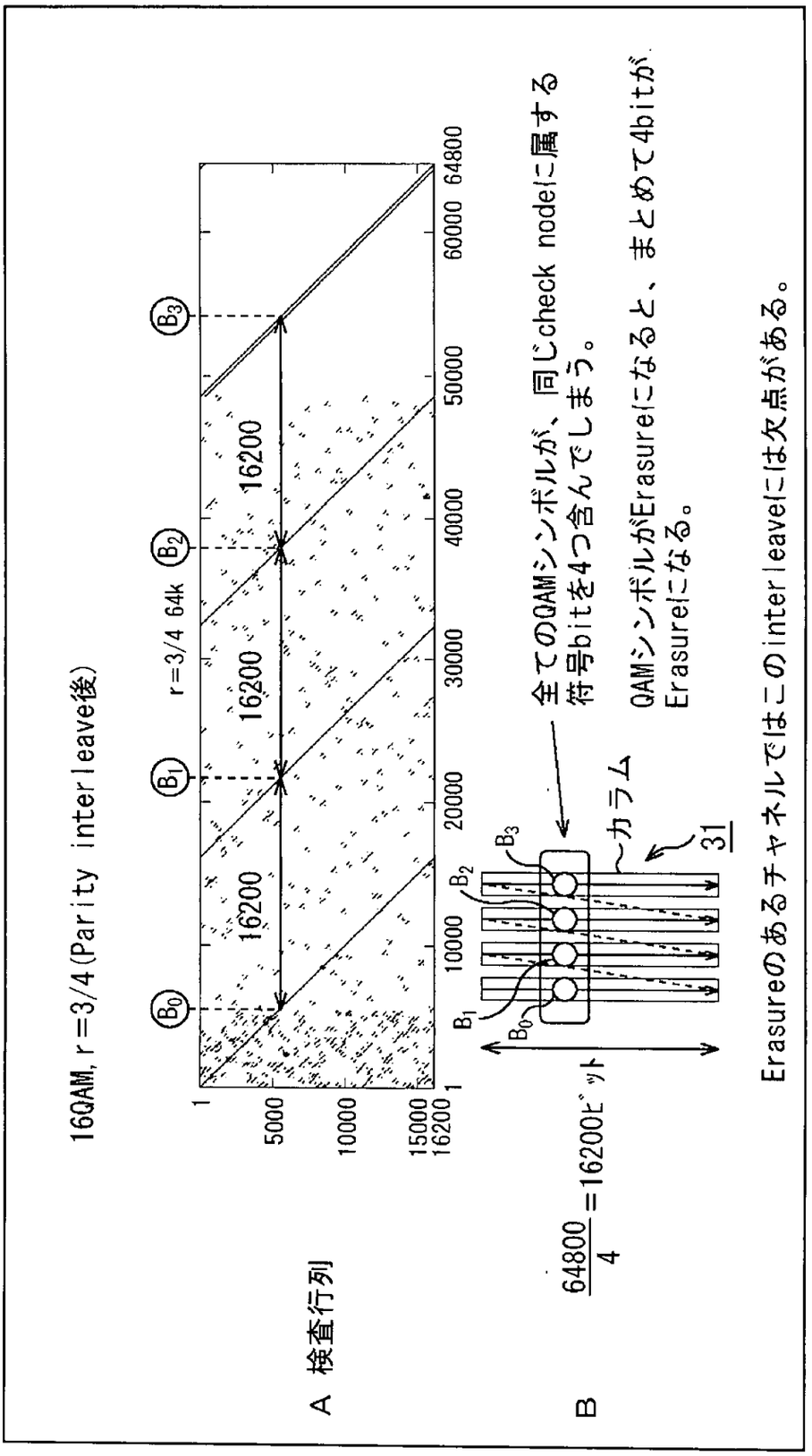

M=q×360行
※この例では行の置換もしているが、「interleave」としては列置換だけが意味を持つ。
360
360
360
360
360
360
隣にあったものが、360列離れる。
パリティ行列
Parityビットはこれだけで、Burstエラーに強くなる。

000161

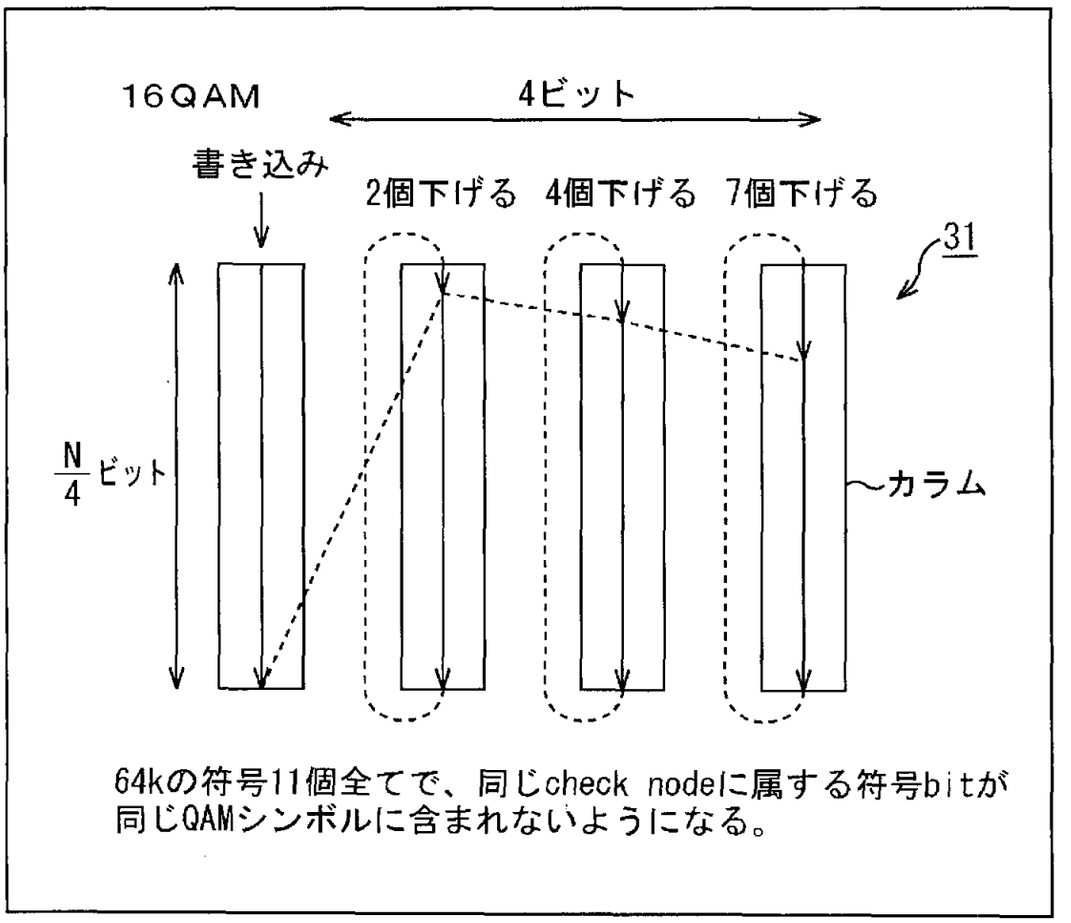


[図21]

図21



[図22]
図22


16QAM
4ビット
書き込み
2個下げる
4個下げる
7個下げる
31
N/4 ビット
カラム
64kの符号11個全てで、同じcheck nodeに属する符号bitが
同じQAMシンボルに含まれないようになる。

000163



[図23]

図23

| 必要なメモリカラム数 mb | b=1 (第1ないし第3の入れ替え方式) | b=2 (第4の入れ替え方式) | mb個の各カラムの書き始めの位置 | | | | | | | | | | | | | | | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 | 18 | 19 | 20 | 21 | 22 | 23 | 24 |
| 2 | QPSK | | 0 | 2 | | | | | | | | | | | | | | | | | | | | | | |
| 4 | 16QAM | QPSK | 0 | 2 | 4 | 7 | | | | | | | | | | | | | | | | | | | | |
| 6 | 64QAM | | 0 | 2 | 5 | 9 | 10 | 13 | | | | | | | | | | | | | | | | | | |
| 8 | 256QAM | 16QAM | 0 | 0 | 2 | 4 | 4 | 5 | 7 | 7 | | | | | | | | | | | | | | | | |
| 10 | 1024QAM | | 0 | 3 | 6 | 8 | 11 | 13 | 15 | 17 | 18 | 20 | | | | | | | | | | | | | | |
| 12 | 4096QAM | 64QAM | 0 | 0 | 2 | 2 | 3 | 4 | 4 | 5 | 5 | 7 | 8 | 9 | | | | | | | | | | | | |
| 16 | | 256QAM | 0 | 2 | 2 | 2 | 2 | 3 | 7 | 15 | 16 | 20 | 22 | 22 | 27 | 27 | 28 | 32 | | | | | | | | |
| 20 | | 1024QAM | 0 | 1 | 3 | 4 | 5 | 6 | 6 | 9 | 13 | 14 | 14 | 16 | 21 | 21 | 23 | 25 | 25 | 26 | 28 | 30 | | | | |
| 24 | | 4096QAM | 0 | 5 | 8 | 8 | 8 | 8 | 10 | 10 | 10 | 12 | 13 | 16 | 17 | 19 | 21 | 22 | 23 | 26 | 37 | 39 | 40 | 41 | 41 | 41 |

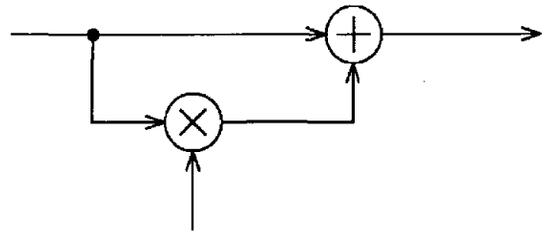
[図24]

図24

| 必要なメモリカラム数 mb | b=1 (第1ないし第3の入れ替え方式) | b=2 (第4の入れ替え方式) | mb個の各カラムの書き始めの位置 | | | | | | | | | | | | | | | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 | 18 | 19 | 20 | 21 | 22 | 23 | 24 |
| 2 | QPSK | | 0 | 0 | | | | | | | | | | | | | | | | | | | | | | |
| 4 | 16QAM | QPSK | 0 | 2 | 3 | 3 | | | | | | | | | | | | | | | | | | | | |
| 6 | 64QAM | | 0 | 0 | 2 | 3 | 7 | 7 | | | | | | | | | | | | | | | | | | |
| 8 | 256QAM | 16QAM | 0 | 0 | 0 | 1 | 7 | 20 | 20 | 21 | | | | | | | | | | | | | | | | |
| 10 | 1024QAM | | 0 | 1 | 2 | 2 | 3 | 3 | 4 | 4 | 5 | 7 | | | | | | | | | | | | | | |
| 12 | 4096QAM | 64QAM | 0 | 0 | 0 | 2 | 2 | 2 | 3 | 3 | 3 | 6 | 7 | 7 | | | | | | | | | | | | |
| 20 | | 1024QAM | 0 | 0 | 0 | 2 | 2 | 2 | 2 | 2 | 5 | 5 | 5 | 5 | 5 | 7 | 7 | 7 | 7 | 8 | 8 | 10 | | | | |
| 24 | | 4096QAM | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 2 | 2 | 2 | 3 | 7 | 9 | 9 | 9 | 10 | 10 | 10 | 10 | 10 | 11 |

Flutterの等価低減モデル

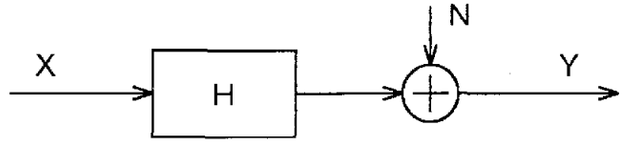
A




$1/\alpha^2 = D/U$
$f_d$:doppler freq.
t:time

このチャネルでOFDMシンボルを送り、受信側でFFT後に
1carrierだけ抜き出したモデルでsimulationを行った。

B




$$Y=\underbrace{\left[1+\alpha\cdot\exp\left(j2\pi\cdot m\cdot f_d\cdot Ts+j2\pi\cdot\frac{(Nu-1)\cdot f_d\cdot Tu}{Nu}\right)\cdot\frac{\mathrm{sinc}(\pi\cdot f_d\cdot Tu)}{\mathrm{sinc}(\pi\cdot f_d\cdot Tu/Nu)}\right]}_{H}\cdot X+N$$

$$E\left[N^2\right]=\underbrace{\alpha^2\cdot\left(1-\left|\frac{\mathrm{sinc}(\pi\cdot f_d\cdot Tu)}{\mathrm{sinc}(\pi\cdot f_d\cdot Tu/Nu)}\right|^2\right)}_{|C|のパワー:AWGNで近似}$$

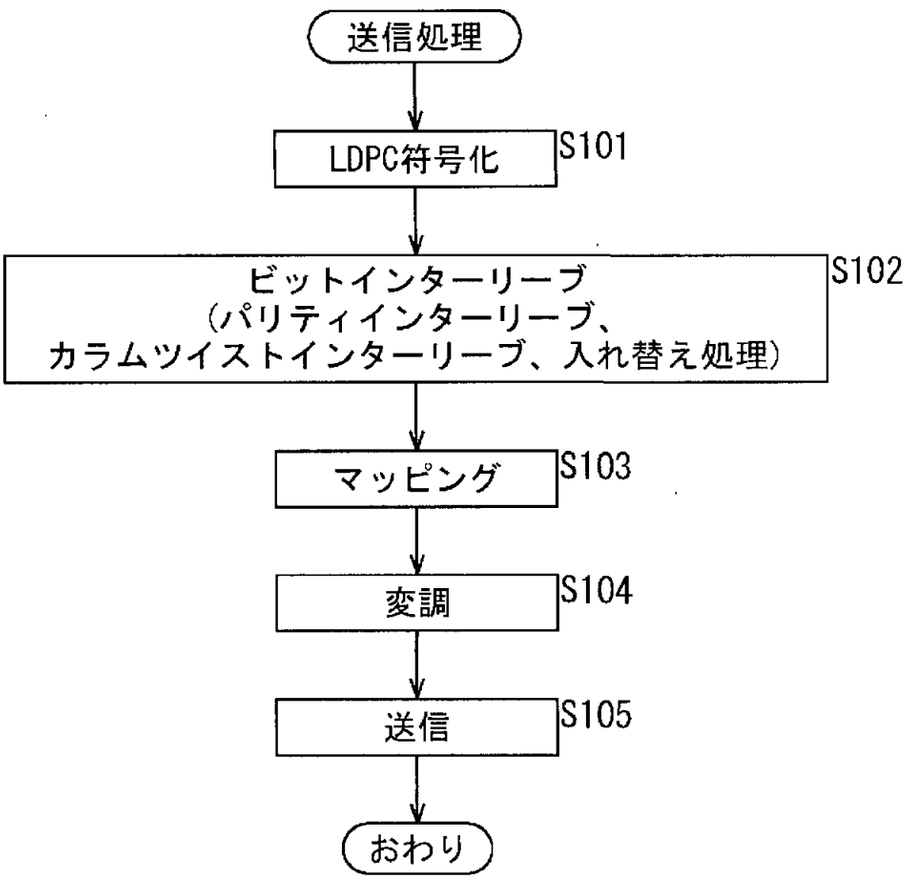
m:symbol number
Ts:symbol length(sec)
Tu:effective symbol length(sec)
Nu:number of OFDM carriers

SGT000

000166

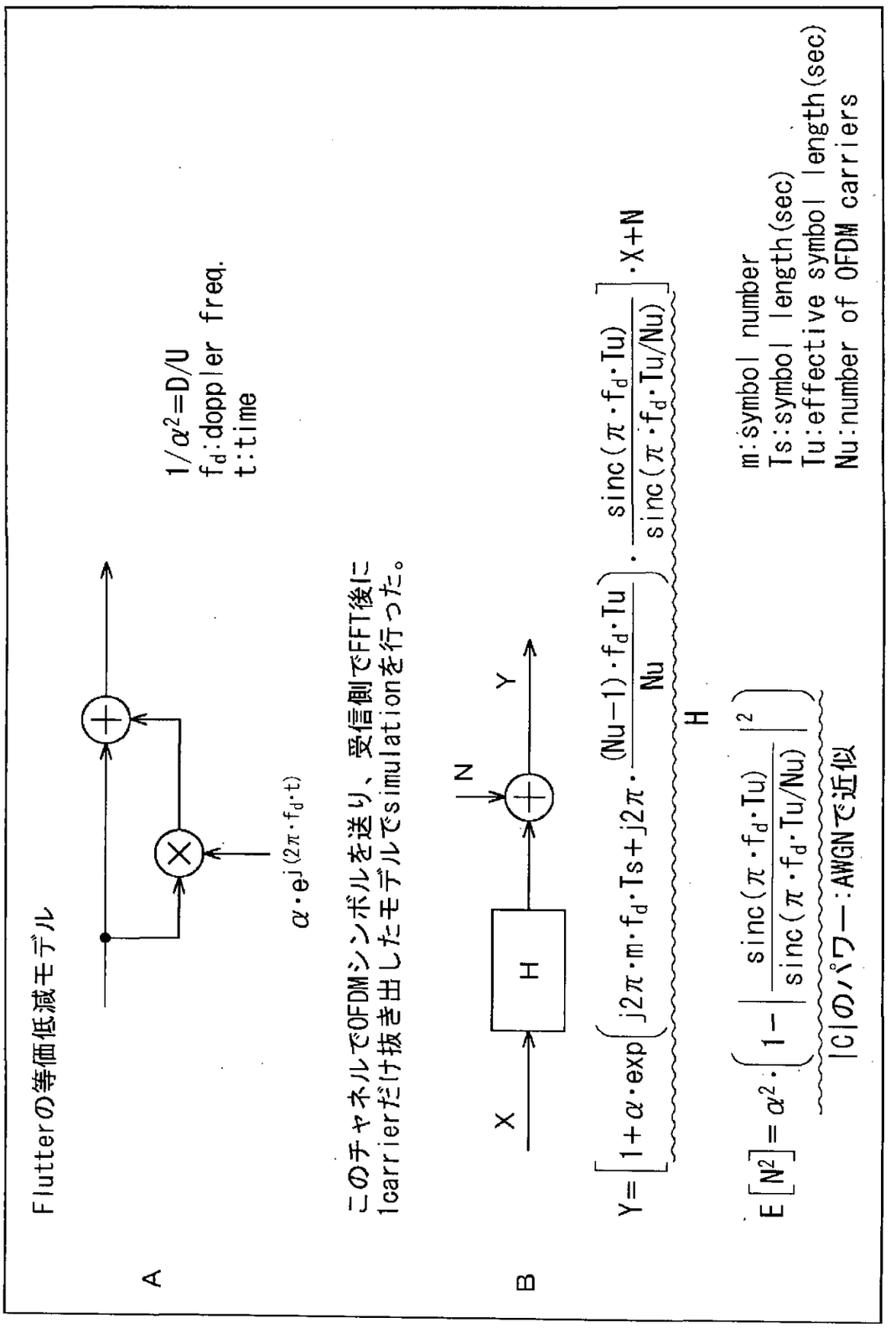


[図25]
図25



[図26]

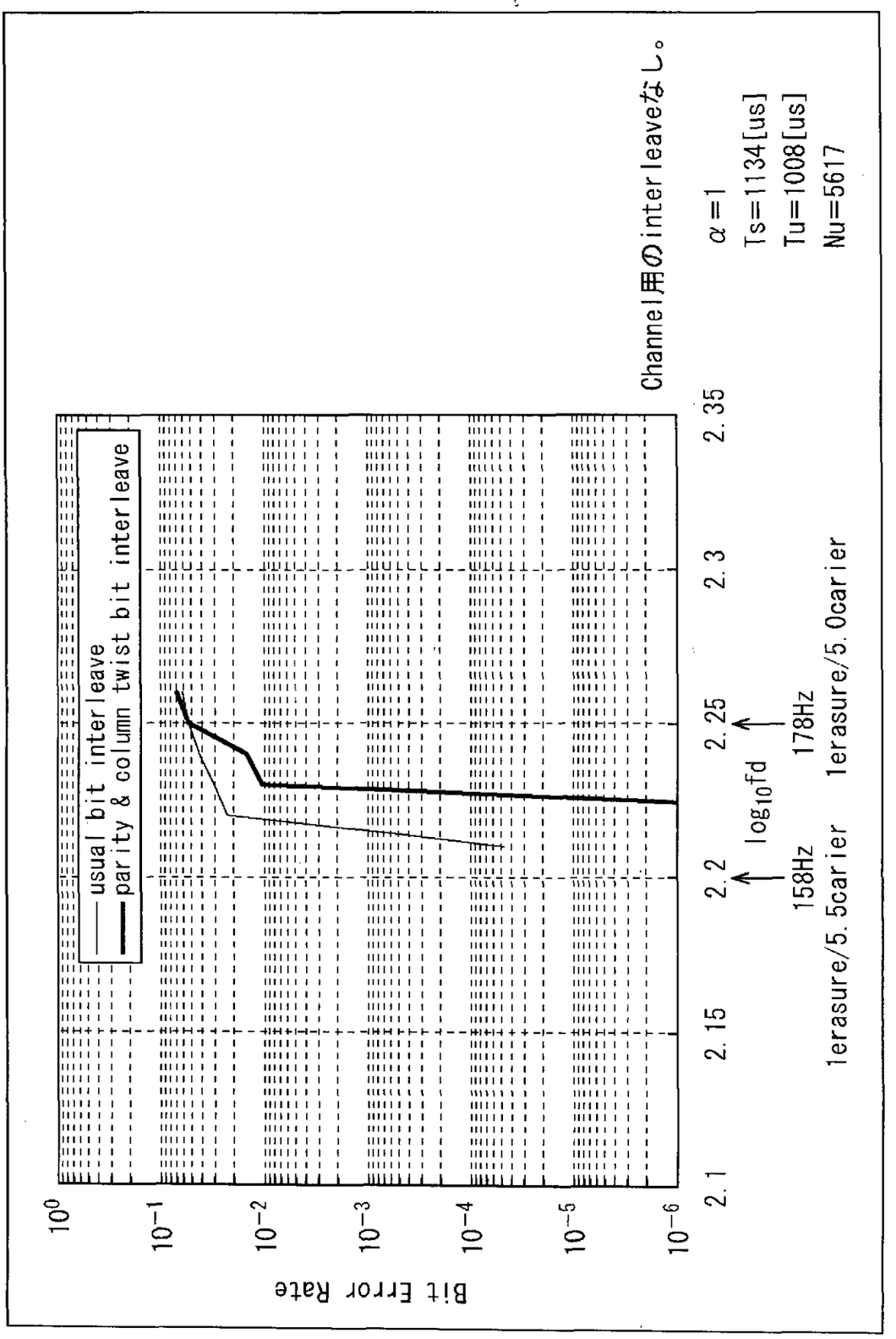
図26


Flutterの等価低減モデル
A
$\alpha \cdot e^{j(2\pi \cdot f_d \cdot t)}$
$1/\alpha^2 = D/U$
$f_d$:doppler freq.
t:time
このチャネルでOFDMシンボルを送り、受信側でFFT後に1carrierだけ抜き出したモデルでsimulationを行った。
B
X
H
N
Y
$Y = \underbrace{\left[1 + \alpha \cdot \exp\left(j2\pi \cdot m \cdot f_d \cdot Ts + j2\pi \cdot \frac{(Nu-1) \cdot f_d \cdot Tu}{Nu}\right) \cdot \frac{\mathrm{sinc}(\pi \cdot f_d \cdot Tu)}{\mathrm{sinc}(\pi \cdot f_d \cdot Tu/Nu)}\right]}_{H} \cdot X + N$
$E[N^2] = \alpha^2 \cdot \underbrace{\left(1 - \left|\frac{\mathrm{sinc}(\pi \cdot f_d \cdot Tu)}{\mathrm{sinc}(\pi \cdot f_d \cdot Tu/Nu)}\right|^2\right)}_{|C|}$
のパワー:AWGNで近似
m:symbol number
Ts:symbol length(sec)
Tu:effective symbol length(sec)
Nu:number of OFDM carriers

000163

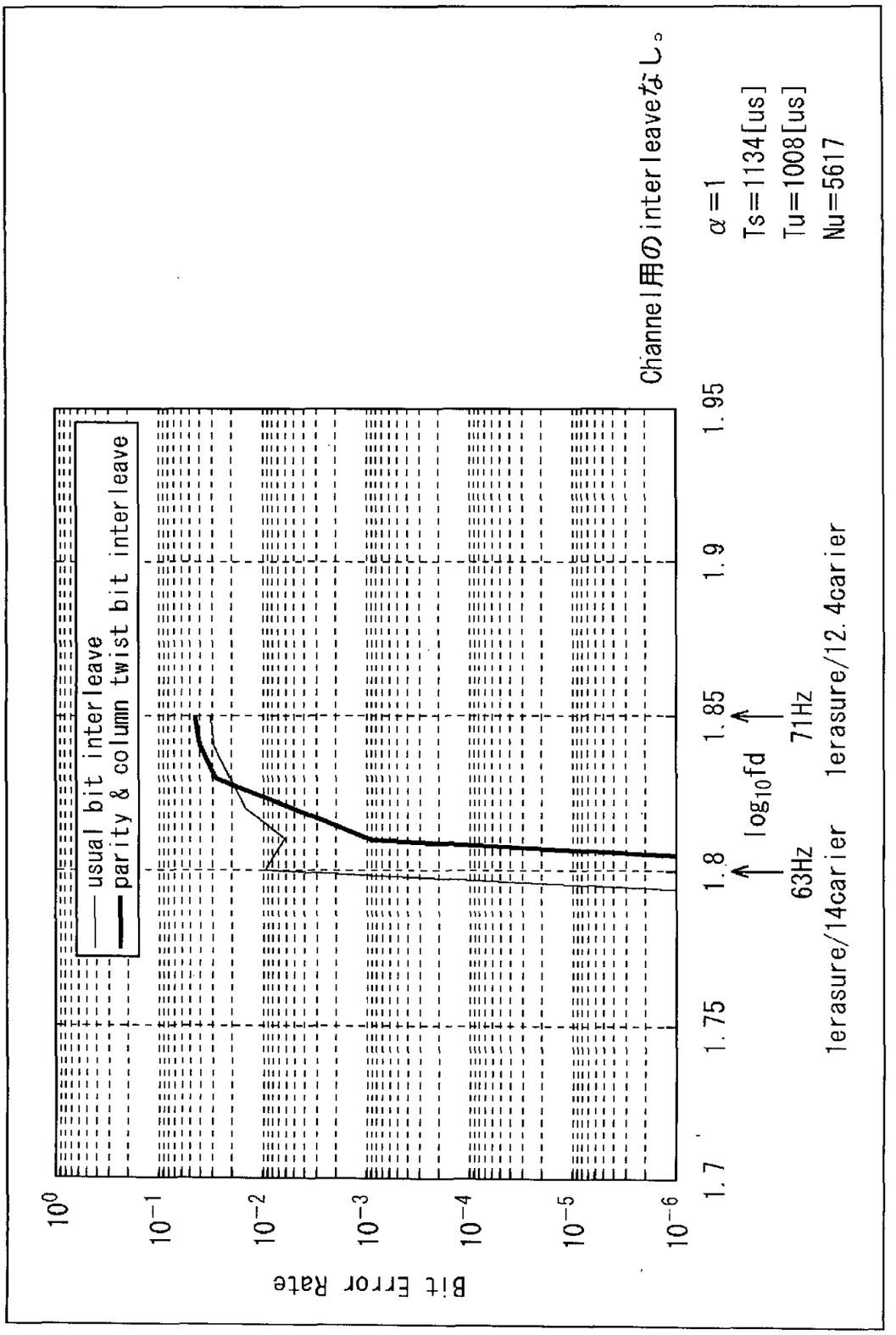
[図27]

図27



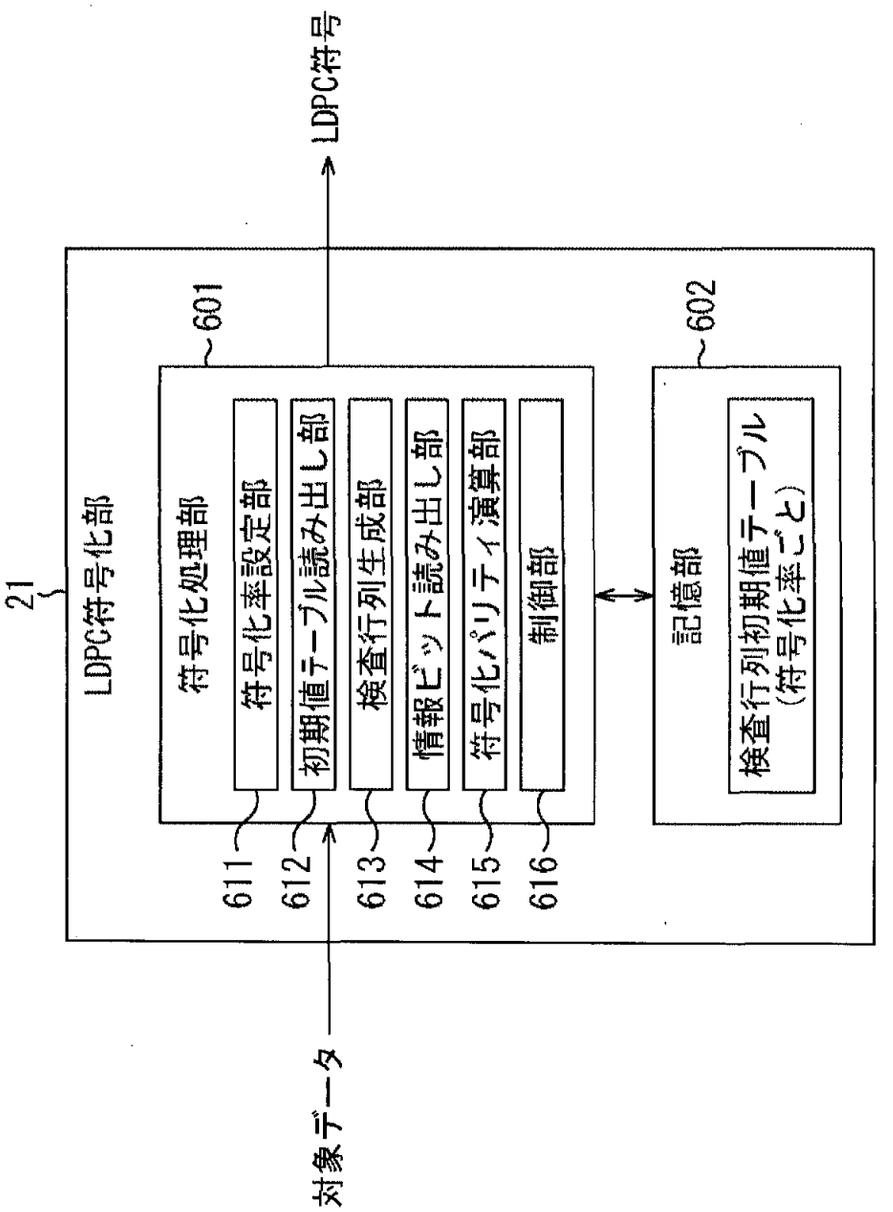
[図28]

図28

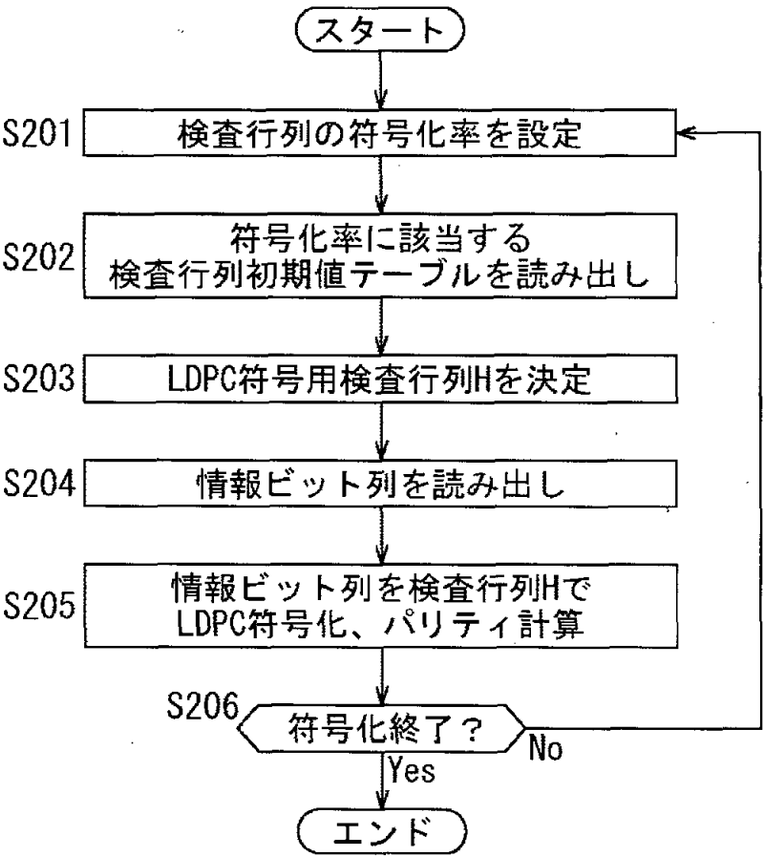

Channel用のinterleaveなし。
α=1
Ts=1134[us]
Tu=1008[us]
Nu=5617
usual bit interleave
parity & column twist bit interleave
Bit Error Rate
$10^{0}$
$10^{-1}$
$10^{-2}$
$10^{-3}$
$10^{-4}$
$10^{-5}$
$10^{-6}$
1.7
1.75
1.8
1.85
1.9
1.95
$\log_{10}$fd
63Hz
71Hz
1erasure/14carier
1erasure/12.4carier

000170

[図29]
図29



[図30]
図30


スタート
S201
検査行列の符号化率を設定
S202
符号化率に該当する
検査行列初期値テーブルを読み出し
S203
LDPC符号用検査行列Hを決定
S204
情報ビット列を読み出し
S205
情報ビット列を検査行列Hで
LDPC符号化、パリティ計算
S206
符号化終了？
No
Yes
エンド

000172

[図31]

図31

r2/3 16K

```
0 2084 1613 1548 1286 1460 3196 4297 2481 3369 3451 4620 2622
1 122 1516 3448 2880 1407 1847 3799 3529 373 971 4358 3108
2 259 3399 929 2650 864 3996 3833 107 5287 164 3125 2350
3 342 3529
4 4198 2147
5 1880 4836
6 3864 4910
7 243 1542
8 3011 1436
9 2167 2512
10 4606 1003
11 2835 705
12 3426 2365
13 3848 2474
14 1360 1743
0 163 2536
1 2583 1180
2 1542 509
3 4418 1005
4 5212 5117
5 2155 2922
6 347 2696
7 226 4296
8 1560 487
9 3926 1640
10 149 2928
11 2364 563
12 635 688
13 231 1684
14 1129 3894
```

$r=\frac{2}{3}$, N=16200の検査行列初期値テーブル

[図32]

図32 $r=\frac{2}{3}$, N=64800の検査行列初期値テーブル

r2/3 64K

```
0 10491 16043 506 12826 8065 8226 2767 240 18673 9279 10579 20928
1 17819 8313 6433 6224 5120 5824 12812 17187 9940 13447 13825 18483
2 17957 6024 8681 18628 12794 5915 14576 10970 12064 20437 4455 7151
3 19777 6183 9972 14536 8182 17749 11341 5556 4379 17434 15477 18532
4 4651 19689 1608 659 16707 14335 6143 3058 14618 17894 20684 5306
5 9778 2552 12096 12369 15198 16890 4851 3109 1700 18725 1997 15882
6 486 6111 13743 11537 5591 7433 15227 14145 1483 3887 17431 12430
7 20647 14311 11734 4180 8110 5525 12141 15761 18661 18441 10569 8192
8 3791 14759 15264 19918 10132 9062 10010 12786 10675 9682 19246 5454
9 19525 9485 7777 19999 8378 9209 3163 20232 6690 16518 716 7353
10 4588 6709 20202 10905 915 4317 11073 13576 16433 368 3508 21171
11 14072 4033 19959 12608 631 19494 14160 8249 10223 21504 12395 4322
12 13800 14161
13 2948 9647
14 14693 16027
15 20506 11082
16 1143 9020
17 13501 4014
18 1548 2190
19 12216 21556
20 2095 19897
21 4189 7958
22 15940 10048
23 515 12614
24 8501 8450
25 17595 16784
26 5913 8495
27 16394 10423
28 7409 6981
29 6678 15939
30 20344 12987
31 2510 14588
32 17918 6655
33 6703 19451
34 496 4217
35 7290 5766
36 10521 8925
37 20379 11905
38 4090 5838
39 19082 17040
```

[図33]

図33

| | | |
|---|---|---|
| 40 | 20233 | 12352 |
| 41 | 19365 | 19546 |
| 42 | 6249 | 19030 |
| 43 | 11037 | 19193 |
| 44 | 19760 | 11772 |
| 45 | 19644 | 7428 |
| 46 | 16076 | 3521 |
| 47 | 11779 | 21062 |
| 48 | 13062 | 9682 |
| 49 | 8934 | 5217 |
| 50 | 11087 | 3319 |
| 51 | 18892 | 4356 |
| 52 | 7894 | 3898 |
| 53 | 5963 | 4360 |
| 54 | 7346 | 11726 |
| 55 | 5182 | 5609 |
| 56 | 2412 | 17295 |
| 57 | 9845 | 20494 |
| 58 | 6687 | 1864 |
| 59 | 20564 | 5216 |
| 0 | 18226 | 17207 |
| 1 | 9380 | 8266 |
| 2 | 7073 | 3065 |
| 3 | 18252 | 13437 |
| 4 | 9161 | 15642 |
| 5 | 10714 | 10153 |
| 6 | 11585 | 9078 |
| 7 | 5359 | 9418 |
| 8 | 9024 | 9515 |
| 9 | 1206 | 16354 |
| 10 | 14994 | 1102 |
| 11 | 9375 | 20796 |
| 12 | 15964 | 6027 |
| 13 | 14789 | 6452 |
| 14 | 8002 | 18591 |
| 15 | 14742 | 14089 |
| 16 | 253 | 3045 |
| 17 | 1274 | 19286 |
| 18 | 14777 | 2044 |
| 19 | 13920 | 9900 |
| 20 | 452 | 7374 |

000175

[図34]

図34

| | |
|---|---|
| 21 | 18206 9921 |
| 22 | 6131 5414 |
| 23 | 10077 9726 |
| 24 | 12045 5479 |
| 25 | 4322 7990 |
| 26 | 15616 5550 |
| 27 | 15561 10661 |
| 28 | 20718 7387 |
| 29 | 2518 18804 |
| 30 | 8984 2600 |
| 31 | 6516 17909 |
| 32 | 11148 98 |
| 33 | 20559 3704 |
| 34 | 7510 1569 |
| 35 | 16000 11692 |
| 36 | 9147 10303 |
| 37 | 16650 191 |
| 38 | 15577 18685 |
| 39 | 17167 20917 |
| 40 | 4256 3391 |
| 41 | 20092 17219 |
| 42 | 9218 5056 |
| 43 | 18429 8472 |
| 44 | 12093 20753 |
| 45 | 16345 12748 |
| 46 | 16023 11095 |
| 47 | 5048 17595 |
| 48 | 18995 4817 |
| 49 | 16483 3536 |
| 50 | 1439 16148 |
| 51 | 3661 3039 |
| 52 | 19010 18121 |
| 53 | 8968 11793 |
| 54 | 13427 18003 |
| 55 | 5303 3083 |
| 56 | 531 16668 |
| 57 | 4771 6722 |
| 58 | 5695 7960 |
| 59 | 3589 14630 |

000176

[図35]

図35

r3/4 16K

3 3198 478 4207 1481 1009 2616 1924 3437 554 683 1801
4 2681 2135
5 3107 4027
6 2637 3373
7 3830 3449
8 4129 2060
9 4184 2742
10 3946 1070
11 2239 984
0 1458 3031
1 3003 1328
2 1137 1716
3 132 3725
4 1817 638
5 1774 3447
6 3632 1257
7 542 3694
8 1015 1945
9 1948 412
10 995 2238
11 4141 1907
0 2480 3079
1 3021 1088
2 713 1379
3 997 3903
4 2323 3361
5 1110 986
6 2532 142
7 1690 2405
8 1298 1881
9 615 174
10 1648 3112
11 1415 2808

$r=\frac{3}{4}$, N=16200の検査行列初期値テーブル

[図36]

図36 $r=\frac{3}{4}$, N=64800の検査行列初期値テーブル

r3/4 64K

0 6385 7901 14611 13389 11200 3252 5243 2504 2722 821 7374
1 11359 2698 357 13824 12772 7244 6752 15310 852 2001 11417
2 7862 7977 6321 13612 12197 14449 15137 13860 1708 6399 13444
3 1560 11804 6975 13292 3646 3812 8772 7306 5795 14327 7866
4 7626 11407 14599 9689 1628 2113 10809 9283 1230 15241 4870
5 1610 5699 15876 9446 12515 1400 6303 5411 14181 13925 7358
6 4059 8836 3405 7853 7992 15336 5970 10368 10278 9675 4651
7 4441 3963 9153 2109 12683 7459 12030 12221 629 15212 406
8 6007 8411 5771 3497 543 14202 875 9186 6235 13908 3563
9 3232 6625 4795 546 9781 2071 7312 3399 7250 4932 12652
10 8820 10088 11090 7069 6585 13134 10158 7183 488 7455 9238
11 1903 10818 119 215 7558 11046 10615 11545 14784 7961 15619
12 3655 8736 4917 15874 5129 2134 15944 14768 7150 2692 1469
13 8316 3820 505 8923 6757 806 7957 4216 15589 13244 2622
14 14463 4852 15733 3041 11193 12860 13673 8152 6551 15108 8758
15 3149 11981
16 13416 6906
17 13098 13352
18 2009 14460
19 7207 4314
20 3312 3945
21 4418 6248
22 2669 13975
23 7571 9023
24 14172 2967
25 7271 7138
26 6135 13670
27 7490 14559
28 8657 2466
29 8599 12834
30 3470 3152
31 13917 4365
32 6024 13730
33 10973 14182
34 2464 13167
35 5281 15049
36 1103 1849
37 2058 1069
38 9654 6095
39 14311 7667

[図37]

図37

40 15617 8146
41 4588 11218
42 13660 6243
43 8578 7874
44 11741 2686
0 1022 1264
1 12604 9965
2 8217 2707
3 3156 11793
4 354 1514
5 6978 14058
6 7922 16079
7 15087 12138
8 5053 6470
9 12687 14932
10 15458 1763
11 8121 1721
12 12431 549
13 4129 7091
14 1426 8415
15 9783 7604
16 6295 11329
17 1409 12061
18 8065 9087
19 2918 8438
20 1293 14115
21 3922 13851
22 3851 4000
23 5865 1768
24 2655 14957
25 5565 6332
26 4303 12631
27 11653 12236
28 16025 7632
29 4655 14128
30 9584 13123
31 13987 9597
32 15409 12110
33 8754 15490
34 7416 15325
35 2909 15549

[図38]

図38

| | | |
|---|---|---|
| 36 | 2995 | 8257 |
| 37 | 9406 | 4791 |
| 38 | 11111 | 4854 |
| 39 | 2812 | 8521 |
| 40 | 8476 | 14717 |
| 41 | 7820 | 15360 |
| 42 | 1179 | 7939 |
| 43 | 2357 | 8678 |
| 44 | 7703 | 6216 |
| 0 | 3477 | 7067 |
| 1 | 3931 | 13845 |
| 2 | 7675 | 12899 |
| 3 | 1754 | 8187 |
| 4 | 7785 | 1400 |
| 5 | 9213 | 5891 |
| 6 | 2494 | 7703 |
| 7 | 2576 | 7902 |
| 8 | 4821 | 15682 |
| 9 | 10426 | 11935 |
| 10 | 1810 | 904 |
| 11 | 11332 | 9264 |
| 12 | 11312 | 3570 |
| 13 | 14916 | 2650 |
| 14 | 7679 | 7842 |
| 15 | 6089 | 13084 |
| 16 | 3938 | 2751 |
| 17 | 8509 | 4648 |
| 18 | 12204 | 8917 |
| 19 | 5749 | 12443 |
| 20 | 12613 | 4431 |
| 21 | 1344 | 4014 |
| 22 | 8488 | 13850 |
| 23 | 1730 | 14896 |
| 24 | 14942 | 7126 |
| 25 | 14983 | 8863 |
| 26 | 6578 | 8564 |
| 27 | 4947 | 396 |
| 28 | 297 | 12805 |
| 29 | 13878 | 6692 |
| 30 | 11857 | 11186 |
| 31 | 14395 | 11493 |

[図39]

図39

| | | |
|---|---|---|
| 32 | 16145 | 12251 |
| 33 | 13462 | 7428 |
| 34 | 14526 | 13119 |
| 35 | 2535 | 11243 |
| 36 | 6465 | 12690 |
| 37 | 6872 | 9334 |
| 38 | 15371 | 14023 |
| 39 | 8101 | 10187 |
| 40 | 11963 | 4848 |
| 41 | 15125 | 6119 |
| 42 | 8051 | 14465 |
| 43 | 11139 | 5167 |
| 44 | 2883 | 14521 |

[図40]

図40

r4/5 16K
5 896 1565
6 2493 184
7 212 3210
8 727 1339
9 3428 612
0 2663 1947
1 230 2695
2 2025 2794
3 3039 283
4 862 2889
5 376 2110
6 2034 2286
7 951 2068
8 3108 3542
9 307 1421
0 2272 1197
1 1800 3280
2 331 2308
3 465 2552
4 1038 2479
5 1383 343
6 94 236
7 2619 121
8 1497 2774
9 2116 1855
0 722 1584
1 2767 1881
2 2701 1610
3 3283 1732
4 168 1099
5 3074 243
6 3460 945
7 2049 1746
8 566 1427
9 3545 1168

$r=\frac{4}{5}$, N=16200の検査行列初期値テーブル

[図41]

図41 $r=\frac{4}{5}$, N=64800の検査行列初期値テーブル

r4/5 64K

0 149 11212 5575 6360 12559 8108 8505 408 10026 12828
1 5237 490 10677 4998 3869 3734 3092 3509 7703 10305
2 8742 5553 2820 7085 12116 10485 564 7795 2972 2157
3 2699 4304 8350 712 2841 3250 4731 10105 517 7516
4 12067 1351 11992 12191 11267 5161 537 6166 4246 2363
5 6828 7107 2127 3724 5743 11040 10756 4073 1011 3422
6 11259 1216 9526 1466 10816 940 3744 2815 11506 11573
7 4549 11507 1118 1274 11751 5207 7854 12803 4047 6484
8 8430 4115 9440 413 4455 2262 7915 12402 8579 7052
9 3885 9126 5665 4505 2343 253 4707 3742 4166 1556
10 1704 8936 6775 8639 8179 7954 8234 7850 8883 8713
11 11716 4344 9087 11264 2274 8832 9147 11930 6054 5455
12 7323 3970 10329 2170 8262 3854 2087 12899 9497 11700
13 4418 1467 2490 5841 817 11453 533 11217 11962 5251
14 1541 4525 7976 3457 9536 7725 3788 2982 6307 5997
15 11484 2739 4023 12107 6516 551 2572 6628 8150 9852
16 6070 1761 4627 6534 7913 3730 11866 1813 12306 8249
17 12441 5489 8748 7837 7660 2102 11341 2936 6712 11977
18 10155 4210
19 1010 10483
20 8900 10250
21 10243 12278
22 7070 4397
23 12271 3887
24 11980 6836
25 9514 4356
26 7137 10281
27 11881 2526
28 1969 11477
29 3044 10921
30 2236 8724
31 9104 6340
32 7342 8582
33 11675 10405
34 6467 12775
35 3186 12198
0 9621 11445
1 7486 5611
2 4319 4879
3 2196 344

[図42]

図42

| |
|---|
| 4 7527 6650 |
| 5 10693 2440 |
| 6 6755 2706 |
| 7 5144 5998 |
| 8 11043 8033 |
| 9 4846 4435 |
| 10 4157 9228 |
| 11 12270 6562 |
| 12 11954 7592 |
| 13 7420 2592 |
| 14 8810 9636 |
| 15 689 5430 |
| 16 920 1304 |
| 17 1253 11934 |
| 18 9559 6016 |
| 19 312 7589 |
| 20 4439 4197 |
| 21 4002 9555 |
| 22 12232 7779 |
| 23 1494 8782 |
| 24 10749 3969 |
| 25 4368 3479 |
| 26 6316 5342 |
| 27 2455 3493 |
| 28 12157 7405 |
| 29 6598 11495 |
| 30 11805 4455 |
| 31 9625 2090 |
| 32 4731 2321 |
| 33 3578 2608 |
| 34 8504 1849 |
| 35 4027 1151 |
| 0 5647 4935 |
| 1 4219 1870 |
| 2 10968 8054 |
| 3 6970 5447 |
| 4 3217 5638 |
| 5 8972 669 |
| 6 5618 12472 |
| 7 1457 1280 |
| 8 8868 3883 |

060184

[図43]

図43

| | |
|---|---|
| 9 | 8866 1224 |
| 10 | 8371 5972 |
| 11 | 266 4405 |
| 12 | 3706 3244 |
| 13 | 6039 5844 |
| 14 | 7200 3283 |
| 15 | 1502 11282 |
| 16 | 12318 2202 |
| 17 | 4523 965 |
| 18 | 9587 7011 |
| 19 | 2552 2051 |
| 20 | 12045 10306 |
| 21 | 11070 5104 |
| 22 | 6627 6906 |
| 23 | 9889 2121 |
| 24 | 829 9701 |
| 25 | 2201 1819 |
| 26 | 6689 12925 |
| 27 | 2139 8757 |
| 28 | 12004 5948 |
| 29 | 8704 3191 |
| 30 | 8171 10933 |
| 31 | 6297 7116 |
| 32 | 616 7146 |
| 33 | 5142 9761 |
| 34 | 10377 8138 |
| 35 | 7616 5811 |
| 0 | 7285 9863 |
| 1 | 7764 10867 |
| 2 | 12343 9019 |
| 3 | 4414 8331 |
| 4 | 3464 642 |
| 5 | 6960 2039 |
| 6 | 786 3021 |
| 7 | 710 2086 |
| 8 | 7423 5601 |
| 9 | 8120 4885 |
| 10 | 12385 11990 |
| 11 | 9739 10034 |
| 12 | 424 10162 |
| 13 | 1347 7597 |

[図44]

図44

| | | |
|---|---|---|
| 14 | 1450 | 112 |
| 15 | 7965 | 8478 |
| 16 | 8945 | 7397 |
| 17 | 6590 | 8316 |
| 18 | 6838 | 9011 |
| 19 | 6174 | 9410 |
| 20 | 255 | 113 |
| 21 | 6197 | 5835 |
| 22 | 12902 | 3844 |
| 23 | 4377 | 3505 |
| 24 | 5478 | 8672 |
| 25 | 4453 | 2132 |
| 26 | 9724 | 1380 |
| 27 | 12131 | 11526 |
| 28 | 12323 | 9511 |
| 29 | 8231 | 1752 |
| 30 | 497 | 9022 |
| 31 | 9288 | 3080 |
| 32 | 2481 | 7515 |
| 33 | 2696 | 268 |
| 34 | 4023 | 12341 |
| 35 | 7108 | 5553 |

[図45]

図45

r5/6 16K

3 2409 499 1481 908 559 716 1270 333 2508 2264 1702 2805
4 2447 1926
5 414 1224
6 2114 842
7 212 573
0 2383 2112
1 2286 2348
2 545 819
3 1264 143
4 1701 2258
5 964 166
6 114 2413
7 2243 81
0 1245 1581
1 775 169
2 1696 1104
3 1914 2831
4 532 1450
5 91 974
6 497 2228
7 2326 1579
0 2482 256
1 1117 1261
2 1257 1658
3 1478 1225
4 2511 980
5 2320 2675
6 435 1278
7 228 503
0 1885 2369
1 57 483
2 838 1050
3 1231 1990
4 1738 68
5 2392 951
6 163 645
7 2644 1704

$r=\frac{5}{6}$, N=16200の検査行列初期値テーブル

[図46]

図46 $r=\frac{5}{6}$, N=64800の検査行列初期値テーブル

r5/6 64K

0 4362 416 8909 4156 3216 3112 2560 2912 6405 8593 4969 6723
1 2479 1786 8978 3011 4339 9313 6397 2957 7288 5484 6031 10217
2 10175 9009 9889 3091 4985 7267 4092 8874 5671 2777 2189 8716
3 9052 4795 3924 3370 10058 1128 9996 10165 9360 4297 434 5138
4 2379 7834 4835 2327 9843 804 329 8353 7167 3070 1528 7311
5 3435 7871 348 3693 1876 6585 10340 7144 5870 2084 4052 2780
6 3917 3111 3476 1304 10331 5939 5199 1611 1991 699 8316 9960
7 6883 3237 1717 10752 7891 9764 4745 3888 10009 4176 4614 1567
8 10587 2195 1689 2968 5420 2580 2883 6496 111 6023 1024 4449
9 3786 8593 2074 3321 5057 1450 3840 5444 6572 3094 9892 1512
10 8548 1848 10372 4585 7313 6536 6379 1766 9462 2456 5606 9975
11 8204 10593 7935 3636 3882 394 5968 8561 2395 7289 9267 9978
12 7795 74 1633 9542 6867 7352 6417 7568 10623 725 2531 9115
13 7151 2482 4260 5003 10105 7419 9203 6691 8798 2092 8263 3755
14 3600 570 4527 200 9718 6771 1995 8902 5446 768 1103 6520
15 6304 7621
16 6498 9209
17 7293 6786
18 5950 1708
19 8521 1793
20 6174 7854
21 9773 1190
22 9517 10268
23 2181 9349
24 1949 5560
25 1556 555
26 8600 3827
27 5072 1057
28 7928 3542
29 3226 3762
0 7045 2420
1 9645 2641
2 2774 2452
3 5331 2031
4 9400 7503
5 1850 2338
6 10456 9774
7 1692 9276
8 10037 4038
9 3964 338

000138

[図47]

図47

| | | |
|---|---|---|
| 10 | 2640 | 5087 |
| 11 | 858 | 3473 |
| 12 | 5582 | 5683 |
| 13 | 9523 | 916 |
| 14 | 4107 | 1559 |
| 15 | 4506 | 3491 |
| 16 | 8191 | 4182 |
| 17 | 10192 | 6157 |
| 18 | 5668 | 3305 |
| 19 | 3449 | 1540 |
| 20 | 4766 | 2697 |
| 21 | 4069 | 6675 |
| 22 | 1117 | 1016 |
| 23 | 5619 | 3085 |
| 24 | 8483 | 8400 |
| 25 | 8255 | 394 |
| 26 | 6338 | 5042 |
| 27 | 6174 | 5119 |
| 28 | 7203 | 1989 |
| 29 | 1781 | 5174 |
| 0 | 1464 | 3559 |
| 1 | 3376 | 4214 |
| 2 | 7238 | 67 |
| 3 | 10595 | 8831 |
| 4 | 1221 | 6513 |
| 5 | 5300 | 4652 |
| 6 | 1429 | 9749 |
| 7 | 7878 | 5131 |
| 8 | 4435 | 10284 |
| 9 | 6331 | 5507 |
| 10 | 6662 | 4941 |
| 11 | 9614 | 10238 |
| 12 | 8400 | 8025 |
| 13 | 9156 | 5630 |
| 14 | 7067 | 8878 |
| 15 | 9027 | 3415 |
| 16 | 1690 | 3866 |
| 17 | 2854 | 8469 |
| 18 | 6206 | 630 |
| 19 | 363 | 5453 |
| 20 | 4125 | 7008 |

[図48]

図48

21 1612 6702
22 9069 9226
23 5767 4060
24 3743 9237
25 7018 5572
26 8892 4536
27 853 6064
28 8069 5893
29 2051 2885
0 10691 3153
1 3602 4055
2 328 1717
3 2219 9299
4 1939 7898
5 617 206
6 8544 1374
7 10676 3240
8 6672 9489
9 3170 7457
10 7868 5731
11 6121 10732
12 4843 9132
13 580 9591
14 6267 9290
15 3009 2268
16 195 2419
17 8016 1557
18 1516 9195
19 8062 9064
20 2095 8968
21 753 7326
22 6291 3833
23 2614 7844
24 2303 646
25 2075 611
26 4687 362
27 8684 9940
28 4830 2065
29 7038 1363
0 1769 7837
1 3801 1689

000190

[図49]

図49

2 10070 2359
3 3667 9918
4 1914 6920
5 4244 5669
6 10245 7821
7 7648 3944
8 3310 5488
9 6346 9666
10 7088 6122
11 1291 7827
12 10592 8945
13 3609 7120
14 9168 9112
15 6203 8052
16 3330 2895
17 4264 10563
18 10556 6496
19 8807 7645
20 1999 4530
21 9202 6818
22 3403 1734
23 2106 9023
24 6881 3883
25 3895 2171
26 4062 6424
27 3755 9536
28 4683 2131
29 7347 8027

[図50]

図50 $r=\frac{8}{9}$, N=16200の検査行列初期値テーブル

r8/9 16K

```
0 1558 712 805
1 1450 873 1337
2 1741 1129 1184
3 294 806 1566
4 482 605 923
0 926 1578
1 777 1374
2 608 151
3 1195 210
4 1484 692
0 427 488
1 828 1124
2 874 1366
3 1500 835
4 1496 502
0 1006 1701
1 1155 97
2 657 1403
3 1453 624
4 429 1495
0 809 385
1 367 151
2 1323 202
3 960 318
4 1451 1039
0 1098 1722
1 1015 1428
2 1261 1564
3 544 1190
4 1472 1246
0 508 630
1 421 1704
2 284 898
3 392 577
4 1155 556
0 631 1000
1 732 1368
2 1328 329
3 1515 506
4 1104 1172
```

[図51]

図51 $r=\frac{8}{9}$, N=64800の検査行列初期値テーブル

r8/9 64K

0 6235 2848 3222
1 5800 3492 5348
2 2757 927 90
3 6961 4516 4739
4 1172 3237 6264
5 1927 2425 3683
6 3714 6309 2495
7 3070 6342 7154
8 2428 613 3761
9 2906 264 5927
10 1716 1950 4273
11 4613 6179 3491
12 4865 3286 6005
13 1343 5923 3529
14 4589 4035 2132
15 1579 3920 6737
16 1644 1191 5998
17 1482 2381 4620
18 6791 6014 6596
19 2738 5918 3786
0 5156 6166
1 1504 4356
2 130 1904
3 6027 3187
4 6718 759
5 6240 2870
6 2343 1311
7 1039 5465
8 6617 2513
9 1588 5222
10 6561 535
11 4765 2054
12 5966 6892
13 1969 3869
14 3571 2420
15 4632 981
16 3215 4163
17 973 3117
18 3802 6198
19 3794 3948

[図52]

図52

| |
|---|
| 0 3196 6126 |
| 1 573 1909 |
| 2 850 4034 |
| 3 5622 1601 |
| 4 6005 524 |
| 5 5251 5783 |
| 6 172 2032 |
| 7 1875 2475 |
| 8 497 1291 |
| 9 2566 3430 |
| 10 1249 740 |
| 11 2944 1948 |
| 12 6528 2899 |
| 13 2243 3616 |
| 14 867 3733 |
| 15 1374 4702 |
| 16 4698 2285 |
| 17 4760 3917 |
| 18 1859 4058 |
| 19 6141 3527 |
| 0 2148 5066 |
| 1 1306 145 |
| 2 2319 871 |
| 3 3463 1061 |
| 4 5554 6647 |
| 5 5837 339 |
| 6 5821 4932 |
| 7 6356 4756 |
| 8 3930 418 |
| 9 211 3094 |
| 10 1007 4928 |
| 11 3584 1235 |
| 12 6982 2869 |
| 13 1612 1013 |
| 14 953 4964 |
| 15 4555 4410 |
| 16 4925 4842 |
| 17 5778 600 |
| 18 6509 2417 |
| 19 1260 4903 |
| 0 3369 3031 |

[図53]

図53

| | | |
|---|---|---|
| 1 | 3557 | 3224 |
| 2 | 3028 | 583 |
| 3 | 3258 | 440 |
| 4 | 6226 | 6655 |
| 5 | 4895 | 1094 |
| 6 | 1481 | 6847 |
| 7 | 4433 | 1932 |
| 8 | 2107 | 1649 |
| 9 | 2119 | 2065 |
| 10 | 4003 | 6388 |
| 11 | 6720 | 3622 |
| 12 | 3694 | 4521 |
| 13 | 1164 | 7050 |
| 14 | 1965 | 3613 |
| 15 | 4331 | 66 |
| 16 | 2970 | 1796 |
| 17 | 4652 | 3218 |
| 18 | 1762 | 4777 |
| 19 | 5736 | 1399 |
| 0 | 970 | 2572 |
| 1 | 2062 | 6599 |
| 2 | 4597 | 4870 |
| 3 | 1228 | 6913 |
| 4 | 4159 | 1037 |
| 5 | 2916 | 2362 |
| 6 | 395 | 1226 |
| 7 | 6911 | 4548 |
| 8 | 4618 | 2241 |
| 9 | 4120 | 4280 |
| 10 | 5825 | 474 |
| 11 | 2154 | 5558 |
| 12 | 3793 | 5471 |
| 13 | 5707 | 1595 |
| 14 | 1403 | 325 |
| 15 | 6601 | 5183 |
| 16 | 6369 | 4569 |
| 17 | 4846 | 896 |
| 18 | 7092 | 6184 |
| 19 | 6764 | 7127 |
| 0 | 6358 | 1951 |
| 1 | 3117 | 6960 |

[図54]
図54

| |
|---|
| 2 2710 7062 |
| 3 1133 3604 |
| 4 3694 657 |
| 5 1355 110 |
| 6 3329 6736 |
| 7 2505 3407 |
| 8 2462 4806 |
| 9 4216 214 |
| 10 5348 5619 |
| 11 6627 6243 |
| 12 2644 5073 |
| 13 4212 5088 |
| 14 3463 3889 |
| 15 5306 478 |
| 16 4320 6121 |
| 17 3961 1125 |
| 18 5699 1195 |
| 19 6511 792 |
| 0 3934 2778 |
| 1 3238 6587 |
| 2 1111 6596 |
| 3 1457 6226 |
| 4 1446 3885 |
| 5 3907 4043 |
| 6 6839 2873 |
| 7 1733 5615 |
| 8 5202 4269 |
| 9 3024 4722 |
| 10 5445 6372 |
| 11 370 1828 |
| 12 4695 1600 |
| 13 680 2074 |
| 14 1801 6690 |
| 15 2669 1377 |
| 16 2463 1681 |
| 17 5972 5171 |
| 18 5728 4284 |
| 19 1696 1459 |

[図55]

図55 $r=\frac{9}{10}$, N=64800の検査行列初期値テーブル

r9/10 64K

0 5611 2563 2900
1 5220 3143 4813
2 2481 834 81
3 6265 4064 4265
4 1055 2914 5638
5 1734 2182 3315
6 3342 5678 2246
7 2185 552 3385
8 2615 236 5334
9 1546 1755 3846
10 4154 5561 3142
11 4382 2957 5400
12 1209 5329 3179
13 1421 3528 6063
14 1480 1072 5398
15 3843 1777 4369
16 1334 2145 4163
17 2368 5055 260
0 6118 5405
1 2994 4370
2 3405 1669
3 4640 5550
4 1354 3921
5 117 1713
6 5425 2866
7 6047 683
8 5616 2582
9 2108 1179
10 933 4921
11 5953 2261
12 1430 4699
13 5905 480
14 4289 1846
15 5374 6208
16 1775 3476
17 3216 2178
0 4165 884
1 2896 3744
2 874 2801
3 3423 5579

[図56]

図56

| |
|---|
| 4 3404 3552 |
| 5 2876 5515 |
| 6 516 1719 |
| 7 765 3631 |
| 8 5059 1441 |
| 9 5629 598 |
| 10 5405 473 |
| 11 4724 5210 |
| 12 155 1832 |
| 13 1689 2229 |
| 14 449 1164 |
| 15 2308 3088 |
| 16 1122 669 |
| 17 2268 5758 |
| 0 5878 2609 |
| 1 782 3359 |
| 2 1231 4231 |
| 3 4225 2052 |
| 4 4286 3517 |
| 5 5531 3184 |
| 6 1935 4560 |
| 7 1174 131 |
| 8 3115 956 |
| 9 3129 1088 |
| 10 5238 4440 |
| 11 5722 4280 |
| 12 3540 375 |
| 13 191 2782 |
| 14 906 4432 |
| 15 3225 1111 |
| 16 6296 2583 |
| 17 1457 903 |
| 0 855 4475 |
| 1 4097 3970 |
| 2 4433 4361 |
| 3 5198 541 |
| 4 1146 4426 |
| 5 3202 2902 |
| 6 2724 525 |
| 7 1083 4124 |
| 8 2326 6003 |

[図57]
図57

| | | |
|---|---|---|
| 9 | 5605 | 5990 |
| 10 | 4376 | 1579 |
| 11 | 4407 | 984 |
| 12 | 1332 | 6163 |
| 13 | 5359 | 3975 |
| 14 | 1907 | 1854 |
| 15 | 3601 | 5748 |
| 16 | 6056 | 3266 |
| 17 | 3322 | 4085 |
| 0 | 1768 | 3244 |
| 1 | 2149 | 144 |
| 2 | 1589 | 4291 |
| 3 | 5154 | 1252 |
| 4 | 1855 | 5939 |
| 5 | 4820 | 2706 |
| 6 | 1475 | 3360 |
| 7 | 4266 | 693 |
| 8 | 4156 | 2018 |
| 9 | 2103 | 752 |
| 10 | 3710 | 3853 |
| 11 | 5123 | 931 |
| 12 | 6146 | 3323 |
| 13 | 1939 | 5002 |
| 14 | 5140 | 1437 |
| 15 | 1263 | 293 |
| 16 | 5949 | 4665 |
| 17 | 4548 | 6380 |
| 0 | 3171 | 4690 |
| 1 | 5204 | 2114 |
| 2 | 6384 | 5565 |
| 3 | 5722 | 1757 |
| 4 | 2805 | 6264 |
| 5 | 1202 | 2616 |
| 6 | 1018 | 3244 |
| 7 | 4018 | 5289 |
| 8 | 2257 | 3067 |
| 9 | 2483 | 3073 |
| 10 | 1196 | 5329 |
| 11 | 649 | 3918 |
| 12 | 3791 | 4581 |
| 13 | 5028 | 3803 |

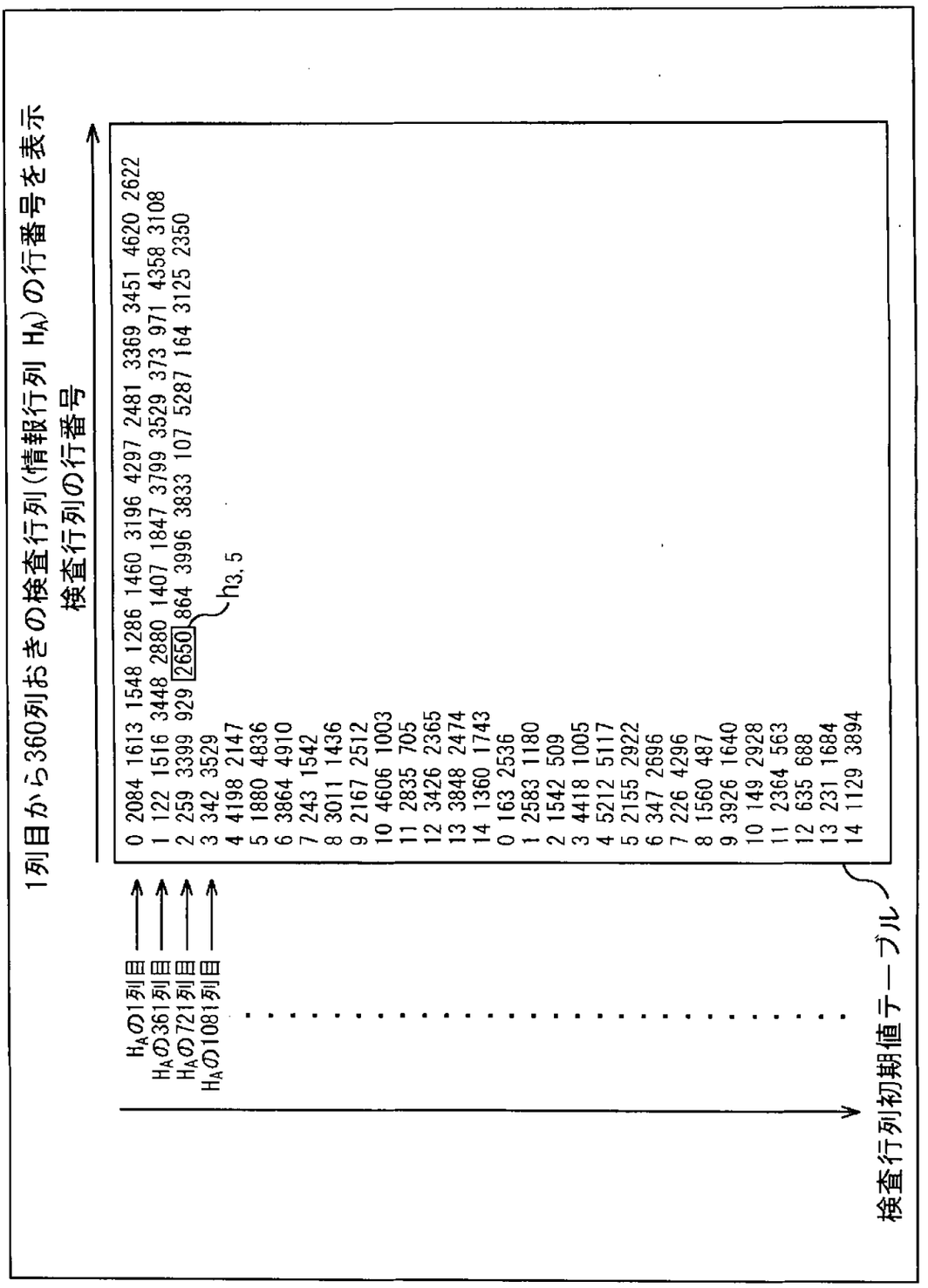
[図58]

図58

| |
|---|
| 14 3119 3506 |
| 15 4779 431 |
| 16 3888 5510 |
| 17 4387 4084 |
| 0 5836 1692 |
| 1 5126 1078 |
| 2 5721 6165 |
| 3 3540 2499 |
| 4 2225 6348 |
| 5 1044 1484 |
| 6 6323 4042 |
| 7 1313 5603 |
| 8 1303 3496 |
| 9 3516 3639 |
| 10 5161 2293 |
| 11 4682 3845 |
| 12 3045 643 |
| 13 2818 2616 |
| 14 3267 649 |
| 15 6236 593 |
| 16 646 2948 |
| 17 4213 1442 |
| 0 5779 1596 |
| 1 2403 1237 |
| 2 2217 1514 |
| 3 5609 716 |
| 4 5155 3858 |
| 5 1517 1312 |
| 6 2554 3158 |
| 7 5280 2643 |
| 8 4990 1353 |
| 9 5648 1170 |
| 10 1152 4366 |
| 11 3561 5368 |
| 12 3581 1411 |
| 13 5647 4661 |
| 14 1542 5401 |
| 15 5078 2687 |
| 16 316 1755 |
| 17 3392 1991 |

[図59]

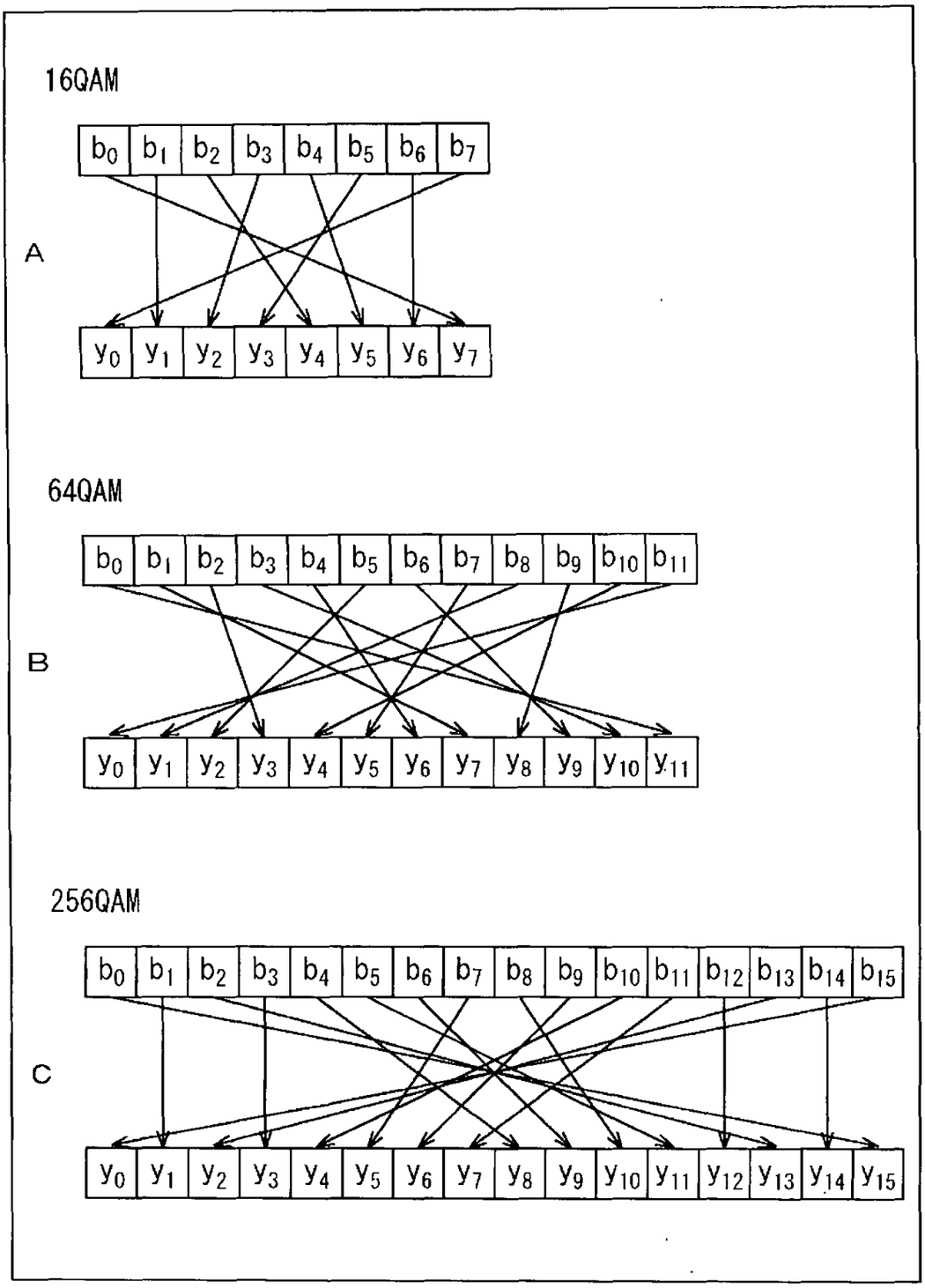
図59


1列目から360列おきの検査行列(情報行列 $H_A$)の行番号を表示
検査行列の行番号
$H_A$の1列目
$H_A$の361列目
$H_A$の721列目
$H_A$の1081列目
0 2084 1613 1548 1286 1460 3196 4297 2481 3369 3451 4620 2622
1 122 1516 3448 2880 1407 1847 3799 3529 373 971 4358 3108
2 259 3399 929 2650 864 3996 3833 107 5287 164 3125 2350
3 342 3529
4 4198 2147
5 1880 4836
6 3864 4910
7 243 1542
8 3011 1436
9 2167 2512
10 4606 1003
11 2835 705
12 3426 2365
13 3848 2474
14 1360 1743
0 163 2536
1 2583 1180
2 1542 509
3 4418 1005
4 5212 5117
5 2155 2922
6 347 2696
7 226 4296
8 1560 487
9 3926 1640
10 149 2928
11 2364 563
12 635 688
13 231 1684
14 1129 3894
$h_{3,5}$
検査行列初期値テーブル

000201

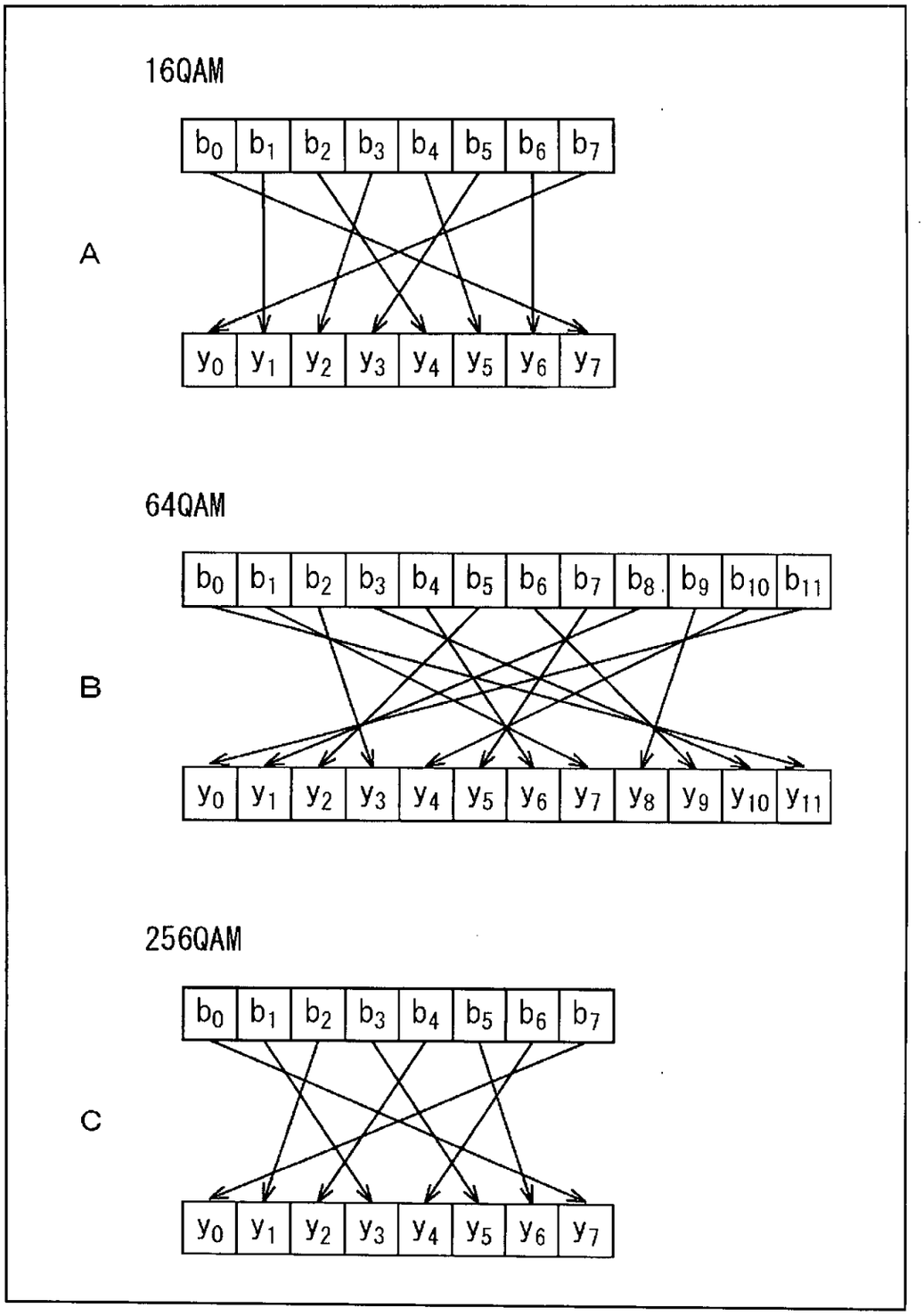
[図60]

図60



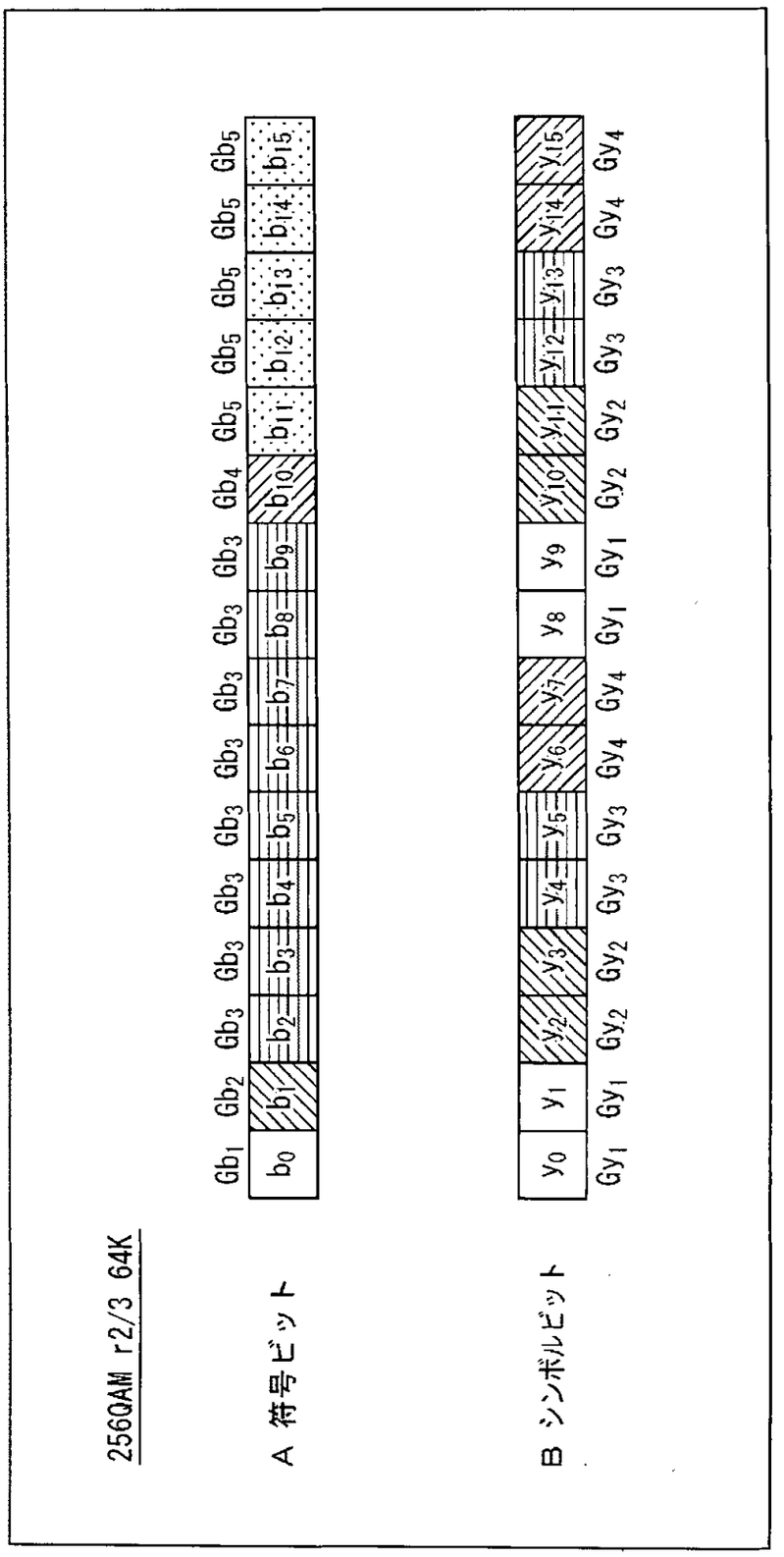
[図61]

図61


16QAM
A
b0 b1 b2 b3 b4 b5 b6 b7
y0 y1 y2 y3 y4 y5 y6 y7
64QAM
B
b0 b1 b2 b3 b4 b5 b6 b7 b8 b9 b10 b11
y0 y1 y2 y3 y4 y5 y6 y7 y8 y9 y10 y11
256QAM
C
b0 b1 b2 b3 b4 b5 b6 b7
y0 y1 y2 y3 y4 y5 y6 y7

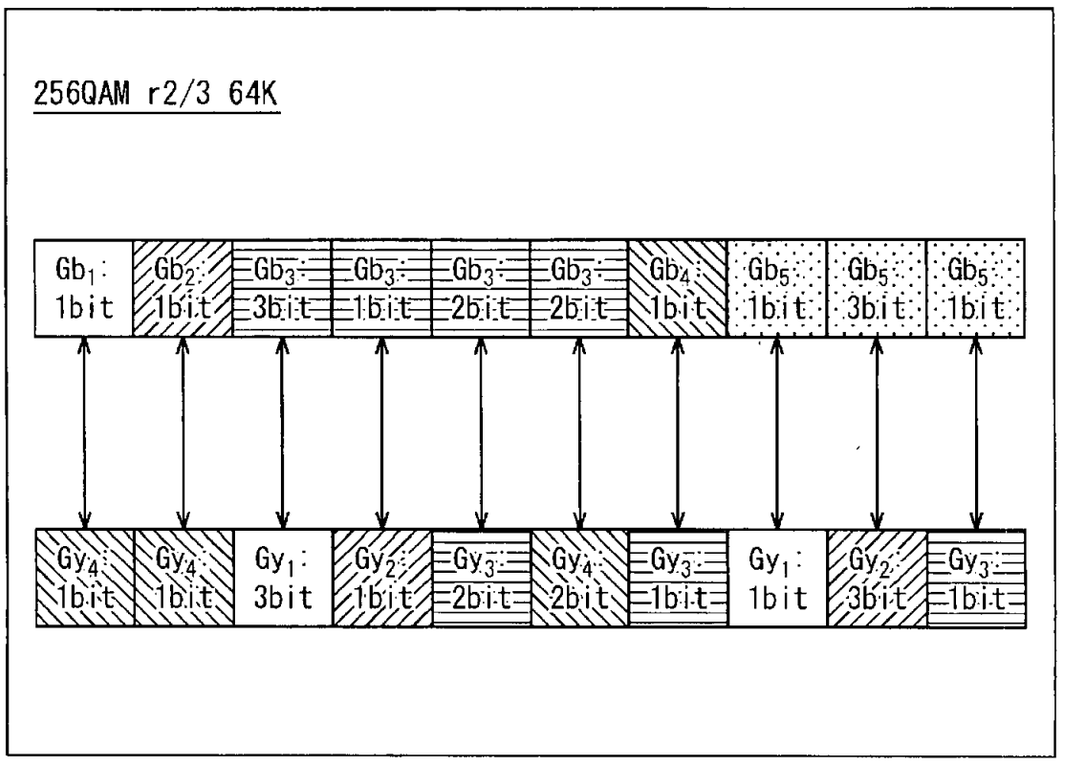
[図62]

図62



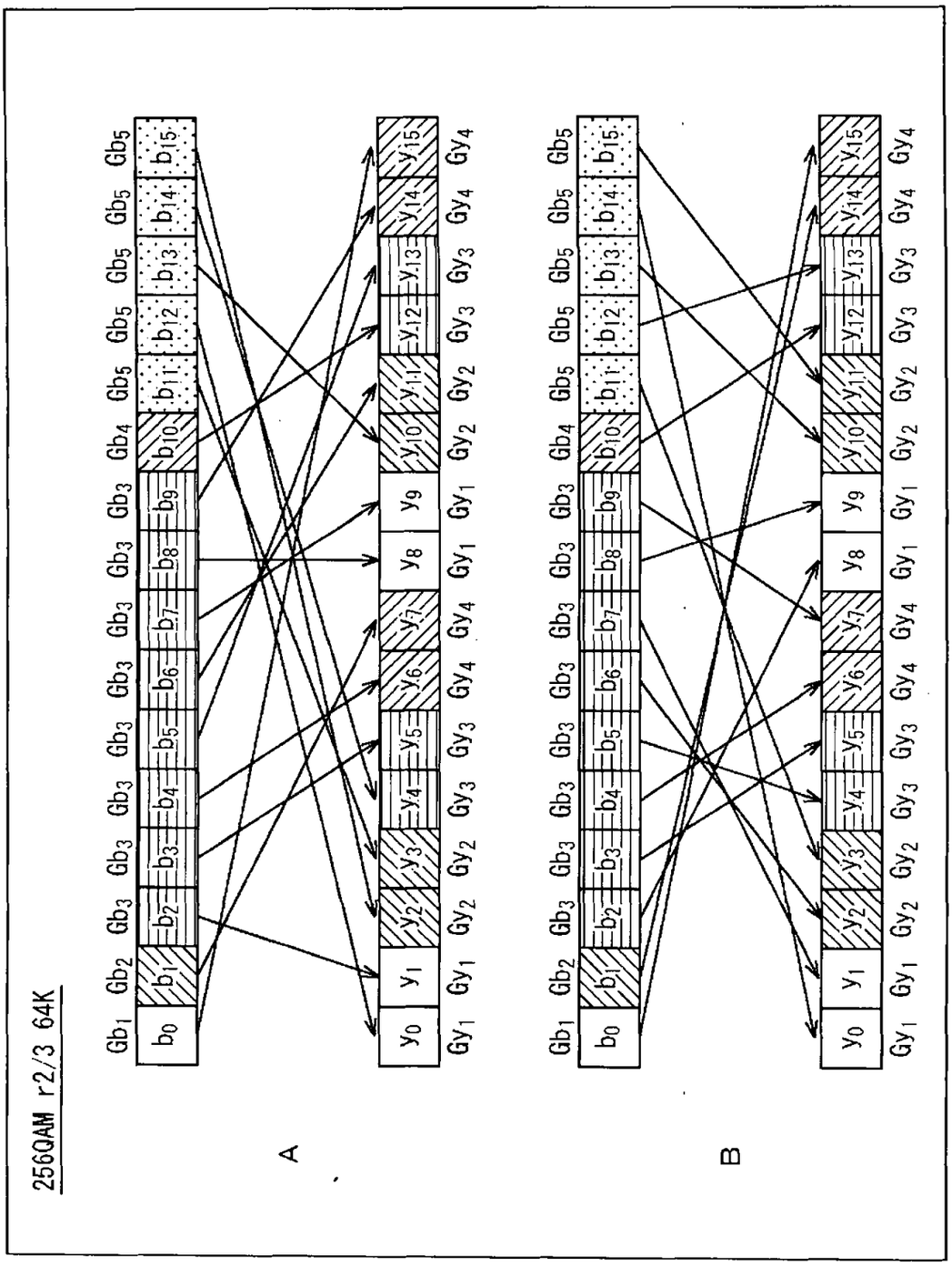
[図63]

図63


256QAM r2/3 64K
Gb1: 1bit
Gb2: 1bit
Gb3: 3bit
Gb3: 1bit
Gb3: 2bit
Gb3: 2bit
Gb4: 1bit
Gb5: 1bit
Gb5: 3bit
Gb5: 1bit
Gy4: 1bit
Gy4: 1bit
Gy1: 3bit
Gy2: 1bit
Gy3: 2bit
Gy4: 2bit
Gy3: 1bit
Gy1: 1bit
Gy2: 3bit
Gy3: 1bit

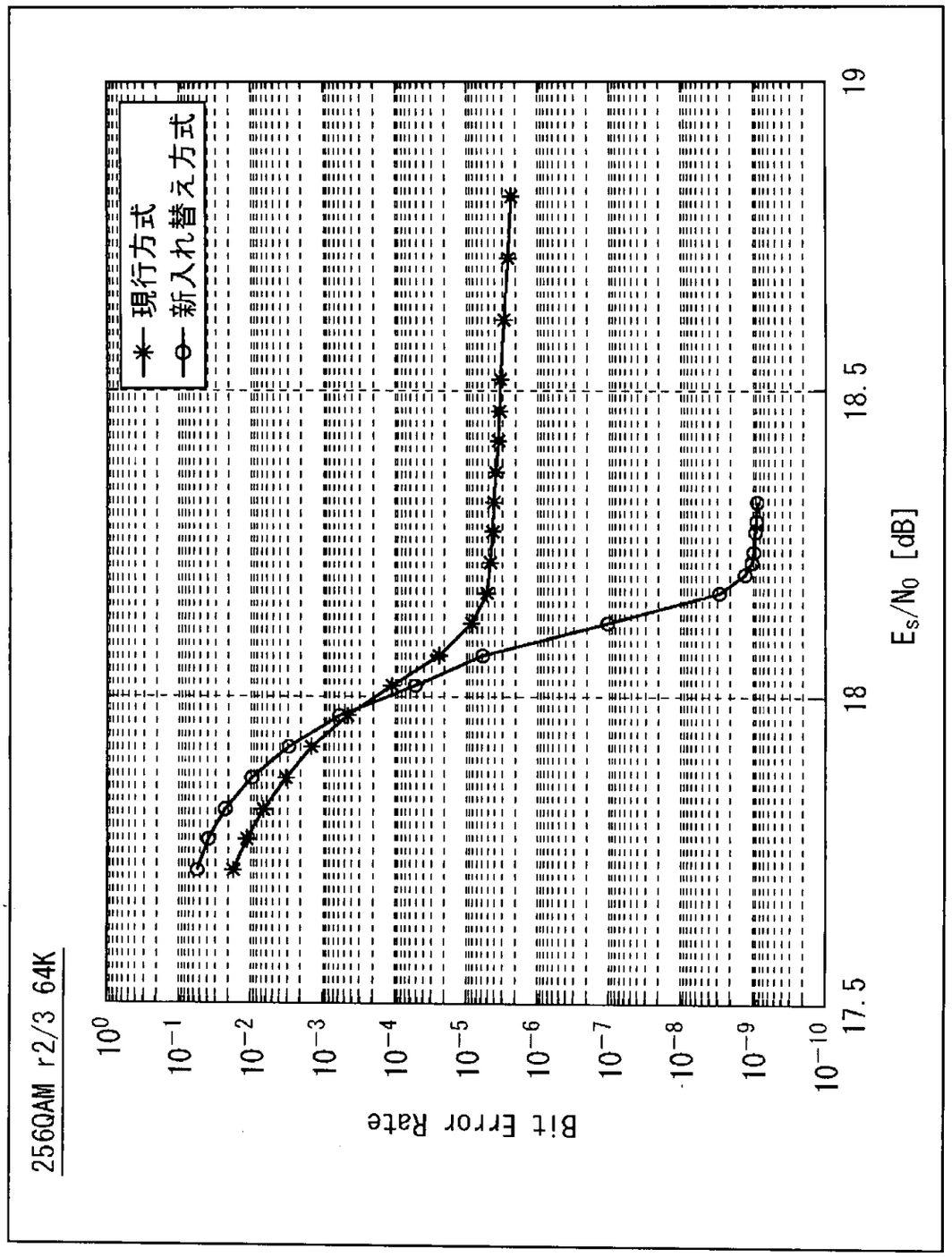
000205

[図64]
図64



[図65]

図65


256QAM r2/3 64K
現行方式
新入れ替え方式
Bit Error Rate
$10^{0}$
$10^{-1}$
$10^{-2}$
$10^{-3}$
$10^{-4}$
$10^{-5}$
$10^{-6}$
$10^{-7}$
$10^{-8}$
$10^{-9}$
$10^{-10}$
17.5
18
18.5
19
$E_s/N_0$ [dB]

[図66]

図66

r2/3 64K

317 2255 2324 2723 3538 3576 6194 6700 9101 10057 12739 17407 21039
1958 2007 3294 4394 12762 14505 14593 14692 16522 17737 19245 21272 21379
127 860 5001 5633 8644 9282 12690 14644 17553 19511 19681 20954 21002
2514 2822 5781 6297 8063 9469 9551 11407 11837 12985 15710 20236 20393
1565 3106 4659 4926 6495 6872 7343 8720 15785 16434 16727 19884 21325
706 3220 8568 10896 12486 13663 16398 16599 19475 19781 20625 20961 21335
4257 10449 12406 14561 16049 16522 17214 18029 18033 18802 19062 19526 20748
412 433 558 2614 2978 4157 6584 9320 11683 11819 13024 14486 16860
777 5906 7403 8550 8717 8770 11436 12846 13629 14755 15688 16392 16419
4093 5045 6037 7248 8633 9771 10260 10809 11326 12072 17516 19344 19938
2120 2648 3155 3852 6888 12258 14821 15359 16378 16437 17791 20614 21025
1085 2434 5816 7151 8050 9422 10884 12728 15353 17733 18140 18729 20920
856 1690 12787
6532 7357 9151
4210 16615 18152
11494 14036 17470
2474 10291 10323
1778 6973 10739
4347 9570 18748
2189 11942 20666
3868 7526 17706
8780 14796 18268
160 16232 17399
1285 2003 18922
4658 17331 20361
2765 4862 5875
4565 5521 8759
3484 7305 15829
5024 17730 17879
7031 12346 15024
179 6365 11352
2490 3143 5098
2643 3101 21259
4315 4724 13130
594 17365 18322
5983 8597 9627
10837 15102 20876
10448 20418 21478
3848 12029 15228
708 5652 13146
5998 7534 16117
2098 13201 18317
9186 14548 17776
5246 10398 18597

[図67]

図67

| | | |
|---|---|---|
| 3083 | 4944 | 21021 |
| 13726 | 18495 | 19921 |
| 6736 | 10811 | 17545 |
| 10084 | 12411 | 14432 |
| 1064 | 13555 | 17033 |
| 679 | 9878 | 13547 |
| 3422 | 9910 | 20194 |
| 3640 | 3701 | 10046 |
| 5862 | 10134 | 11498 |
| 5923 | 9580 | 15060 |
| 1073 | 3012 | 16427 |
| 5527 | 20113 | 20883 |
| 7058 | 12924 | 15151 |
| 9764 | 12230 | 17375 |
| 772 | 7711 | 12723 |
| 555 | 13816 | 15376 |
| 10574 | 11268 | 17932 |
| 15442 | 17266 | 20482 |
| 390 | 3371 | 8781 |
| 10512 | 12216 | 17180 |
| 4309 | 14068 | 15783 |
| 3971 | 11673 | 20009 |
| 9259 | 14270 | 17199 |
| 2947 | 5852 | 20101 |
| 3965 | 9722 | 15363 |
| 1429 | 5689 | 16771 |
| 6101 | 6849 | 12781 |
| 3676 | 9347 | 18761 |
| 350 | 11659 | 18342 |
| 5961 | 14803 | 16123 |
| 2113 | 9163 | 13443 |
| 2155 | 9808 | 12885 |
| 2861 | 7988 | 11031 |
| 7309 | 9220 | 20745 |
| 6834 | 8742 | 11977 |
| 2133 | 12908 | 14704 |
| 10170 | 13809 | 18153 |
| 13464 | 14787 | 14975 |
| 799 | 1107 | 3789 |
| 3571 | 8176 | 10165 |
| 5433 | 13446 | 15481 |
| 3351 | 6767 | 12840 |
| 8950 | 8974 | 11650 |
| 1430 | 4250 | 21332 |

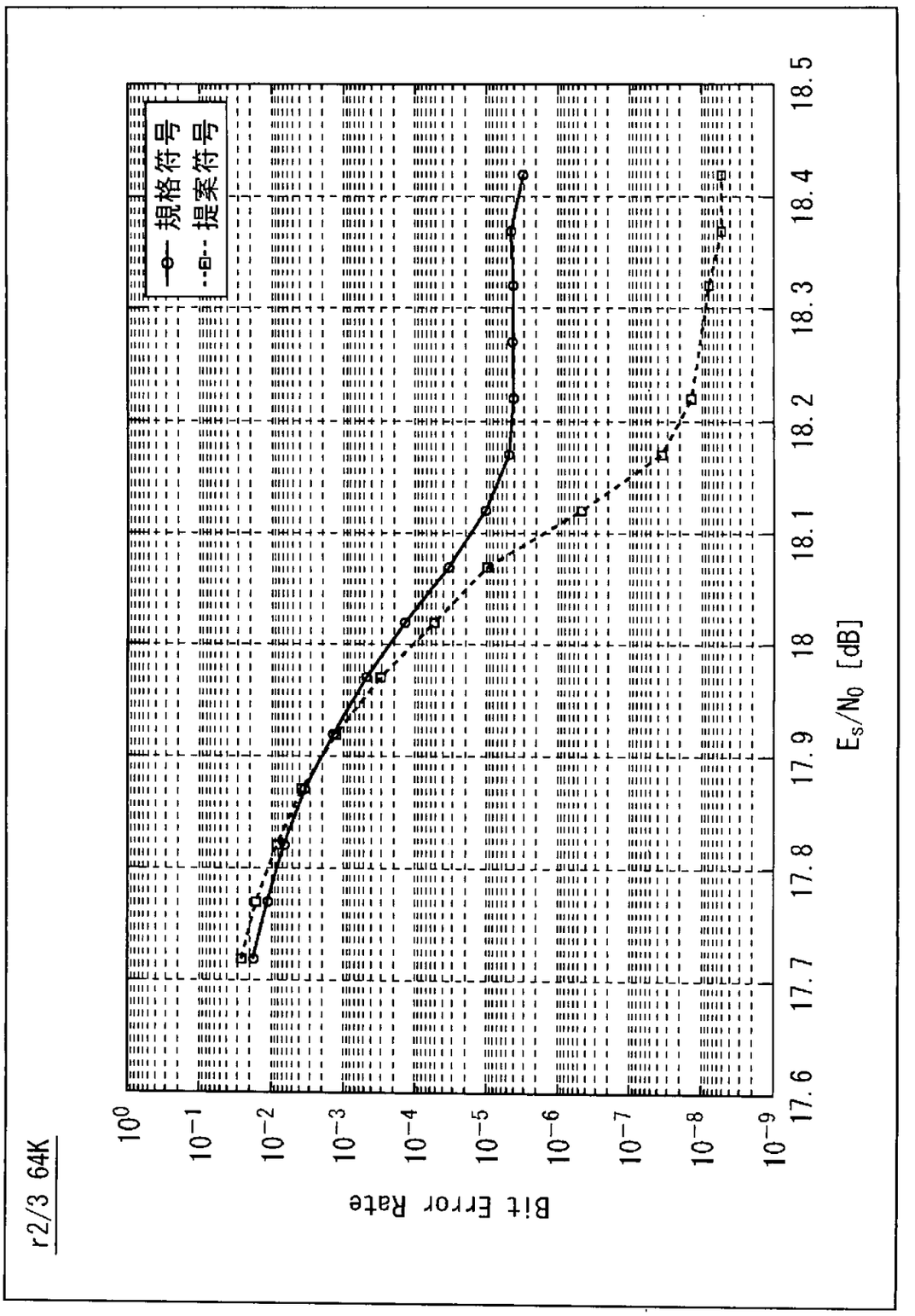
[図68]

図68

| | | |
|---|---|---|
| 6283 | 10628 | 15050 |
| 8632 | 14404 | 16916 |
| 6509 | 10702 | 16278 |
| 15900 | 16395 | 17995 |
| 8031 | 18420 | 19733 |
| 3747 | 4634 | 17087 |
| 4453 | 6297 | 16262 |
| 2792 | 3513 | 17031 |
| 14846 | 20893 | 21563 |
| 17220 | 20436 | 21337 |
| 275 | 4107 | 10497 |
| 3536 | 7520 | 10027 |
| 14089 | 14943 | 19455 |
| 1965 | 3931 | 21104 |
| 2439 | 11565 | 17932 |
| 154 | 15279 | 21414 |
| 10017 | 11269 | 16546 |
| 7169 | 10161 | 16928 |
| 10284 | 16791 | 20655 |
| 36 | 3175 | 8475 |
| 2605 | 16269 | 19290 |
| 8947 | 9178 | 15420 |
| 5687 | 9156 | 12408 |
| 8096 | 9738 | 14711 |
| 4935 | 8093 | 19266 |
| 2667 | 10062 | 15972 |
| 6389 | 11318 | 14417 |
| 8800 | 18137 | 18434 |
| 5824 | 5927 | 15314 |
| 6056 | 13168 | 15179 |
| 3284 | 13138 | 18919 |
| 13115 | 17259 | 17332 |

[図69]

図69

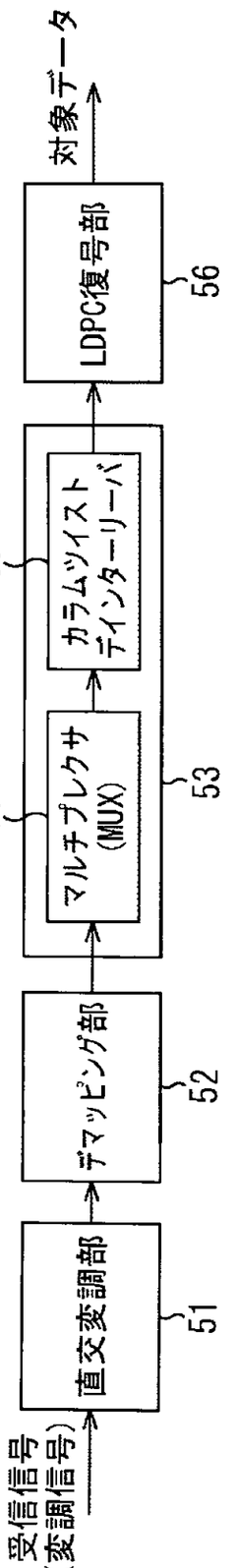

r2/3 64K
Bit Error Rate
$10^{0}$
$10^{-1}$
$10^{-2}$
$10^{-3}$
$10^{-4}$
$10^{-5}$
$10^{-6}$
$10^{-7}$
$10^{-8}$
$10^{-9}$
17.6
17.7
17.8
17.9
18
18.1
18.2
18.3
18.4
18.5
$E_s/N_0$ [dB]
規格符号
提案符号

000211

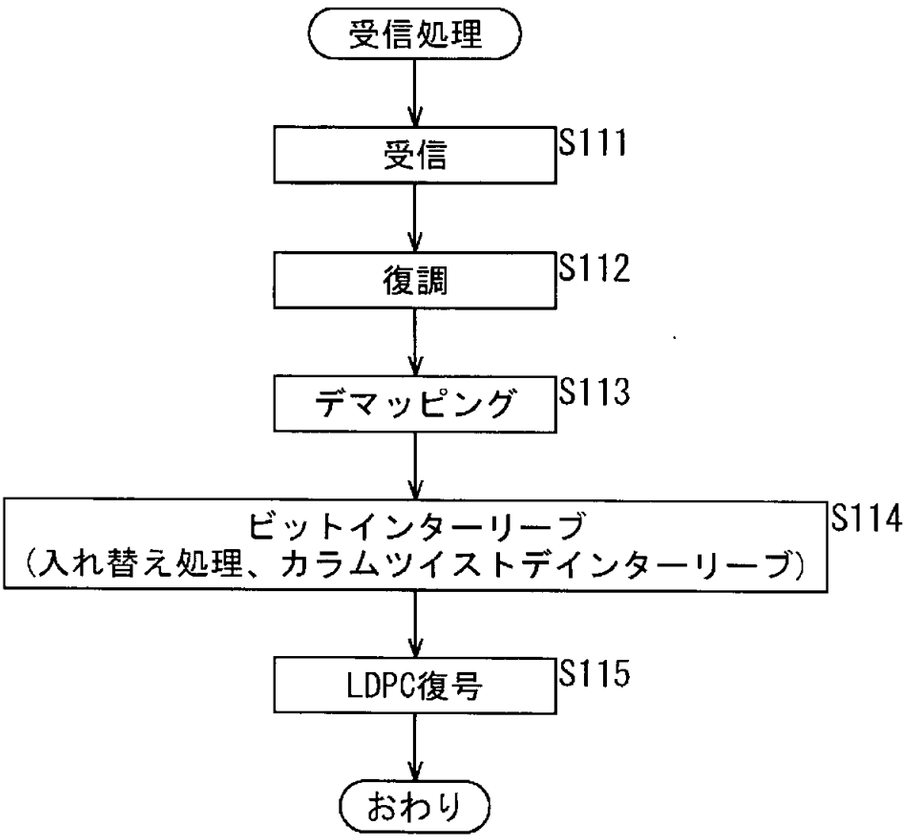


[図70]

図70

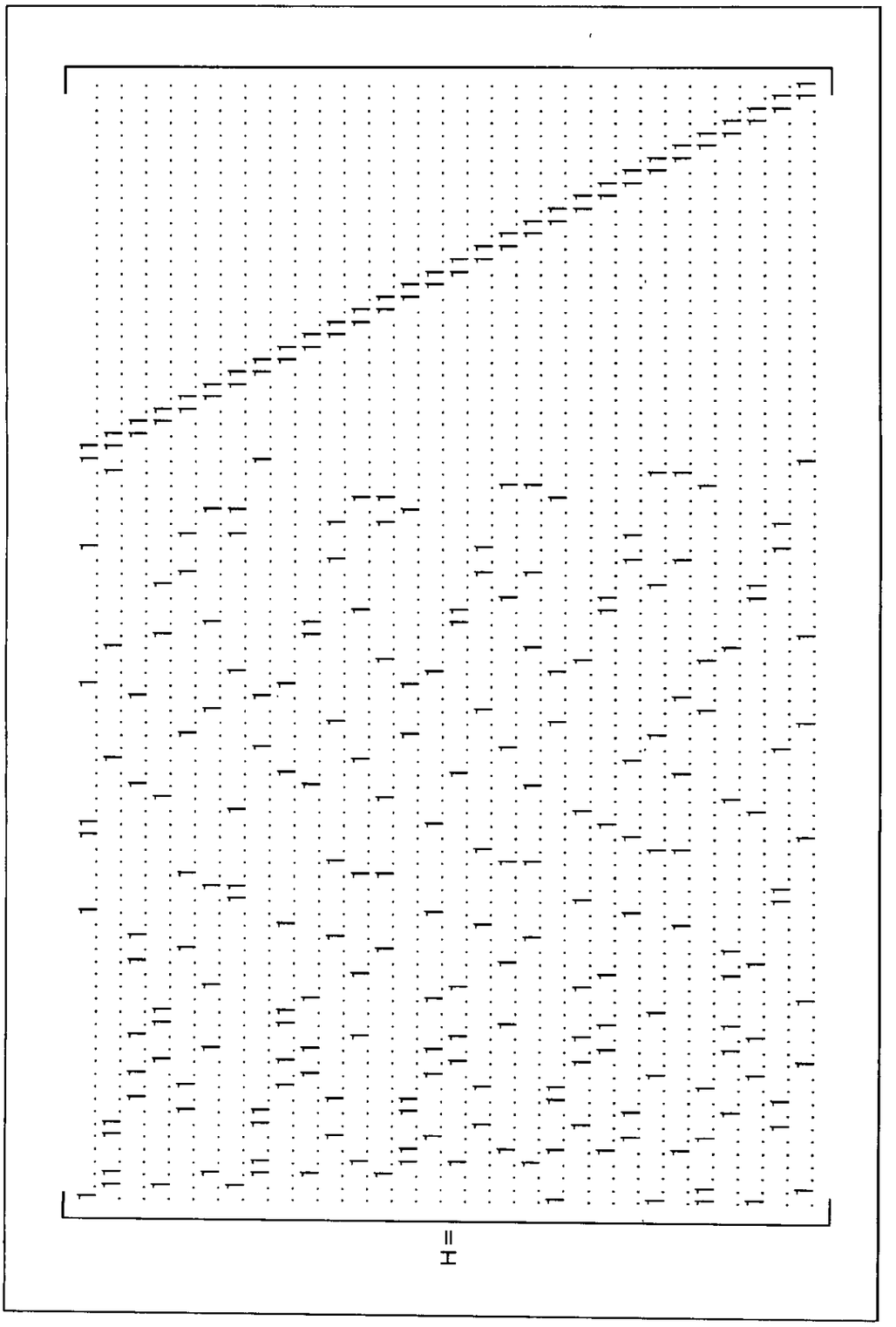


[図71]
図71


受信処理
受信
S111
復調
S112
デマッピング
S113
ビットインターリーブ
(入れ替え処理、カラムツイストデインターリーブ)
S114
LDPC復号
S115
おわり

[図72]

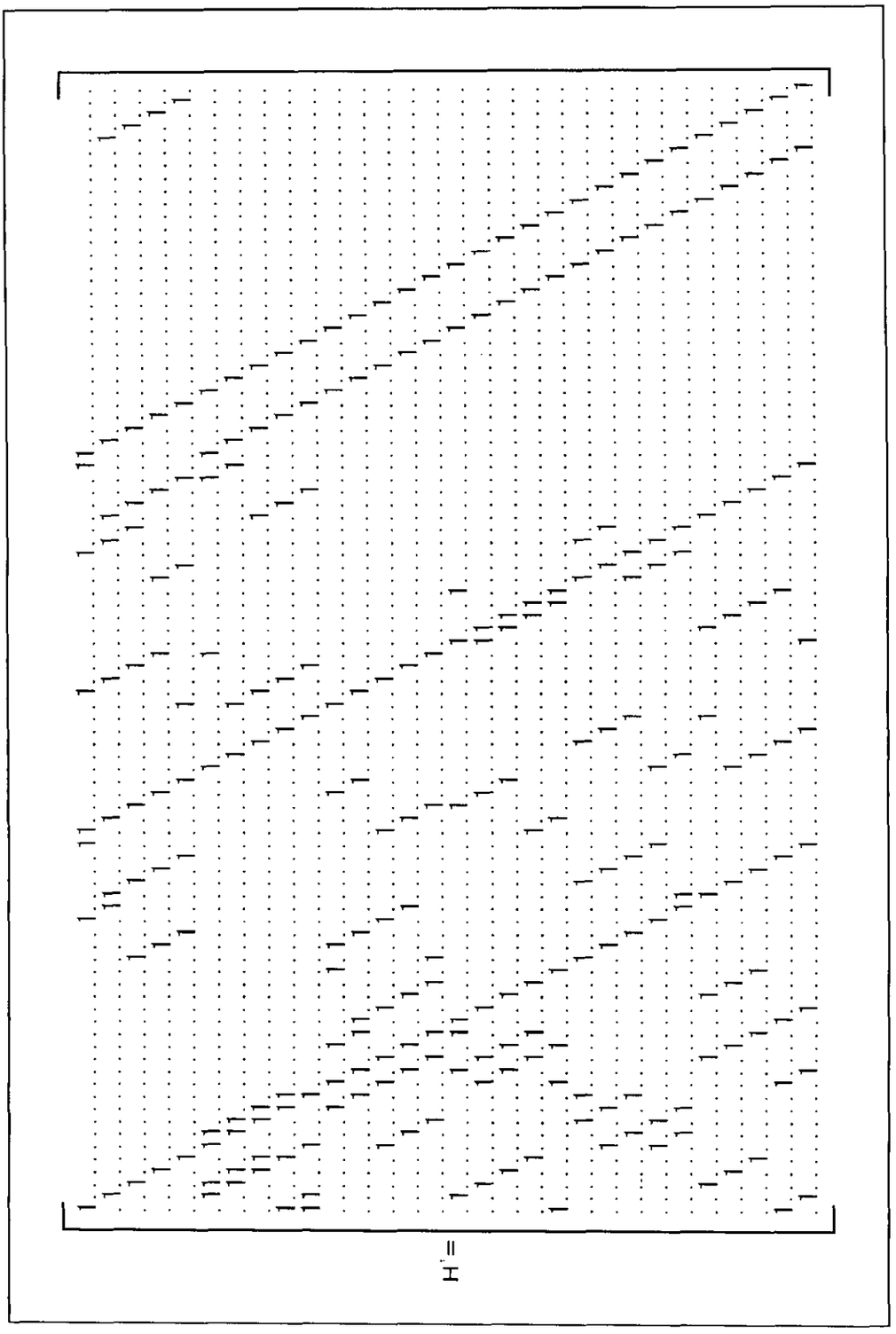
図72



000214

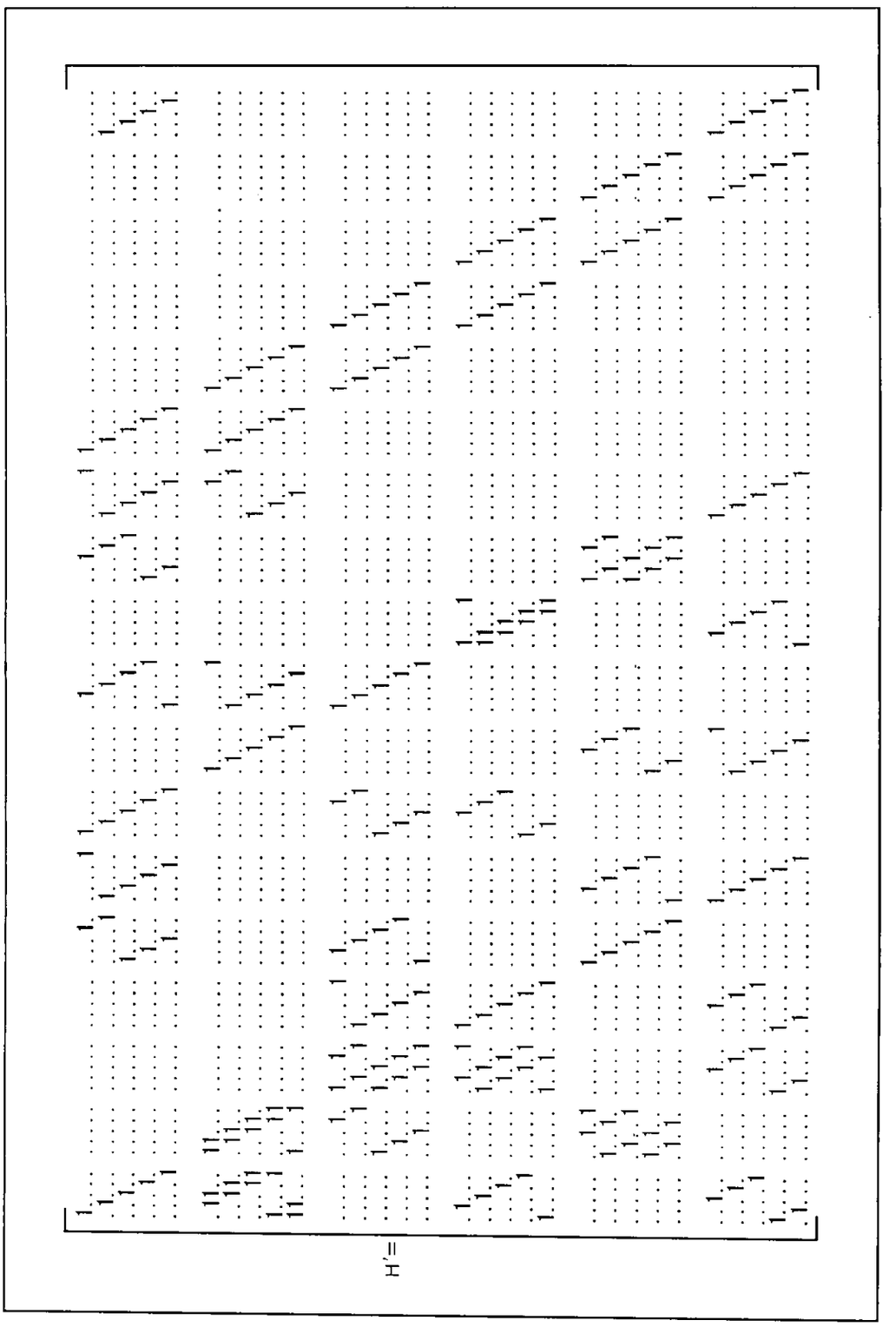
[図73]

図73



[図74]

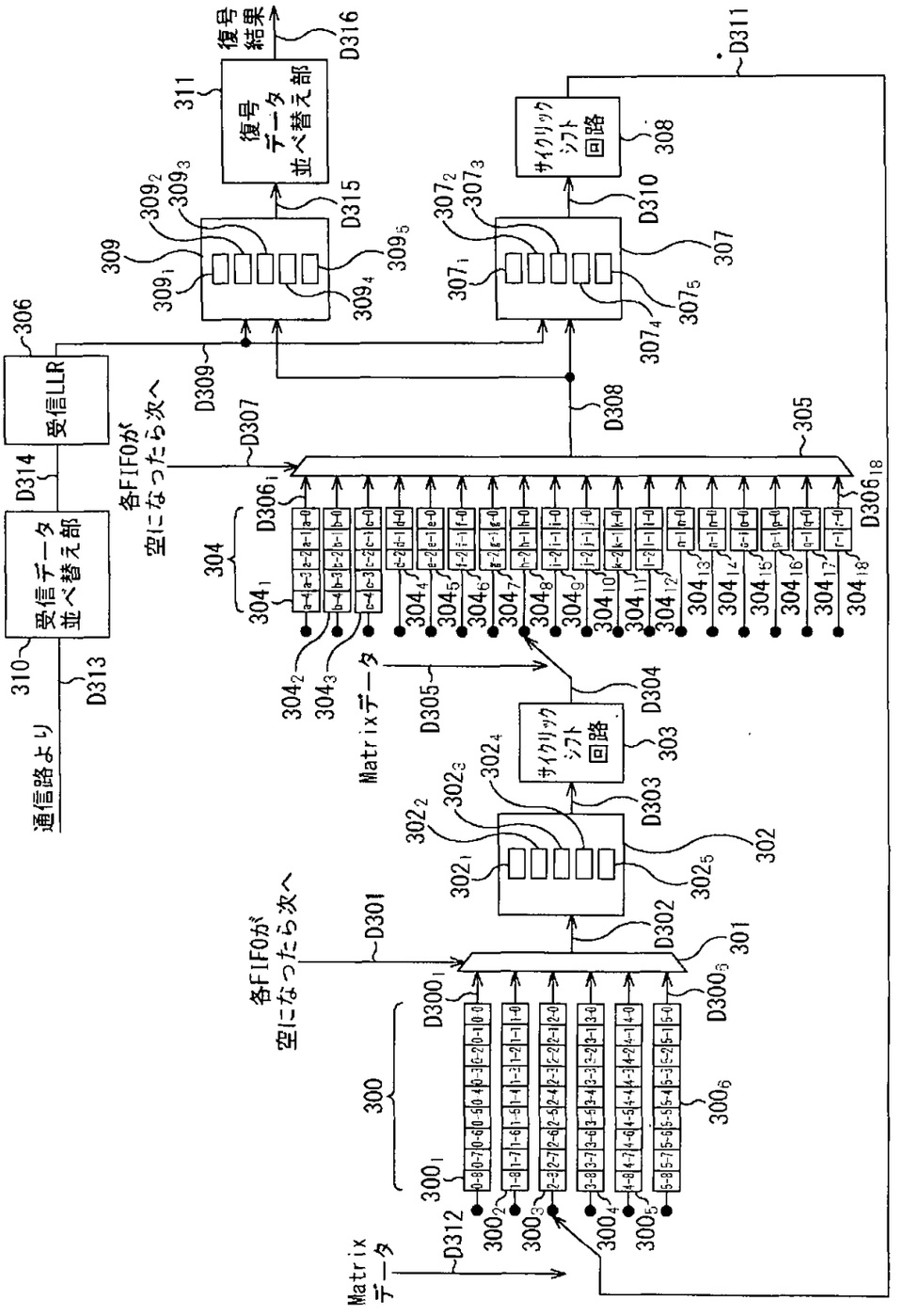
図74



000216

[図75]

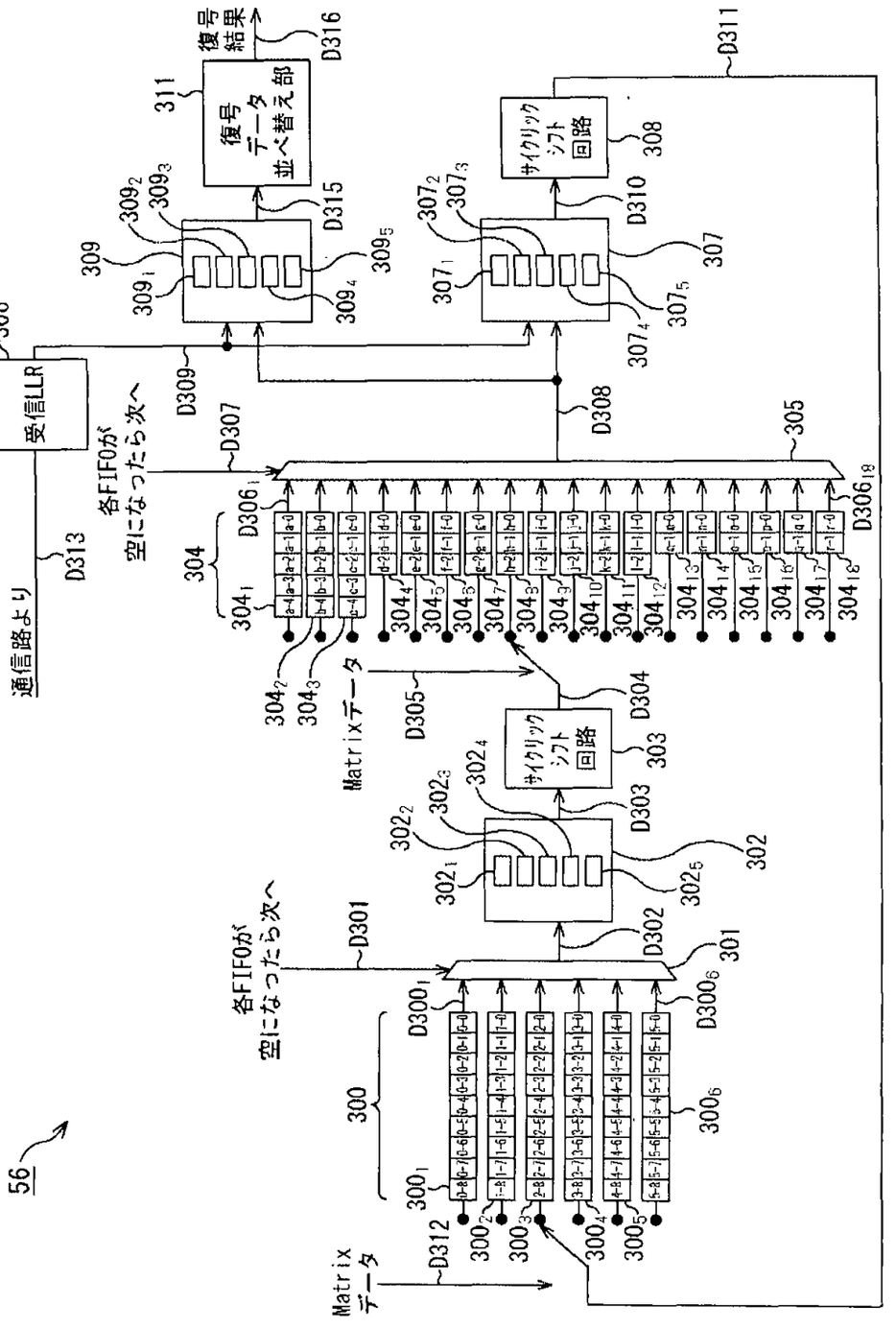
図75



000217

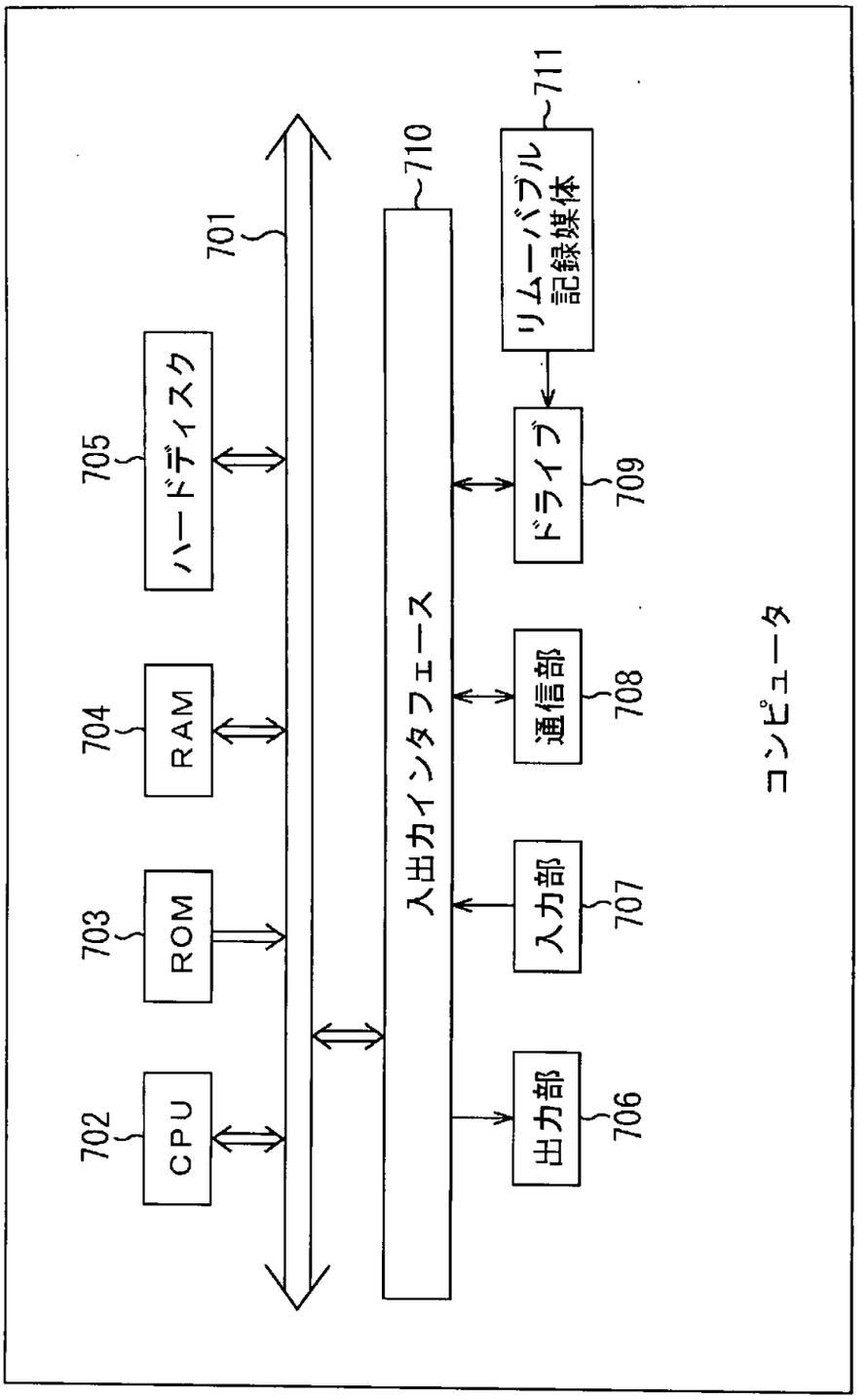
[図76]

図76



000218

[図77]
図77



[図78]
図78

r2/3 16K

0 2084 1613 1548 1286 1460 3196 4297 2481 3369 3451 4620 2622
1 122 1516 3448 2880 1407 1847 3799 3529 373 971 4358 3108
2 259 3399 929 2650 864 3996 3833 107 5287 164 3125 2350
3 342 3529
4 4198 2147
5 1880 4836
6 3864 4910
7 243 1542
8 3011 1436
9 2167 2512
10 4606 1003
11 2835 705
12 3426 2365
13 3848 2474
14 1360 1743
0 163 2536
1 2583 1180
2 1542 509
3 4418 1005
4 5212 5117
5 2155 2922
6 347 2696
7 226 4296
8 1560 487
9 3926 1640
10 149 2928
11 2364 563
12 635 688
13 231 1684
14 1129 3894

$r=\frac{2}{3}$, N=16200の検査行列初期値テーブル

[図79]

図79 $r=\frac{2}{3}$, N=64800の検査行列初期値テーブル

r2/3 64K

0 10491 16043 506 12826 8065 8226 2767 240 18673 9279 10579 20928
1 17819 8313 6433 6224 5120 5824 12812 17187 9940 13447 13825 18483
2 17957 6024 8681 18628 12794 5915 14576 10970 12064 20437 4455 7151
3 19777 6183 9972 14536 8182 17749 11341 5556 4379 17434 15477 18532
4 4651 19689 1608 659 16707 14335 6143 3058 14618 17894 20684 5306
5 9778 2552 12096 12369 15198 16890 4851 3109 1700 18725 1997 15882
6 486 6111 13743 11537 5591 7433 15227 14145 1483 3887 17431 12430
7 20647 14311 11734 4180 8110 5525 12141 15761 18661 18441 10569 8192
8 3791 14759 15264 19918 10132 9062 10010 12786 10675 9682 19246 5454
9 19525 9485 7777 19999 8378 9209 3163 20232 6690 16518 716 7353
10 4588 6709 20202 10905 915 4317 11073 13576 16433 368 3508 21171
11 14072 4033 19959 12608 631 19494 14160 8249 10223 21504 12395 4322
12 13800 14161
13 2948 9647
14 14693 16027
15 20506 11082
16 1143 9020
17 13501 4014
18 1548 2190
19 12216 21556
20 2095 19897
21 4189 7958
22 15940 10048
23 515 12614
24 8501 8450
25 17595 16784
26 5913 8495
27 16394 10423
28 7409 6981
29 6678 15939
30 20344 12987
31 2510 14588
32 17918 6655
33 6703 19451
34 496 4217
35 7290 5766
36 10521 8925
37 20379 11905
38 4090 5838
39 19082 17040

000221

[図80]

図80

| | | |
|---|---|---|
| 40 | 20233 | 12352 |
| 41 | 19365 | 19546 |
| 42 | 6249 | 19030 |
| 43 | 11037 | 19193 |
| 44 | 19760 | 11772 |
| 45 | 19644 | 7428 |
| 46 | 16076 | 3521 |
| 47 | 11779 | 21062 |
| 48 | 13062 | 9682 |
| 49 | 8934 | 5217 |
| 50 | 11087 | 3319 |
| 51 | 18892 | 4356 |
| 52 | 7894 | 3898 |
| 53 | 5963 | 4360 |
| 54 | 7346 | 11726 |
| 55 | 5182 | 5609 |
| 56 | 2412 | 17295 |
| 57 | 9845 | 20494 |
| 58 | 6687 | 1864 |
| 59 | 20564 | 5216 |
| 0 | 18226 | 17207 |
| 1 | 9380 | 8266 |
| 2 | 7073 | 3065 |
| 3 | 18252 | 13437 |
| 4 | 9161 | 15642 |
| 5 | 10714 | 10153 |
| 6 | 11585 | 9078 |
| 7 | 5359 | 9418 |
| 8 | 9024 | 9515 |
| 9 | 1206 | 16354 |
| 10 | 14994 | 1102 |
| 11 | 9375 | 20796 |
| 12 | 15964 | 6027 |
| 13 | 14789 | 6452 |
| 14 | 8002 | 18591 |
| 15 | 14742 | 14089 |
| 16 | 253 | 3045 |
| 17 | 1274 | 19286 |
| 18 | 14777 | 2044 |
| 19 | 13920 | 9900 |
| 20 | 452 | 7374 |

[図81]

図81

| | | |
|---|---|---|
| 21 | 18206 | 9921 |
| 22 | 6131 | 5414 |
| 23 | 10077 | 9726 |
| 24 | 12045 | 5479 |
| 25 | 4322 | 7990 |
| 26 | 15616 | 5550 |
| 27 | 15561 | 10661 |
| 28 | 20718 | 7387 |
| 29 | 2518 | 18804 |
| 30 | 8984 | 2600 |
| 31 | 6516 | 17909 |
| 32 | 11148 | 98 |
| 33 | 20559 | 3704 |
| 34 | 7510 | 1569 |
| 35 | 16000 | 11692 |
| 36 | 9147 | 10303 |
| 37 | 16650 | 191 |
| 38 | 15577 | 18685 |
| 39 | 17167 | 20917 |
| 40 | 4256 | 3391 |
| 41 | 20092 | 17219 |
| 42 | 9218 | 5056 |
| 43 | 18429 | 8472 |
| 44 | 12093 | 20753 |
| 45 | 16345 | 12748 |
| 46 | 16023 | 11095 |
| 47 | 5048 | 17595 |
| 48 | 18995 | 4817 |
| 49 | 16483 | 3536 |
| 50 | 1439 | 16148 |
| 51 | 3661 | 3039 |
| 52 | 19010 | 18121 |
| 53 | 8968 | 11793 |
| 54 | 13427 | 18003 |
| 55 | 5303 | 3083 |
| 56 | 531 | 16668 |
| 57 | 4771 | 6722 |
| 58 | 5695 | 7960 |
| 59 | 3589 | 14630 |

[図82]
図82

r3/4 16K
3 3198 478 4207 1481 1009 2616 1924 3437 554 683 1801
4 2681 2135
5 3107 4027
6 2637 3373
7 3830 3449
8 4129 2060
9 4184 2742
10 3946 1070
11 2239 984
0 1458 3031
1 3003 1328
2 1137 1716
3 132 3725
4 1817 638
5 1774 3447
6 3632 1257
7 542 3694
8 1015 1945
9 1948 412
10 995 2238
11 4141 1907
0 2480 3079
1 3021 1088
2 713 1379
3 997 3903
4 2323 3361
5 1110 986
6 2532 142
7 1690 2405
8 1298 1881
9 615 174
10 1648 3112
11 1415 2808

$r=\frac{3}{4}$, N=16200の検査行列初期値テーブル

[図83]

図83 $r=\frac{3}{4}$, N=64800の検査行列初期値テーブル

r3/4 64K

0 6385 7901 14611 13389 11200 3252 5243 2504 2722 821 7374
1 11359 2698 357 13824 12772 7244 6752 15310 852 2001 11417
2 7862 7977 6321 13612 12197 14449 15137 13860 1708 6399 13444
3 1560 11804 6975 13292 3646 3812 8772 7306 5795 14327 7866
4 7626 11407 14599 9689 1628 2113 10809 9283 1230 15241 4870
5 1610 5699 15876 9446 12515 1400 6303 5411 14181 13925 7358
6 4059 8836 3405 7853 7992 15336 5970 10368 10278 9675 4651
7 4441 3963 9153 2109 12683 7459 12030 12221 629 15212 406
8 6007 8411 5771 3497 543 14202 875 9186 6235 13908 3563
9 3232 6625 4795 546 9781 2071 7312 3399 7250 4932 12652
10 8820 10088 11090 7069 6585 13134 10158 7183 488 7455 9238
11 1903 10818 119 215 7558 11046 10615 11545 14784 7961 15619
12 3655 8736 4917 15874 5129 2134 15944 14768 7150 2692 1469
13 8316 3820 505 8923 6757 806 7957 4216 15589 13244 2622
14 14463 4852 15733 3041 11193 12860 13673 8152 6551 15108 8758
15 3149 11981
16 13416 6906
17 13098 13352
18 2009 14460
19 7207 4314
20 3312 3945
21 4418 6248
22 2669 13975
23 7571 9023
24 14172 2967
25 7271 7138
26 6135 13670
27 7490 14559
28 8657 2466
29 8599 12834
30 3470 3152
31 13917 4365
32 6024 13730
33 10973 14182
34 2464 13167
35 5281 15049
36 1103 1849
37 2058 1069
38 9654 6095
39 14311 7667

[図84]

図84

40 15617 8146
41 4588 11218
42 13660 6243
43 8578 7874
44 11741 2686
0 1022 1264
1 12604 9965
2 8217 2707
3 3156 11793
4 354 1514
5 6978 14058
6 7922 16079
7 15087 12138
8 5053 6470
9 12687 14932
10 15458 1763
11 8121 1721
12 12431 549
13 4129 7091
14 1426 8415
15 9783 7604
16 6295 11329
17 1409 12061
18 8065 9087
19 2918 8438
20 1293 14115
21 3922 13851
22 3851 4000
23 5865 1768
24 2655 14957
25 5565 6332
26 4303 12631
27 11653 12236
28 16025 7632
29 4655 14128
30 9584 13123
31 13987 9597
32 15409 12110
33 8754 15490
34 7416 15325
35 2909 15549

[図85]

図85

| | | |
|---|---|---|
| 36 | 2995 | 8257 |
| 37 | 9406 | 4791 |
| 38 | 11111 | 4854 |
| 39 | 2812 | 8521 |
| 40 | 8476 | 14717 |
| 41 | 7820 | 15360 |
| 42 | 1179 | 7939 |
| 43 | 2357 | 8678 |
| 44 | 7703 | 6216 |
| 0 | 3477 | 7067 |
| 1 | 3931 | 13845 |
| 2 | 7675 | 12899 |
| 3 | 1754 | 8187 |
| 4 | 7785 | 1400 |
| 5 | 9213 | 5891 |
| 6 | 2494 | 7703 |
| 7 | 2576 | 7902 |
| 8 | 4821 | 15682 |
| 9 | 10426 | 11935 |
| 10 | 1810 | 904 |
| 11 | 11332 | 9264 |
| 12 | 11312 | 3570 |
| 13 | 14916 | 2650 |
| 14 | 7679 | 7842 |
| 15 | 6089 | 13084 |
| 16 | 3938 | 2751 |
| 17 | 8509 | 4648 |
| 18 | 12204 | 8917 |
| 19 | 5749 | 12443 |
| 20 | 12613 | 4431 |
| 21 | 1344 | 4014 |
| 22 | 8488 | 13850 |
| 23 | 1730 | 14896 |
| 24 | 14942 | 7126 |
| 25 | 14983 | 8863 |
| 26 | 6578 | 8564 |
| 27 | 4947 | 396 |
| 28 | 297 | 12805 |
| 29 | 13878 | 6692 |
| 30 | 11857 | 11186 |
| 31 | 14395 | 11493 |

[図86]

図86

| | | |
|---|---|---|
| 32 | 16145 | 12251 |
| 33 | 13462 | 7428 |
| 34 | 14526 | 13119 |
| 35 | 2535 | 11243 |
| 36 | 6465 | 12690 |
| 37 | 6872 | 9334 |
| 38 | 15371 | 14023 |
| 39 | 8101 | 10187 |
| 40 | 11963 | 4848 |
| 41 | 15125 | 6119 |
| 42 | 8051 | 14465 |
| 43 | 11139 | 5167 |
| 44 | 2883 | 14521 |

[図87]

図87

r4/5 16K

```
5 896 1565
6 2493 184
7 212 3210
8 727 1339
9 3428 612
0 2663 1947
1 230 2695
2 2025 2794
3 3039 283
4 862 2889
5 376 2110
6 2034 2286
7 951 2068
8 3108 3542
9 307 1421
0 2272 1197
1 1800 3280
2 331 2308
3 465 2552
4 1038 2479
5 1383 343
6 94 236
7 2619 121
8 1497 2774
9 2116 1855
0 722 1584
1 2767 1881
2 2701 1610
3 3283 1732
4 168 1099
5 3074 243
6 3460 945
7 2049 1746
8 566 1427
9 3545 1168
```

$r=\frac{4}{5}$, N=16200の検査行列初期値テーブル

[図88]

図88 $r=\frac{4}{5}$, N=64800の検査行列初期値テーブル

r4/5 64K

0 149 11212 5575 6360 12559 8108 8505 408 10026 12828
1 5237 490 10677 4998 3869 3734 3092 3509 7703 10305
2 8742 5553 2820 7085 12116 10485 564 7795 2972 2157
3 2699 4304 8350 712 2841 3250 4731 10105 517 7516
4 12067 1351 11992 12191 11267 5161 537 6166 4246 2363
5 6828 7107 2127 3724 5743 11040 10756 4073 1011 3422
6 11259 1216 9526 1466 10816 940 3744 2815 11506 11573
7 4549 11507 1118 1274 11751 5207 7854 12803 4047 6484
8 8430 4115 9440 413 4455 2262 7915 12402 8579 7052
9 3885 9126 5665 4505 2343 253 4707 3742 4166 1556
10 1704 8936 6775 8639 8179 7954 8234 7850 8883 8713
11 11716 4344 9087 11264 2274 8832 9147 11930 6054 5455
12 7323 3970 10329 2170 8262 3854 2087 12899 9497 11700
13 4418 1467 2490 5841 817 11453 533 11217 11962 5251
14 1541 4525 7976 3457 9536 7725 3788 2982 6307 5997
15 11484 2739 4023 12107 6516 551 2572 6628 8150 9852
16 6070 1761 4627 6534 7913 3730 11866 1813 12306 8249
17 12441 5489 8748 7837 7660 2102 11341 2936 6712 11977
18 10155 4210
19 1010 10483
20 8900 10250
21 10243 12278
22 7070 4397
23 12271 3887
24 11980 6836
25 9514 4356
26 7137 10281
27 11881 2526
28 1969 11477
29 3044 10921
30 2236 8724
31 9104 6340
32 7342 8582
33 11675 10405
34 6467 12775
35 3186 12198
0 9621 11445
1 7486 5611
2 4319 4879
3 2196 344

[図89]

図89

| |
|---|
| 4 7527 6650 |
| 5 10693 2440 |
| 6 6755 2706 |
| 7 5144 5998 |
| 8 11043 8033 |
| 9 4846 4435 |
| 10 4157 9228 |
| 11 12270 6562 |
| 12 11954 7592 |
| 13 7420 2592 |
| 14 8810 9636 |
| 15 689 5430 |
| 16 920 1304 |
| 17 1253 11934 |
| 18 9559 6016 |
| 19 312 7589 |
| 20 4439 4197 |
| 21 4002 9555 |
| 22 12232 7779 |
| 23 1494 8782 |
| 24 10749 3969 |
| 25 4368 3479 |
| 26 6316 5342 |
| 27 2455 3493 |
| 28 12157 7405 |
| 29 6598 11495 |
| 30 11805 4455 |
| 31 9625 2090 |
| 32 4731 2321 |
| 33 3578 2608 |
| 34 8504 1849 |
| 35 4027 1151 |
| 0 5647 4935 |
| 1 4219 1870 |
| 2 10968 8054 |
| 3 6970 5447 |
| 4 3217 5638 |
| 5 8972 669 |
| 6 5618 12472 |
| 7 1457 1280 |
| 8 8868 3883 |

[図90]

図90

| | | |
|---|---|---|
| 9 | 8866 | 1224 |
| 10 | 8371 | 5972 |
| 11 | 266 | 4405 |
| 12 | 3706 | 3244 |
| 13 | 6039 | 5844 |
| 14 | 7200 | 3283 |
| 15 | 1502 | 11282 |
| 16 | 12318 | 2202 |
| 17 | 4523 | 965 |
| 18 | 9587 | 7011 |
| 19 | 2552 | 2051 |
| 20 | 12045 | 10306 |
| 21 | 11070 | 5104 |
| 22 | 6627 | 6906 |
| 23 | 9889 | 2121 |
| 24 | 829 | 9701 |
| 25 | 2201 | 1819 |
| 26 | 6689 | 12925 |
| 27 | 2139 | 8757 |
| 28 | 12004 | 5948 |
| 29 | 8704 | 3191 |
| 30 | 8171 | 10933 |
| 31 | 6297 | 7116 |
| 32 | 616 | 7146 |
| 33 | 5142 | 9761 |
| 34 | 10377 | 8138 |
| 35 | 7616 | 5811 |
| 0 | 7285 | 9863 |
| 1 | 7764 | 10867 |
| 2 | 12343 | 9019 |
| 3 | 4414 | 8331 |
| 4 | 3464 | 642 |
| 5 | 6960 | 2039 |
| 6 | 786 | 3021 |
| 7 | 710 | 2086 |
| 8 | 7423 | 5601 |
| 9 | 8120 | 4885 |
| 10 | 12385 | 11990 |
| 11 | 9739 | 10034 |
| 12 | 424 | 10162 |
| 13 | 1347 | 7597 |

[図91]

図91

| |
|---|
| 14 1450 112 |
| 15 7965 8478 |
| 16 8945 7397 |
| 17 6590 8316 |
| 18 6838 9011 |
| 19 6174 9410 |
| 20 255 113 |
| 21 6197 5835 |
| 22 12902 3844 |
| 23 4377 3505 |
| 24 5478 8672 |
| 25 4453 2132 |
| 26 9724 1380 |
| 27 12131 11526 |
| 28 12323 9511 |
| 29 8231 1752 |
| 30 497 9022 |
| 31 9288 3080 |
| 32 2481 7515 |
| 33 2696 268 |
| 34 4023 12341 |
| 35 7108 5553 |

[図92]

図92

r5/6 16K

```
3 2409 499 1481 908 559 716 1270 333 2508 2264 1702 2805
4 2447 1926
5 414 1224
6 2114 842
7 212 573
0 2383 2112
1 2286 2348
2 545 819
3 1264 143
4 1701 2258
5 964 166
6 114 2413
7 2243 81
0 1245 1581
1 775 169
2 1696 1104
3 1914 2831
4 532 1450
5 91 974
6 497 2228
7 2326 1579
0 2482 256
1 1117 1261
2 1257 1658
3 1478 1225
4 2511 980
5 2320 2675
6 435 1278
7 228 503
0 1885 2369
1 57 483
2 838 1050
3 1231 1990
4 1738 68
5 2392 951
6 163 645
7 2644 1704
```

$r=\frac{5}{6}$, N=16200の検査行列初期値テーブル

000234

[図93]

図93 $r=\frac{5}{6}$, N=64800の検査行列初期値テーブル

r5/6 64K

0 4362 416 8909 4156 3216 3112 2560 2912 6405 8593 4969 6723
1 2479 1786 8978 3011 4339 9313 6397 2957 7288 5484 6031 10217
2 10175 9009 9889 3091 4985 7267 4092 8874 5671 2777 2189 8716
3 9052 4795 3924 3370 10058 1128 9996 10165 9360 4297 434 5138
4 2379 7834 4835 2327 9843 804 329 8353 7167 3070 1528 7311
5 3435 7871 348 3693 1876 6585 10340 7144 5870 2084 4052 2780
6 3917 3111 3476 1304 10331 5939 5199 1611 1991 699 8316 9960
7 6883 3237 1717 10752 7891 9764 4745 3888 10009 4176 4614 1567
8 10587 2195 1689 2968 5420 2580 2883 6496 111 6023 1024 4449
9 3786 8593 2074 3321 5057 1450 3840 5444 6572 3094 9892 1512
10 8548 1848 10372 4585 7313 6536 6379 1766 9462 2456 5606 9975
11 8204 10593 7935 3636 3882 394 5968 8561 2395 7289 9267 9978
12 7795 74 1633 9542 6867 7352 6417 7568 10623 725 2531 9115
13 7151 2482 4260 5003 10105 7419 9203 6691 8798 2092 8263 3755
14 3600 570 4527 200 9718 6771 1995 8902 5446 768 1103 6520
15 6304 7621
16 6498 9209
17 7293 6786
18 5950 1708
19 8521 1793
20 6174 7854
21 9773 1190
22 9517 10268
23 2181 9349
24 1949 5560
25 1556 555
26 8600 3827
27 5072 1057
28 7928 3542
29 3226 3762
0 7045 2420
1 9645 2641
2 2774 2452
3 5331 2031
4 9400 7503
5 1850 2338
6 10456 9774
7 1692 9276
8 10037 4038
9 3964 338

[図94]

図94

| | | |
|---|---|---|
| 10 | 2640 | 5087 |
| 11 | 858 | 3473 |
| 12 | 5582 | 5683 |
| 13 | 9523 | 916 |
| 14 | 4107 | 1559 |
| 15 | 4506 | 3491 |
| 16 | 8191 | 4182 |
| 17 | 10192 | 6157 |
| 18 | 5668 | 3305 |
| 19 | 3449 | 1540 |
| 20 | 4766 | 2697 |
| 21 | 4069 | 6675 |
| 22 | 1117 | 1016 |
| 23 | 5619 | 3085 |
| 24 | 8483 | 8400 |
| 25 | 8255 | 394 |
| 26 | 6338 | 5042 |
| 27 | 6174 | 5119 |
| 28 | 7203 | 1989 |
| 29 | 1781 | 5174 |
| 0 | 1464 | 3559 |
| 1 | 3376 | 4214 |
| 2 | 7238 | 67 |
| 3 | 10595 | 8831 |
| 4 | 1221 | 6513 |
| 5 | 5300 | 4652 |
| 6 | 1429 | 9749 |
| 7 | 7878 | 5131 |
| 8 | 4435 | 10284 |
| 9 | 6331 | 5507 |
| 10 | 6662 | 4941 |
| 11 | 9614 | 10238 |
| 12 | 8400 | 8025 |
| 13 | 9156 | 5630 |
| 14 | 7067 | 8878 |
| 15 | 9027 | 3415 |
| 16 | 1690 | 3866 |
| 17 | 2854 | 8469 |
| 18 | 6206 | 630 |
| 19 | 363 | 5453 |
| 20 | 4125 | 7008 |

[図95]

図95

| | | |
|---|---|---|
| 21 | 1612 | 6702 |
| 22 | 9069 | 9226 |
| 23 | 5767 | 4060 |
| 24 | 3743 | 9237 |
| 25 | 7018 | 5572 |
| 26 | 8892 | 4536 |
| 27 | 853 | 6064 |
| 28 | 8069 | 5893 |
| 29 | 2051 | 2885 |
| 0 | 10691 | 3153 |
| 1 | 3602 | 4055 |
| 2 | 328 | 1717 |
| 3 | 2219 | 9299 |
| 4 | 1939 | 7898 |
| 5 | 617 | 206 |
| 6 | 8544 | 1374 |
| 7 | 10676 | 3240 |
| 8 | 6672 | 9489 |
| 9 | 3170 | 7457 |
| 10 | 7868 | 5731 |
| 11 | 6121 | 10732 |
| 12 | 4843 | 9132 |
| 13 | 580 | 9591 |
| 14 | 6267 | 9290 |
| 15 | 3009 | 2268 |
| 16 | 195 | 2419 |
| 17 | 8016 | 1557 |
| 18 | 1516 | 9195 |
| 19 | 8062 | 9064 |
| 20 | 2095 | 8968 |
| 21 | 753 | 7326 |
| 22 | 6291 | 3833 |
| 23 | 2614 | 7844 |
| 24 | 2303 | 646 |
| 25 | 2075 | 611 |
| 26 | 4687 | 362 |
| 27 | 8684 | 9940 |
| 28 | 4830 | 2065 |
| 29 | 7038 | 1363 |
| 0 | 1769 | 7837 |
| 1 | 3801 | 1689 |

[図96]

図96

2 10070 2359
3 3667 9918
4 1914 6920
5 4244 5669
6 10245 7821
7 7648 3944
8 3310 5488
9 6346 9666
10 7088 6122
11 1291 7827
12 10592 8945
13 3609 7120
14 9168 9112
15 6203 8052
16 3330 2895
17 4264 10563
18 10556 6496
19 8807 7645
20 1999 4530
21 9202 6818
22 3403 1734
23 2106 9023
24 6881 3883
25 3895 2171
26 4062 6424
27 3755 9536
28 4683 2131
29 7347 8027

000238

[図97]

図97 $r=\frac{8}{9}$, N=16200の検査行列初期値テーブル

r8/9 16K
0 1558 712 805
1 1450 873 1337
2 1741 1129 1184
3 294 806 1566
4 482 605 923
0 926 1578
1 777 1374
2 608 151
3 1195 210
4 1484 692
0 427 488
1 828 1124
2 874 1366
3 1500 835
4 1496 502
0 1006 1701
1 1155 97
2 657 1403
3 1453 624
4 429 1495
0 809 385
1 367 151
2 1323 202
3 960 318
4 1451 1039
0 1098 1722
1 1015 1428
2 1261 1564
3 544 1190
4 1472 1246
0 508 630
1 421 1704
2 284 898
3 392 577
4 1155 556
0 631 1000
1 732 1368
2 1328 329
3 1515 506
4 1104 1172

[図98]

図98 $r=\frac{8}{9}$, N=64800の検査行列初期値テーブル

```
r8/9 64K
0 6235 2848 3222
1 5800 3492 5348
2 2757 927 90
3 6961 4516 4739
4 1172 3237 6264
5 1927 2425 3683
6 3714 6309 2495
7 3070 6342 7154
8 2428 613 3761
9 2906 264 5927
10 1716 1950 4273
11 4613 6179 3491
12 4865 3286 6005
13 1343 5923 3529
14 4589 4035 2132
15 1579 3920 6737
16 1644 1191 5998
17 1482 2381 4620
18 6791 6014 6596
19 2738 5918 3786
0 5156 6166
1 1504 4356
2 130 1904
3 6027 3187
4 6718 759
5 6240 2870
6 2343 1311
7 1039 5465
8 6617 2513
9 1588 5222
10 6561 535
11 4765 2054
12 5966 6892
13 1969 3869
14 3571 2420
15 4632 981
16 3215 4163
17 973 3117
18 3802 6198
19 3794 3948
```

[図99]

図99

| |
|---|
| 0 3196 6126 |
| 1 573 1909 |
| 2 850 4034 |
| 3 5622 1601 |
| 4 6005 524 |
| 5 5251 5783 |
| 6 172 2032 |
| 7 1875 2475 |
| 8 497 1291 |
| 9 2566 3430 |
| 10 1249 740 |
| 11 2944 1948 |
| 12 6528 2899 |
| 13 2243 3616 |
| 14 867 3733 |
| 15 1374 4702 |
| 16 4698 2285 |
| 17 4760 3917 |
| 18 1859 4058 |
| 19 6141 3527 |
| 0 2148 5066 |
| 1 1306 145 |
| 2 2319 871 |
| 3 3463 1061 |
| 4 5554 6647 |
| 5 5837 339 |
| 6 5821 4932 |
| 7 6356 4756 |
| 8 3930 418 |
| 9 211 3094 |
| 10 1007 4928 |
| 11 3584 1235 |
| 12 6982 2869 |
| 13 1612 1013 |
| 14 953 4964 |
| 15 4555 4410 |
| 16 4925 4842 |
| 17 5778 600 |
| 18 6509 2417 |
| 19 1260 4903 |
| 0 3369 3031 |

[図100]

図100

| | | |
|---|---|---|
| 1 | 3557 | 3224 |
| 2 | 3028 | 583 |
| 3 | 3258 | 440 |
| 4 | 6226 | 6655 |
| 5 | 4895 | 1094 |
| 6 | 1481 | 6847 |
| 7 | 4433 | 1932 |
| 8 | 2107 | 1649 |
| 9 | 2119 | 2065 |
| 10 | 4003 | 6388 |
| 11 | 6720 | 3622 |
| 12 | 3694 | 4521 |
| 13 | 1164 | 7050 |
| 14 | 1965 | 3613 |
| 15 | 4331 | 66 |
| 16 | 2970 | 1796 |
| 17 | 4652 | 3218 |
| 18 | 1762 | 4777 |
| 19 | 5736 | 1399 |
| 0 | 970 | 2572 |
| 1 | 2062 | 6599 |
| 2 | 4597 | 4870 |
| 3 | 1228 | 6913 |
| 4 | 4159 | 1037 |
| 5 | 2916 | 2362 |
| 6 | 395 | 1226 |
| 7 | 6911 | 4548 |
| 8 | 4618 | 2241 |
| 9 | 4120 | 4280 |
| 10 | 5825 | 474 |
| 11 | 2154 | 5558 |
| 12 | 3793 | 5471 |
| 13 | 5707 | 1595 |
| 14 | 1403 | 325 |
| 15 | 6601 | 5183 |
| 16 | 6369 | 4569 |
| 17 | 4846 | 896 |
| 18 | 7092 | 6184 |
| 19 | 6764 | 7127 |
| 0 | 6358 | 1951 |
| 1 | 3117 | 6960 |

[図101]

図101

2 2710 7062
3 1133 3604
4 3694 657
5 1355 110
6 3329 6736
7 2505 3407
8 2462 4806
9 4216 214
10 5348 5619
11 6627 6243
12 2644 5073
13 4212 5088
14 3463 3889
15 5306 478
16 4320 6121
17 3961 1125
18 5699 1195
19 6511 792
0 3934 2778
1 3238 6587
2 1111 6596
3 1457 6226
4 1446 3885
5 3907 4043
6 6839 2873
7 1733 5615
8 5202 4269
9 3024 4722
10 5445 6372
11 370 1828
12 4695 1600
13 680 2074
14 1801 6690
15 2669 1377
16 2463 1681
17 5972 5171
18 5728 4284
19 1696 1459

[図102]

図102 $r=\frac{9}{10}$, N=64800の検査行列初期値テーブル

r9/10 64K

0 5611 2563 2900
1 5220 3143 4813
2 2481 834 81
3 6265 4064 4265
4 1055 2914 5638
5 1734 2182 3315
6 3342 5678 2246
7 2185 552 3385
8 2615 236 5334
9 1546 1755 3846
10 4154 5561 3142
11 4382 2957 5400
12 1209 5329 3179
13 1421 3528 6063
14 1480 1072 5398
15 3843 1777 4369
16 1334 2145 4163
17 2368 5055 260
0 6118 5405
1 2994 4370
2 3405 1669
3 4640 5550
4 1354 3921
5 117 1713
6 5425 2866
7 6047 683
8 5616 2582
9 2108 1179
10 933 4921
11 5953 2261
12 1430 4699
13 5905 480
14 4289 1846
15 5374 6208
16 1775 3476
17 3216 2178
0 4165 884
1 2896 3744
2 874 2801
3 3423 5579

[図103]

図103

| | | |
|---|---|---|
| 4 | 3404 | 3552 |
| 5 | 2876 | 5515 |
| 6 | 516 | 1719 |
| 7 | 765 | 3631 |
| 8 | 5059 | 1441 |
| 9 | 5629 | 598 |
| 10 | 5405 | 473 |
| 11 | 4724 | 5210 |
| 12 | 155 | 1832 |
| 13 | 1689 | 2229 |
| 14 | 449 | 1164 |
| 15 | 2308 | 3088 |
| 16 | 1122 | 669 |
| 17 | 2268 | 5758 |
| 0 | 5878 | 2609 |
| 1 | 782 | 3359 |
| 2 | 1231 | 4231 |
| 3 | 4225 | 2052 |
| 4 | 4286 | 3517 |
| 5 | 5531 | 3184 |
| 6 | 1935 | 4560 |
| 7 | 1174 | 131 |
| 8 | 3115 | 956 |
| 9 | 3129 | 1088 |
| 10 | 5238 | 4440 |
| 11 | 5722 | 4280 |
| 12 | 3540 | 375 |
| 13 | 191 | 2782 |
| 14 | 906 | 4432 |
| 15 | 3225 | 1111 |
| 16 | 6296 | 2583 |
| 17 | 1457 | 903 |
| 0 | 855 | 4475 |
| 1 | 4097 | 3970 |
| 2 | 4433 | 4361 |
| 3 | 5198 | 541 |
| 4 | 1146 | 4426 |
| 5 | 3202 | 2902 |
| 6 | 2724 | 525 |
| 7 | 1083 | 4124 |
| 8 | 2326 | 6003 |

000245

[図104]

図104

| | | |
|---|---|---|
| 9 | 5605 | 5990 |
| 10 | 4376 | 1579 |
| 11 | 4407 | 984 |
| 12 | 1332 | 6163 |
| 13 | 5359 | 3975 |
| 14 | 1907 | 1854 |
| 15 | 3601 | 5748 |
| 16 | 6056 | 3266 |
| 17 | 3322 | 4085 |
| 0 | 1768 | 3244 |
| 1 | 2149 | 144 |
| 2 | 1589 | 4291 |
| 3 | 5154 | 1252 |
| 4 | 1855 | 5939 |
| 5 | 4820 | 2706 |
| 6 | 1475 | 3360 |
| 7 | 4266 | 693 |
| 8 | 4156 | 2018 |
| 9 | 2103 | 752 |
| 10 | 3710 | 3853 |
| 11 | 5123 | 931 |
| 12 | 6146 | 3323 |
| 13 | 1939 | 5002 |
| 14 | 5140 | 1437 |
| 15 | 1263 | 293 |
| 16 | 5949 | 4665 |
| 17 | 4548 | 6380 |
| 0 | 3171 | 4690 |
| 1 | 5204 | 2114 |
| 2 | 6384 | 5565 |
| 3 | 5722 | 1757 |
| 4 | 2805 | 6264 |
| 5 | 1202 | 2616 |
| 6 | 1018 | 3244 |
| 7 | 4018 | 5289 |
| 8 | 2257 | 3067 |
| 9 | 2483 | 3073 |
| 10 | 1196 | 5329 |
| 11 | 649 | 3918 |
| 12 | 3791 | 4581 |
| 13 | 5028 | 3803 |

[図105]

図105

14 3119 3506
15 4779 431
16 3888 5510
17 4387 4084
0 5836 1692
1 5126 1078
2 5721 6165
3 3540 2499
4 2225 6348
5 1044 1484
6 6323 4042
7 1313 5603
8 1303 3496
9 3516 3639
10 5161 2293
11 4682 3845
12 3045 643
13 2818 2616
14 3267 649
15 6236 593
16 646 2948
17 4213 1442
0 5779 1596
1 2403 1237
2 2217 1514
3 5609 716
4 5155 3858
5 1517 1312
6 2554 3158
7 5280 2643
8 4990 1353
9 5648 1170
10 1152 4366
11 3561 5368
12 3581 1411
13 5647 4661
14 1542 5401
15 5078 2687
16 316 1755
17 3392 1991

[図106]

図106

r1/4 64K

23606 36098 1140 28859 18148 18510 6226 540 42014 20879 23802 47088
16419 24928 16609 17248 7693 24997 42587 16858 34921 21042 37024 20692
1874 40094 18704 14474 14004 11519 13106 28826 38669 22363 30255 31105
22254 40564 22645 22532 6134 9176 39998 23892 8937 15608 16854 31009
8037 40401 13550 19526 41902 28782 13304 32796 24679 27140 45980 10021
40540 44498 13911 22435 32701 18405 39929 25521 12497 9851 39223 34823
15233 45333 5041 44979 45710 42150 19416 1892 23121 15860 8832 10308
10468 44296 3611 1480 37581 32254 13817 6883 32892 40258 46538 11940
6705 21634 28150 43757 895 6547 20970 28914 30117 25736 41734 11392
22002 5739 27210 27828 34192 37992 10915 6998 3824 42130 4494 35739
8515 1191 13642 30950 25943 12673 16726 34261 31828 3340 8747 39225
18979 17058 43130 4246 4793 44030 19454 29511 47929 15174 24333 19354
16694 8381 29642 46516 32224 26344 9405 18292 12437 27316 35466 41992
15642 5871 46489 26723 23396 7257 8974 3156 37420 44823 35423 13541
42858 32008 41282 38773 26570 2702 27260 46974 1469 20887 27426 38553
22152 24261 8297
19347 9978 27802
34991 6354 33561
29782 30875 29523
9278 48512 14349
38061 4165 43878
8548 33172 34410
22535 28811 23950
20439 4027 24186
38618 8187 30947
35538 43880 21459
7091 45616 15063
5505 9315 21908
36046 32914 11836
7304 39782 33721
16905 29962 12980
11171 23709 22460
34541 9937 44500
14035 47316 8815
15057 45482 24461
30518 36877 879
7583 13364 24332
448 27056 4682
12083 31378 21670
1159 18031 2221
17028 38715 9350
17343 24530 29574

000248



[図107]

図107

| |
|---|
| 46128 31039 32818<br>20373 36967 18345<br>46685 20622 32806 |

[図108]

図108

r1/3 64K

34903 20927 32093 1052 25611 16093 16454 5520 506 37399 18518 21120
11636 14594 22158 14763 15333 6838 22222 37856 14985 31041 18704 32910
17449 1665 35639 16624 12867 12449 10241 11650 25622 34372 19878 26894
29235 19780 36056 20129 20029 5457 8157 35554 21237 7943 13873 14980
9912 7143 35911 12043 17360 37253 25588 11827 29152 21936 24125 40870
40701 36035 39556 12366 19946 29072 16365 35495 22686 11106 8756 34863
19165 15702 13536 40238 4465 40034 40590 37540 17162 1712 20577 14138
31338 19342 9301 39375 3211 1316 33409 28670 12282 6118 29236 35787
11504 30506 19558 5100 24188 24738 30397 33775 9699 6215 3397 37451
34689 23126 7571 1058 12127 27518 23064 11265 14867 30451 28289 2966
11660 15334 16867 15160 38343 3778 4265 39139 17293 26229 42604 13486
31497 1365 14828 7453 26350 41346 28643 23421 8354 16255 11055 24279
15687 12467 13906 5215 41328 23755 20800 6447 7970 2803 33262 39843
5363 22469 38091 28457 36696 34471 23619 2404 24229 41754 1297 18563
3673 39070 14480 30279 37483 7580 29519 30519 39831 20252 18132 20010
34386 7252 27526 12950 6875 43020 31566 39069 18985 15541 40020 16715
1721 37332 39953 17430 32134 29162 10490 12971 28581 29331 6489 35383
736 7022 42349 8783 6767 11871 21675 10325 11548 25978 431 24085
1925 10602 28585 12170 15156 34404 8351 13273 20208 5800 15367 21764
16279 37832 34792 21250 34192 7406 41488 18346 29227 26127 25493 7048
39948 28229 24899
17408 14274 38993
38774 15968 28459
41404 27249 27425
41229 6082 43114
13957 4979 40654
3093 3438 34992
34082 6172 28760
42210 34141 41021
14705 17783 10134
41755 39884 22773
14615 15593 1642
29111 37061 39860
9579 33552 633
12951 21137 39608
38244 27361 29417
2939 10172 36479
29094 5357 19224
9562 24436 28637

[図109]

図109

40177 2326 13504
6834 21583 42516
40651 42810 25709
31557 32138 38142
18624 41867 39296
37560 14295 16245
6821 21679 31570
25339 25083 22081
8047 697 35268
9884 17073 19995
26848 35245 8390
18658 16134 14807
12201 32944 5035
25236 1216 38986
42994 24782 8681
28321 4932 34249
4107 29382 32124
22157 2624 14468
38788 27081 7936
4368 26148 10578
25353 4122 39751

[図110]

図110

r2/5 64K

31413 18834 28884 947 23050 14484 14809 4968 455 33659 16666 19008
13172 19939 13354 13719 6132 20086 34040 13442 27958 16813 29619 16553
1499 32075 14962 11578 11204 9217 10485 23062 30936 17892 24204 24885
32490 18086 18007 4957 7285 32073 19038 7152 12486 13483 24808 21759
32321 10839 15620 33521 23030 10646 26236 19744 21713 36784 8016 12869
35597 11129 17948 26160 14729 31943 20416 10000 7882 31380 27858 33356
14125 12131 36199 4058 35992 36594 33698 15475 1566 18498 12725 7067
17406 8372 35437 2888 1184 30068 25802 11056 5507 26313 32205 37232
15254 5365 17308 22519 35009 718 5240 16778 23131 24092 20587 33385
27455 17602 4590 21767 22266 27357 30400 8732 5596 3060 33703 3596
6882 873 10997 24738 20770 10067 13379 27409 25463 2673 6998 31378
15181 13645 34501 3393 3840 35227 15562 23615 38342 12139 19471 15483
13350 6707 23709 37204 25778 21082 7511 14588 10010 21854 28375 33591
12514 4695 37190 21379 18723 5802 7182 2529 29936 35860 28338 10835
34283 25610 33026 31017 21259 2165 21807 37578 1175 16710 21939 30841
27292 33730 6836 26476 27539 35784 18245 16394 17939 23094 19216 17432
11655 6183 38708 28408 35157 17089 13998 36029 15052 16617 5638 36464
15693 28923 26245 9432 11675 25720 26405 5838 31851 26898 8090 37037
24418 27583 7959 35562 37771 17784 11382 11156 37855 7073 21685 34515
10977 13633 30969 7516 11943 18199 5231 13825 19589 23661 11150 35602
19124 30774 6670 37344 16510 26317 23518 22957 6348 34069 8845 20175
34985 14441 25668 4116 3019 21049 37308 24551 24727 20104 24850 12114
38187 28527 13108 13985 1425 21477 30807 8613 26241 33368 35913 32477
5903 34390 24641 26556 23007 27305 38247 2621 9122 32806 21554 18685
17287 27292 19033
25796 31795 12152
12184 35088 31226
38263 33386 24892
23114 37995 29796
34336 10551 36245
35407 175 7203
14654 38201 22605
28404 6595 1018
19932 3524 29305
31749 20247 8128
18026 36357 26735
7543 29767 13588
13333 25965 8463
14504 36796 19710
4528 25299 7318
35091 25550 14798

[図111]

図111

| |
|---|
| 7824 215 1248 |
| 30848 5362 17291 |
| 28932 30249 27073 |
| 13062 2103 16206 |
| 7129 32062 19612 |
| 9512 21936 38833 |
| 35849 33754 23450 |
| 18705 28656 18111 |
| 22749 27456 32187 |
| 28229 31684 30160 |
| 15293 8483 28002 |
| 14880 13334 12584 |
| 28646 2558 19687 |
| 6259 4499 26336 |
| 11952 28386 8405 |
| 10609 961 7582 |
| 10423 13191 26818 |
| 15922 36654 21450 |
| 10492 1532 1205 |
| 30551 36482 22153 |
| 5156 11330 34243 |
| 28616 35369 13322 |
| 8962 1485 21186 |
| 23541 17445 35561 |
| 33133 11593 19895 |
| 33917 7863 33651 |
| 20063 28331 10702 |
| 13195 21107 21859 |
| 4364 31137 4804 |
| 5585 2037 4830 |
| 30672 16927 14800 |

[図112]

図112

r1/2 64K

```
54 9318 14392 27561 26909 10219 2534 8597
55 7263 4635 2530 28130 3033 23830 3651
56 24731 23583 26036 17299 5750 792 9169
57 5811 26154 18653 11551 15447 13685 16264
58 12610 11347 28768 2792 3174 29371 12997
59 16789 16018 21449 6165 21202 15850 3186
60 31016 21449 17618 6213 12166 8334 18212
61 22836 14213 11327 5896 718 11727 9308
62 2091 24941 29966 23634 9013 15587 5444
63 22207 3983 16904 28534 21415 27524 25912
64 25687 4501 22193 14665 14798 16158 5491
65 4520 17094 23397 4264 22370 16941 21526
66 10490 6182 32370 9597 30841 25954 2762
67 22120 22865 29870 15147 13668 14955 19235
68 6689 18408 18346 9918 25746 5443 20645
69 29982 12529 13858 4746 30370 10023 24828
70 1262 28032 29888 13063 24033 21951 7863
71 6594 29642 31451 14831 9509 9335 31552
72 1358 6454 16633 20354 24598 624 5265
73 19529 295 18011 3080 13364 8032 15323
74 11981 1510 7960 21462 9129 11370 25741
75 9276 29656 4543 30699 20646 21921 28050
76 15975 25634 5520 31119 13715 21949 19605
77 18688 4608 31755 30165 13103 10706 29224
78 21514 23117 12245 26035 31656 25631 30699
79 9674 24966 31285 29908 17042 24588 31857
80 21856 27777 29919 27000 14897 11409 7122
81 29773 23310 263 4877 28622 20545 22092
82 15605 5651 21864 3967 14419 22757 15896
83 30145 1759 10139 29223 26086 10556 5098
84 18815 16575 2936 24457 26738 6030 505
85 30326 22298 27562 20131 26390 6247 24791
86 928 29246 21246 12400 15311 32309 18608
87 20314 6025 26689 16302 2296 3244 19613
88 6237 11943 22851 15642 23857 15112 20947
89 26403 25168 19038 18384 8882 12719 7093
0 14567 24965
1 3908 100
2 10279 240
```

[図113]

図113

| | | |
|---|---|---|
| 3 | 24102 | 764 |
| 4 | 12383 | 4173 |
| 5 | 13861 | 15918 |
| 6 | 21327 | 1046 |
| 7 | 5288 | 14579 |
| 8 | 28158 | 8069 |
| 9 | 16583 | 11098 |
| 10 | 16681 | 28363 |
| 11 | 13980 | 24725 |
| 12 | 32169 | 17989 |
| 13 | 10907 | 2767 |
| 14 | 21557 | 3818 |
| 15 | 26676 | 12422 |
| 16 | 7676 | 8754 |
| 17 | 14905 | 20232 |
| 18 | 15719 | 24646 |
| 19 | 31942 | 8589 |
| 20 | 19978 | 27197 |
| 21 | 27060 | 15071 |
| 22 | 6071 | 26649 |
| 23 | 10393 | 11176 |
| 24 | 9597 | 13370 |
| 25 | 7081 | 17677 |
| 26 | 1433 | 19513 |
| 27 | 26925 | 9014 |
| 28 | 19202 | 8900 |
| 29 | 18152 | 30647 |
| 30 | 20803 | 1737 |
| 31 | 11804 | 25221 |
| 32 | 31683 | 17783 |
| 33 | 29694 | 9345 |
| 34 | 12280 | 26611 |
| 35 | 6526 | 26122 |
| 36 | 26165 | 11241 |
| 37 | 7666 | 26962 |
| 38 | 16290 | 8480 |
| 39 | 11774 | 10120 |
| 40 | 30051 | 30426 |
| 41 | 1335 | 15424 |
| 42 | 6865 | 17742 |
| 43 | 31779 | 12489 |
| 44 | 32120 | 21001 |
| 45 | 14508 | 6996 |

[図114]

図114

| |
|---|
| 46 979 25024 |
| 47 4554 21896 |
| 48 7989 21777 |
| 49 4972 20661 |
| 50 6612 2730 |
| 51 12742 4418 |
| 52 29194 595 |
| 53 19267 20113 |

[図115]

図115

r3/5 64K

22422 10282 11626 19997 11161 2922 3122 99 5625 17064 8270 179
25087 16218 17015 828 20041 25656 4186 11629 22599 17305 22515 6463
11049 22853 25706 14388 5500 19245 8732 2177 13555 11346 17265 3069
16581 22225 12563 19717 23577 11555 25496 6853 25403 5218 15925 21766
16529 14487 7643 10715 17442 11119 5679 14155 24213 21000 1116 15620
5340 8636 16693 1434 5635 6516 9482 20189 1066 15013 25361 14243
18506 22236 20912 8952 5421 15691 6126 21595 500 6904 13059 6802
8433 4694 5524 14216 3685 19721 25420 9937 23813 9047 25651 16826
21500 24814 6344 17382 7064 13929 4004 16552 12818 8720 5286 2206
22517 2429 19065 2921 21611 1873 7507 5661 23006 23128 20543 19777
1770 4636 20900 14931 9247 12340 11008 12966 4471 2731 16445 791
6635 14556 18865 22421 22124 12697 9803 25485 7744 18254 11313 9004
19982 23963 18912 7206 12500 4382 20067 6177 21007 1195 23547 24837
756 11158 14646 20534 3647 17728 11676 11843 12937 4402 8261 22944
9306 24009 10012 11081 3746 24325 8060 19826 842 8836 2898 5019
7575 7455 25244 4736 14400 22981 5543 8006 24203 13053 1120 5128
3482 9270 13059 15825 7453 23747 3656 24585 16542 17507 22462 14670
15627 15290 4198 22748 5842 13395 23918 16985 14929 3726 25350 24157
24896 16365 16423 13461 16615 8107 24741 3604 25904 8716 9604 20365
3729 17245 18448 9862 20831 25326 20517 24618 13282 5099 14183 8804
16455 17646 15376 18194 25528 1777 6066 21855 14372 12517 4488 17490
1400 8135 23375 20879 8476 4084 12936 25536 22309 16582 6402 24360
25119 23586 128 4761 10443 22536 8607 9752 25446 15053 1856 4040
377 21160 13474 5451 17170 5938 10256 11972 24210 17833 22047 16108
13075 9648 24546 13150 23867 7309 19798 2988 16858 4825 23950 15125
20526 3553 11525 23366 2452 17626 19265 20172 18060 24593 13255 1552
18839 21132 20119 15214 14705 7096 10174 5663 18651 19700 12524 14033
4127 2971 17499 16287 22368 21463 7943 18880 5567 8047 23363 6797
10651 24471 14325 4081 7258 4949 7044 1078 797 22910 20474 4318
21374 13231 22985 5056 3821 23718 14178 9978 19030 23594 8895 25358
6199 22056 7749 13310 3999 23697 16445 22636 5225 22437 24153 9442
7978 12177 2893 20778 3175 8645 11863 24623 10311 25767 17057 3691
20473 11294 9914 22815 2574 8439 3699 5431 24840 21908 16088 18244
8208 5755 19059 8541 24924 6454 11234 10492 16406 10831 11436 9649
16264 11275 24953 2347 12667 19190 7257 7174 24819 2938 2522 11749
3627 5969 13862 1538 23176 6353 2855 17720 2472 7428 573 15036
0 18539 18661
1 10502 3002
2 9368 10761

[図116]

図116

| | | |
|---|---|---|
| 3 | 12299 | 7828 |
| 4 | 15048 | 13362 |
| 5 | 18444 | 24640 |
| 6 | 20775 | 19175 |
| 7 | 18970 | 10971 |
| 8 | 5329 | 19982 |
| 9 | 11296 | 18655 |
| 10 | 15046 | 20659 |
| 11 | 7300 | 22140 |
| 12 | 22029 | 14477 |
| 13 | 11129 | 742 |
| 14 | 13254 | 13813 |
| 15 | 19234 | 13273 |
| 16 | 6079 | 21122 |
| 17 | 22782 | 5828 |
| 18 | 19775 | 4247 |
| 19 | 1660 | 19413 |
| 20 | 4403 | 3649 |
| 21 | 13371 | 25851 |
| 22 | 22770 | 21784 |
| 23 | 10757 | 14131 |
| 24 | 16071 | 21617 |
| 25 | 6393 | 3725 |
| 26 | 597 | 19968 |
| 27 | 5743 | 8084 |
| 28 | 6770 | 9548 |
| 29 | 4285 | 17542 |
| 30 | 13568 | 22599 |
| 31 | 1786 | 4617 |
| 32 | 23238 | 11648 |
| 33 | 19627 | 2030 |
| 34 | 13601 | 13458 |
| 35 | 13740 | 17328 |
| 36 | 25012 | 13944 |
| 37 | 22513 | 6687 |
| 38 | 4934 | 12587 |
| 39 | 21197 | 5133 |
| 40 | 22705 | 6938 |
| 41 | 7534 | 24633 |
| 42 | 24400 | 12797 |
| 43 | 21911 | 25712 |
| 44 | 12039 | 1140 |
| 45 | 24306 | 1021 |

[図117]

図117

```
46 14012 20747
47 11265 15219
48 4670 15531
49 9417 14359
50 2415 6504
51 24964 24690
52 14443 8816
53 6926 1291
54 6209 20806
55 13915 4079
56 24410 13196
57 13505 6117
58 9869 8220
59 1570 6044
60 25780 17387
61 20671 24913
62 24558 20591
63 12402 3702
64 8314 1357
65 20071 14616
66 17014 3688
67 19837 946
68 15195 12136
69 7758 22808
70 3564 2925
71 3434 7769
```

[図118]

図118

```
r1/4 16K
6295 9626 304 7695 4839 4936 1660 144 11203 5567 6347 12557
10691 4988 3859 3734 3071 3494 7687 10313 5964 8069 8296 11090
10774 3613 5208 11177 7676 3549 8746 6583 7239 12265 2674 4292
11869 3708 5981 8718 4908 10650 6805 3334 2627 10461 9285 11120
7844 3079 10773
3385 10854 5747
1360 12010 12202
6189 4241 2343
9840 12726 4977
```

[図119]

図119

r1/3 16K

```
416 8909 4156 3216 3112 2560 2912 6405 8593 4969 6723 6912
8978 3011 4339 9312 6396 2957 7288 5485 6031 10218 2226 3575
3383 10059 1114 10008 10147 9384 4290 434 5139 3536 1965 2291
2797 3693 7615 7077 743 1941 8716 6215 3840 5140 4582 5420
6110 8551 1515 7404 4879 4946 5383 1831 3441 9569 10472 4306
1505 5682 7778
7172 6830 6623
7281 3941 3505
10270 8669 914
3622 7563 9388
9930 5058 4554
4844 9609 2707
6883 3237 1714
4768 3878 10017
10127 3334 8267
```

[図120]

図120

r2/5 16K

```
5650 4143 8750 583 6720 8071 635 1767 1344 6922 738 6658
5696 1685 3207 415 7019 5023 5608 2605 857 6915 1770 8016
3992 771 2190 7258 8970 7792 1802 1866 6137 8841 886 1931
4108 3781 7577 6810 9322 8226 5396 5867 4428 8827 7766 2254
4247 888 4367 8821 9660 324 5864 4774 227 7889 6405 8963
9693 500 2520 2227 1811 9330 1928 5140 4030 4824 806 3134
1652 8171 1435
3366 6543 3745
9286 8509 4645
7397 5790 8972
6597 4422 1799
9276 4041 3847
8683 7378 4946
5348 1993 9186
6724 9015 5646
4502 4439 8474
5107 7342 9442
1387 8910 2660
```

[図121]

図121

r1/2 16K

20 712 2386 6354 4061 1062 5045 5158
21 2543 5748 4822 2348 3089 6328 5876
22 926 5701 269 3693 2438 3190 3507
23 2802 4520 3577 5324 1091 4667 4449
24 5140 2003 1263 4742 6497 1185 6202
0 4046 6934
1 2855 66
2 6694 212
3 3439 1158
4 3850 4422
5 5924 290
6 1467 4049
7 7820 2242
8 4606 3080
9 4633 7877
10 3884 6868
11 8935 4996
12 3028 764
13 5988 1057
14 7411 3450

[図122]

図122

r3/5 16K

```
2765 5713 6426 3596 1374 4811 2182 544 3394 2840 4310 771
4951 211 2208 723 1246 2928 398 5739 265 5601 5993 2615
210 4730 5777 3096 4282 6238 4939 1119 6463 5298 6320 4016
4167 2063 4757 3157 5664 3956 6045 563 4284 2441 3412 6334
4201 2428 4474 59 1721 736 2997 428 3807 1513 4732 6195
2670 3081 5139 3736 1999 5889 4362 3806 4534 5409 6384 5809
5516 1622 2906 3285 1257 5797 3816 817 875 2311 3543 1205
4244 2184 5415 1705 5642 4886 2333 287 1848 1121 3595 6022
2142 2830 4069 5654 1295 2951 3919 1356 884 1786 396 4738
0 2161 2653
1 1380 1461
2 2502 3707
3 3971 1057
4 5985 6062
5 1733 6028
6 3786 1936
7 4292 956
8 5692 3417
9 266 4878
10 4913 3247
11 4763 3937
12 3590 2903
13 2566 4215
14 5208 4707
15 3940 3388
16 5109 4556
17 4908 4177
```

[図123]

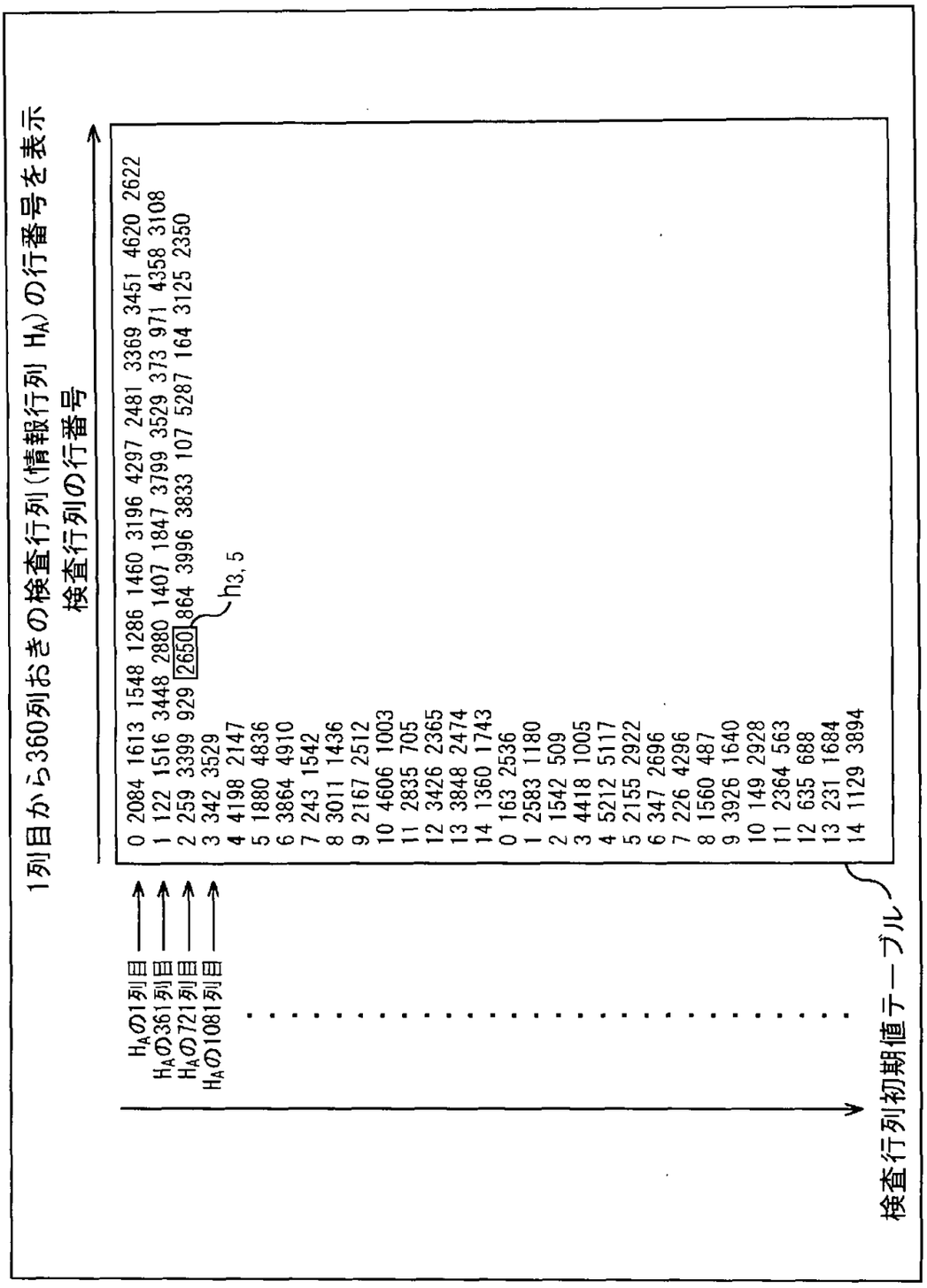
図123

r3/5 16K

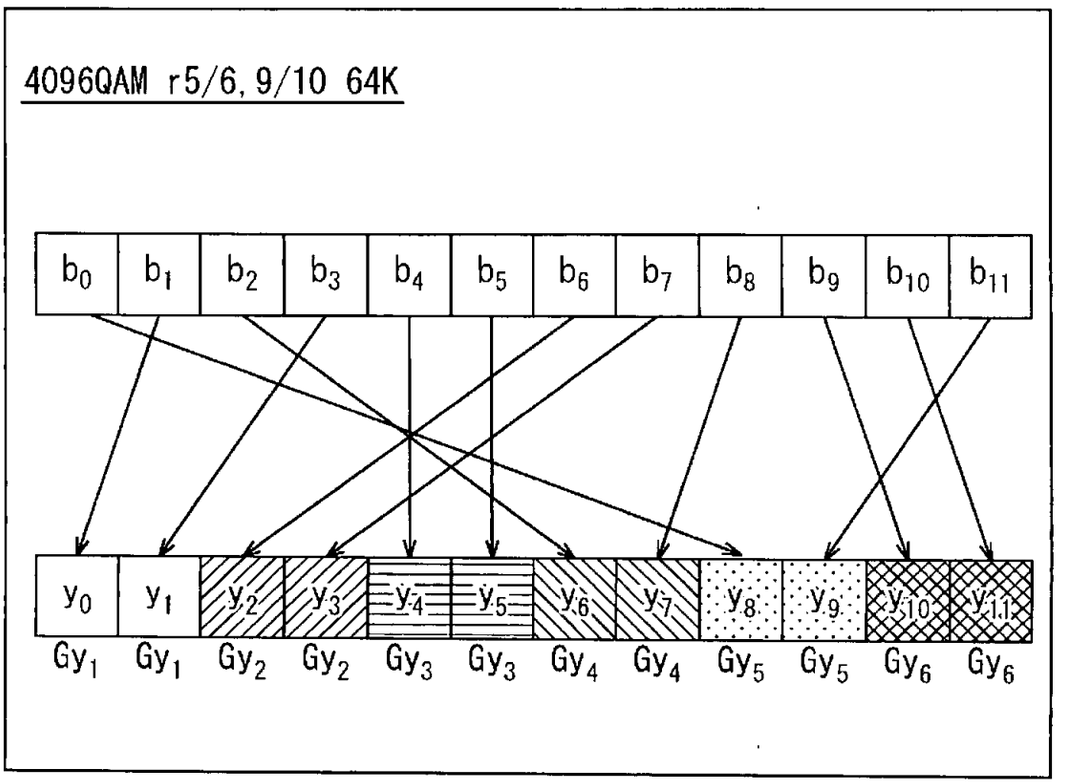
71 1478 1901 2240 2649 2725 3592 3708 3965 4080 5733 6198
393 1384 1435 1878 2773 3182 3586 5465 6091 6110 6114 6327
160 1149 1281 1526 1566 2129 2929 3095 3223 4250 4276 4612
289 1446 1602 2421 3559 3796 5590 5750 5763 6168 6271 6340
947 1227 2008 2020 2266 3365 3588 3867 4172 4250 4865 6290
3324 3704 4447
1206 2565 3089
529 4027 5891
141 1187 3206
1990 2972 5120
752 796 5976
1129 2377 4030
6077 6108 6231
61 1053 1781
2820 4109 5307
2088 5834 5988
3725 3945 4010
1081 2780 3389
659 2221 4822
3033 6060 6160
756 1489 2350
3350 3624 5470
357 1825 5242
585 3372 6062
561 1417 2348
971 3719 5567
1005 1675 2062

[図124]

図124

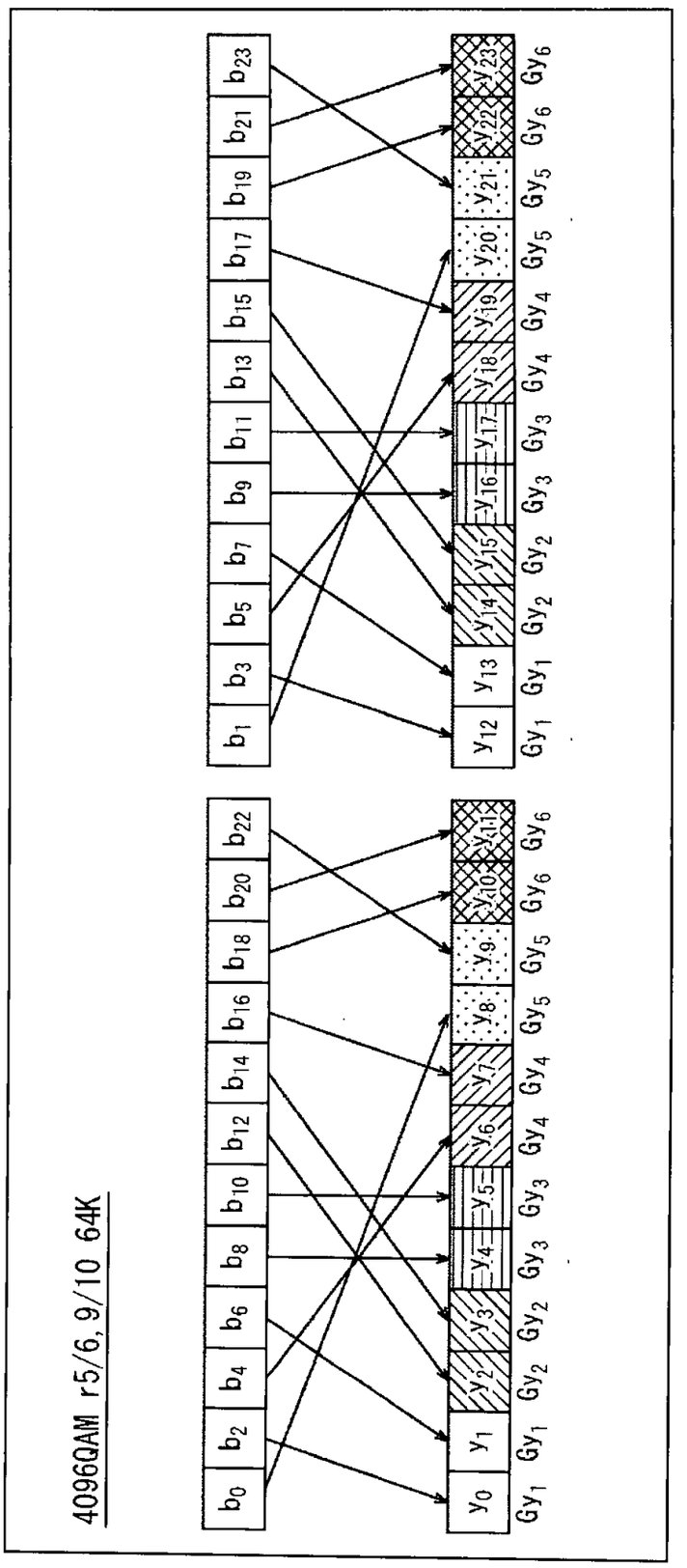

1列目から360列おきの検査行列(情報行列 $H_A$)の行番号を表示
検査行列の行番号
$H_A$の1列目
$H_A$の361列目
$H_A$の721列目
$H_A$の1081列目
0 2084 1613 1548 1286 1460 3196 4297 2481 3369 3451 4620 2622
1 122 1516 3448 2880 1407 1847 3799 3529 373 971 4358 3108
2 259 3399 929 2650 864 3996 3833 107 5287 164 3125 2350
3 342 3529
4 4198 2147
5 1880 4836
6 3864 4910
7 243 1542
8 3011 1436
9 2167 2512
10 4606 1003
11 2835 705
12 3426 2365
13 3848 2474
14 1360 1743
0 163 2536
1 2583 1180
2 1542 509
3 4418 1005
4 5212 5117
5 2155 2922
6 347 2696
7 226 4296
8 1560 487
9 3926 1640
10 149 2928
11 2364 563
12 635 688
13 231 1684
14 1129 3894
$h_{3,5}$
検査行列初期値テーブル

[図125]
図125


4096QAM r5/6, 9/10 64K
b0 b1 b2 b3 b4 b5 b6 b7 b8 b9 b10 b11
y0 y1 y2 y3 y4 y5 y6 y7 y8 y9 y10 y11
Gy1 Gy1 Gy2 Gy2 Gy3 Gy3 Gy4 Gy4 Gy5 Gy5 Gy6 Gy6

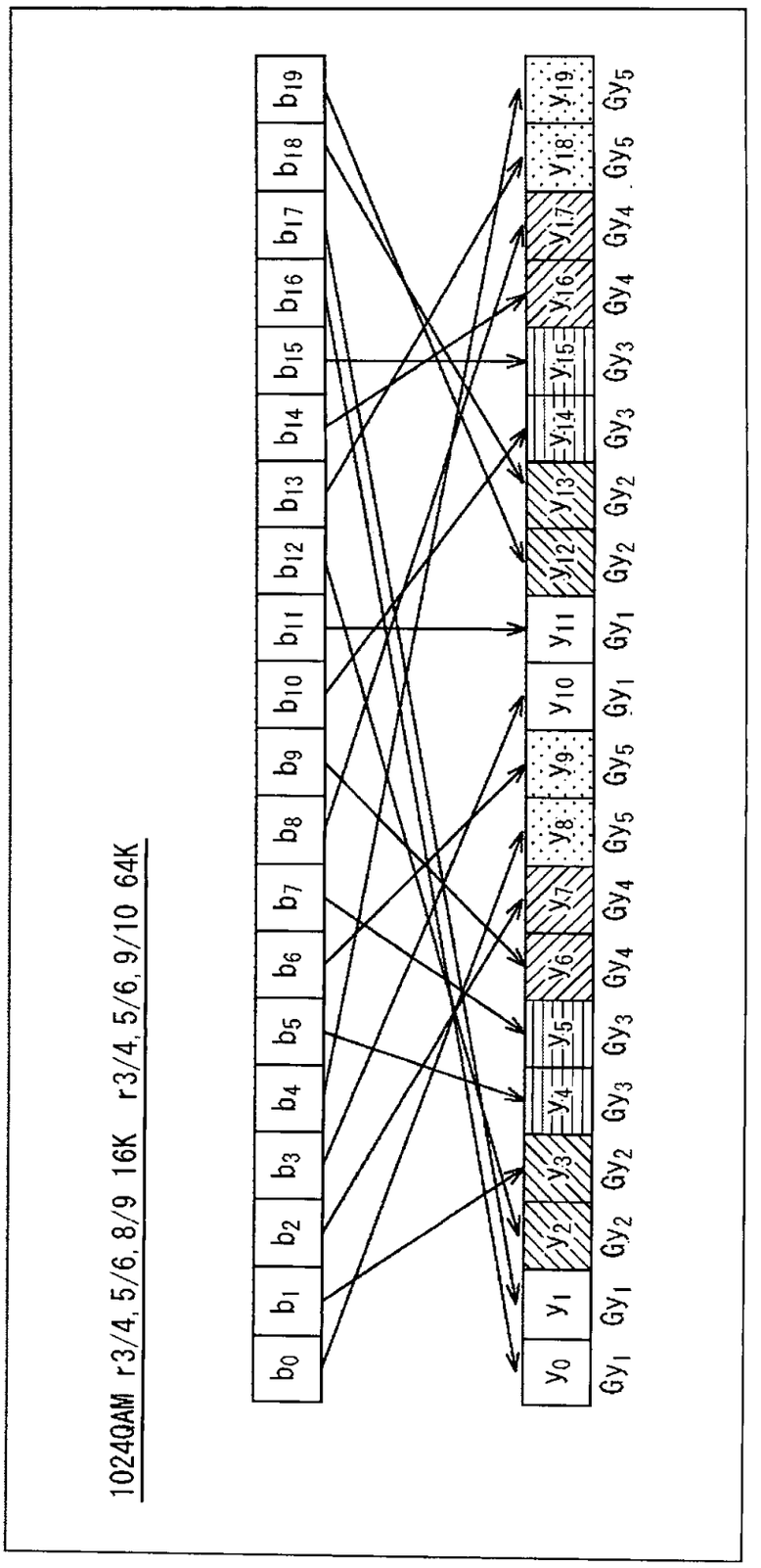
[図126]

図126


4096QAM r5/6, 9/10 64K
b0 b2 b4 b6 b8 b10 b12 b14 b16 b18 b20 b22
b1 b3 b5 b7 b9 b11 b13 b15 b17 b19 b21 b23
y0 y1 y2 y3 y4 y5 y6 y7 y8 y9 y10 y11
y12 y13 y14 y15 y16 y17 y18 y19 y20 y21 y22 y23
Gy1 Gy1 Gy2 Gy2 Gy3 Gy3 Gy4 Gy4 Gy5 Gy5 Gy6 Gy6
Gy1 Gy1 Gy2 Gy2 Gy3 Gy3 Gy4 Gy4 Gy5 Gy5 Gy6 Gy6

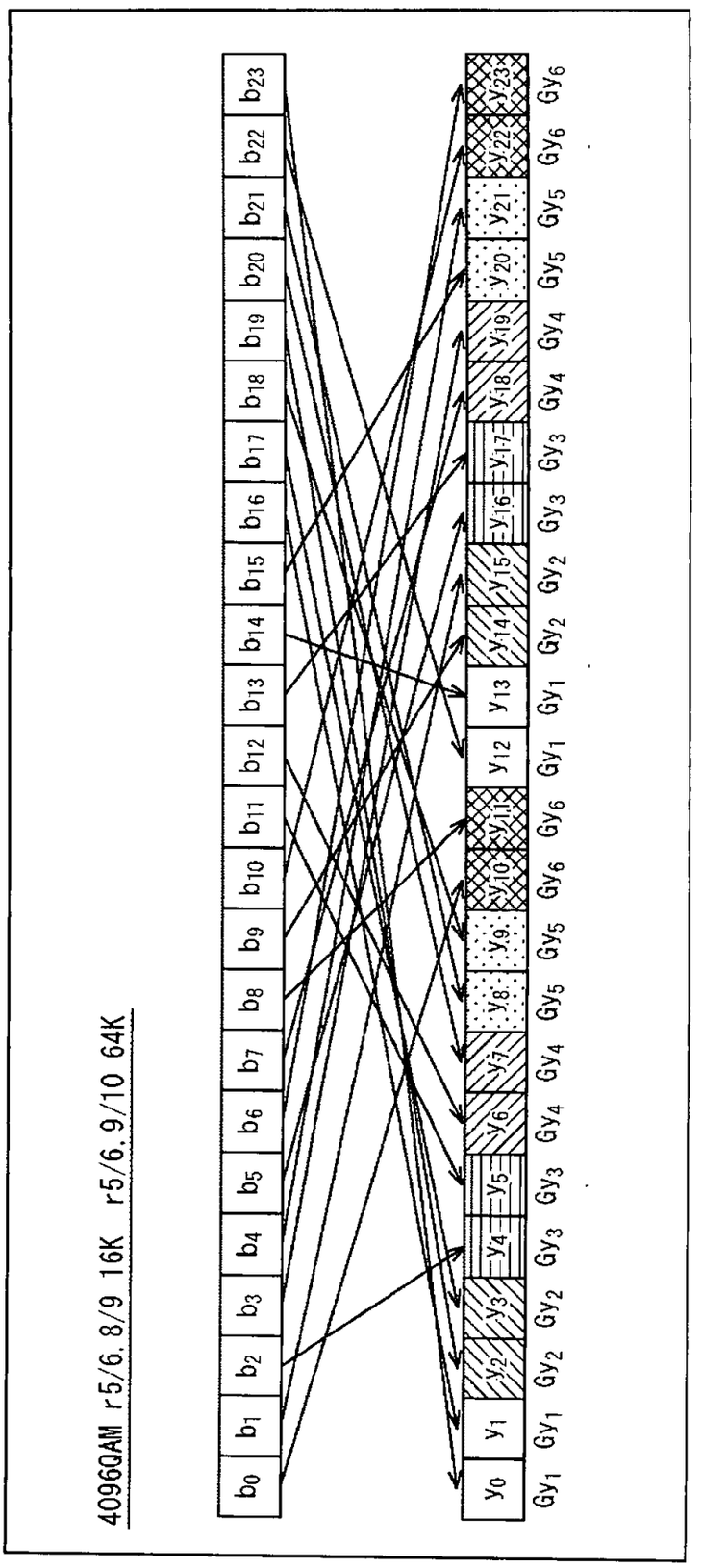
[図127]

図127


1024QAM r3/4, 5/6, 8/9 16K r3/4, 5/6, 9/10 64K
b0 b1 b2 b3 b4 b5 b6 b7 b8 b9 b10 b11 b12 b13 b14 b15 b16 b17 b18 b19
y0 y1 y2 y3 y4 y5 y6 y7 y8 y9 y10 y11 y12 y13 y14 y15 y16 y17 y18 y19
Gy1 Gy1 Gy2 Gy2 Gy3 Gy3 Gy4 Gy4 Gy5 Gy5 Gy1 Gy1 Gy2 Gy2 Gy3 Gy3 Gy4 Gy4 Gy5 Gy5

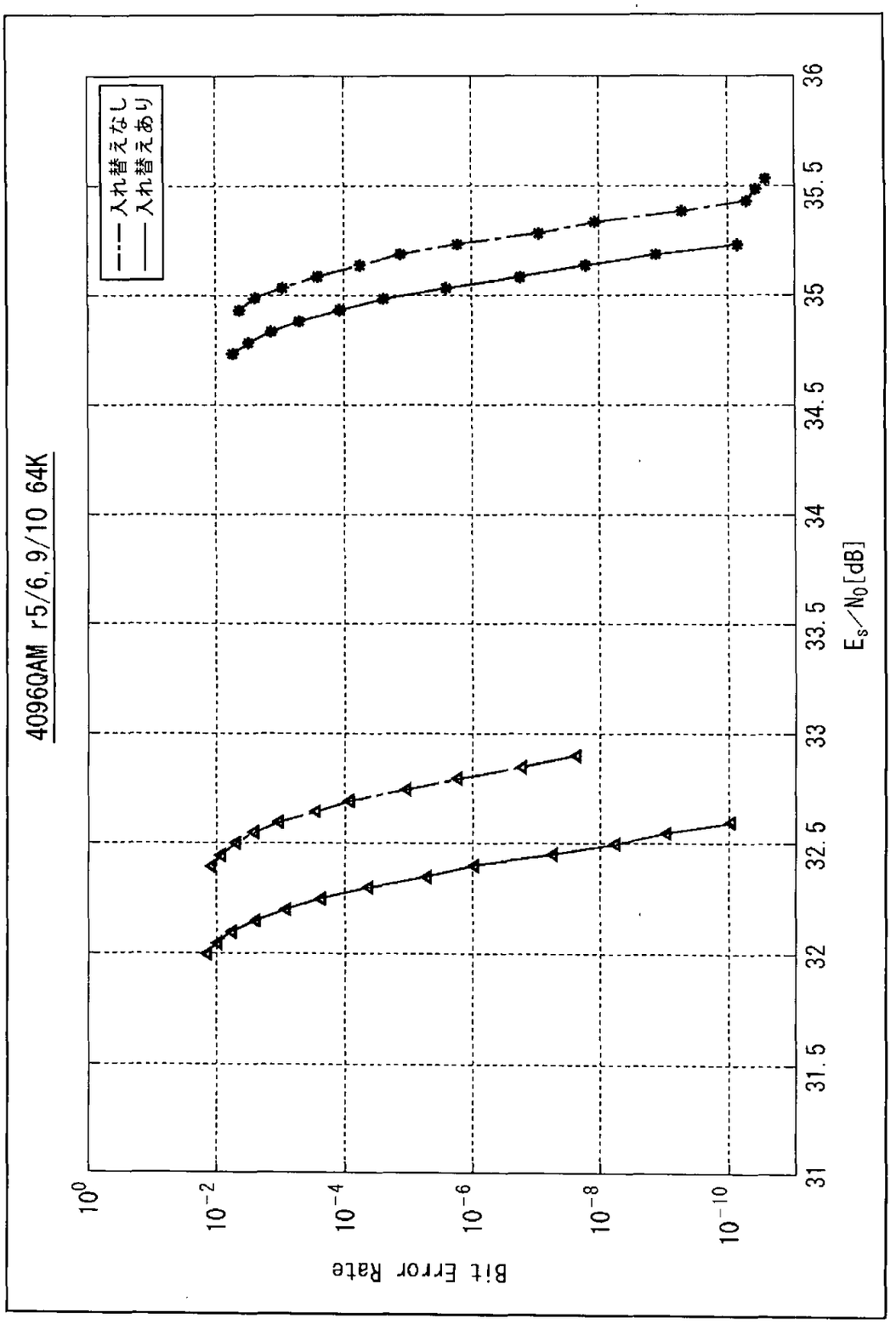
[図128]

図128


4096QAM r5/6.8/9 16K r5/6.9/10 64K
b0 b1 b2 b3 b4 b5 b6 b7 b8 b9 b10 b11 b12 b13 b14 b15 b16 b17 b18 b19 b20 b21 b22 b23
y0 y1 y2 y3 y4=y5 y6 y7 y8 y9 y10 y11 y12 y13 y14 y15 y16=y17 y18 y19 y20 y21 y22 y23
Gy1 Gy1 Gy2 Gy2 Gy3 Gy3 Gy4 Gy4 Gy5 Gy5 Gy6 Gy6 Gy1 Gy1 Gy2 Gy2 Gy3 Gy3 Gy4 Gy4 Gy5 Gy5 Gy6 Gy6

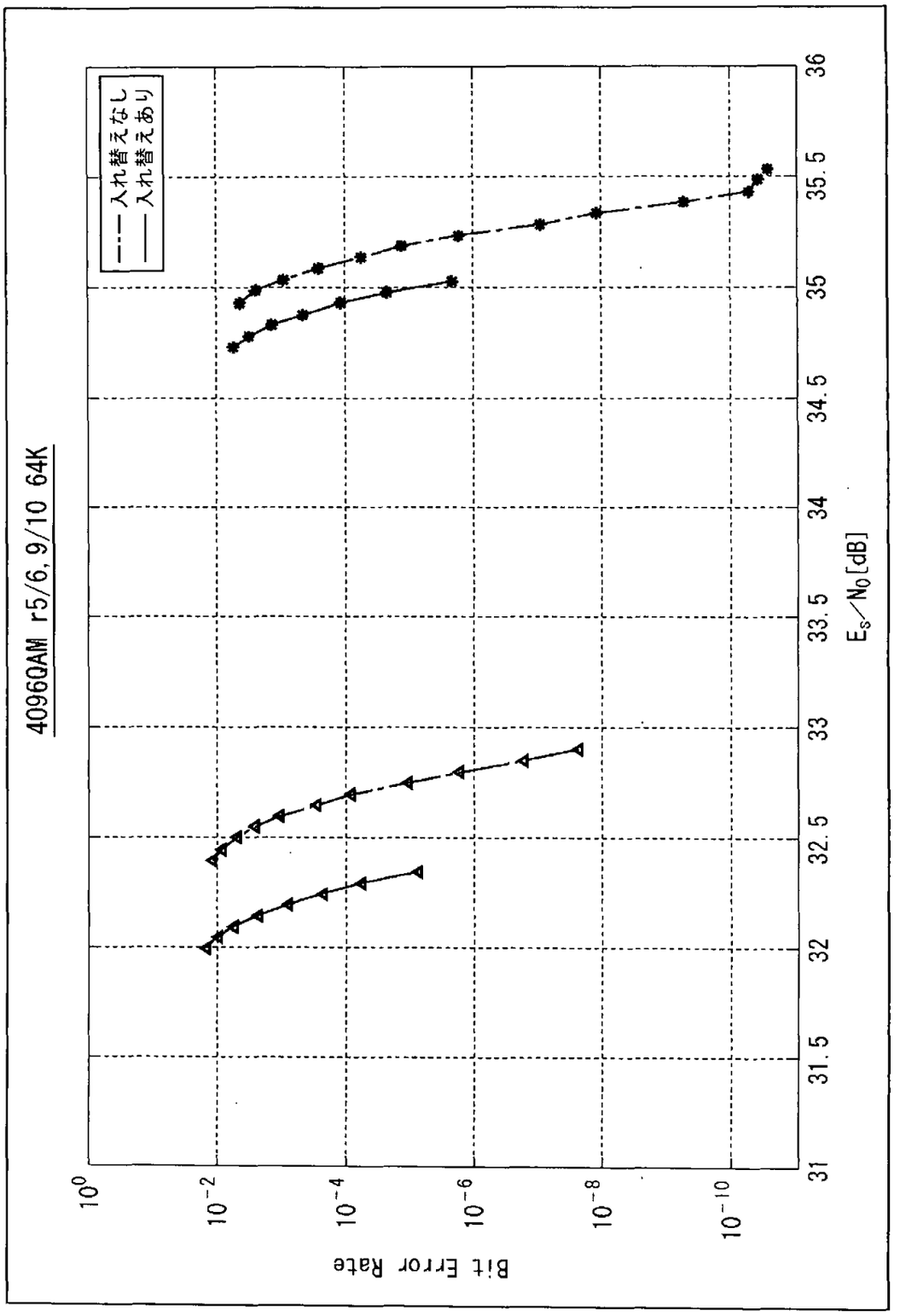
[図129]

図129


4096QAM r5/6, 9/10 64K
入れ替えなし
入れ替えあり
Bit Error Rate
$10^{0}$
$10^{-2}$
$10^{-4}$
$10^{-6}$
$10^{-8}$
$10^{-10}$
31
31.5
32
32.5
33
33.5
34
34.5
35
35.5
36
$E_s/N_0$[dB]

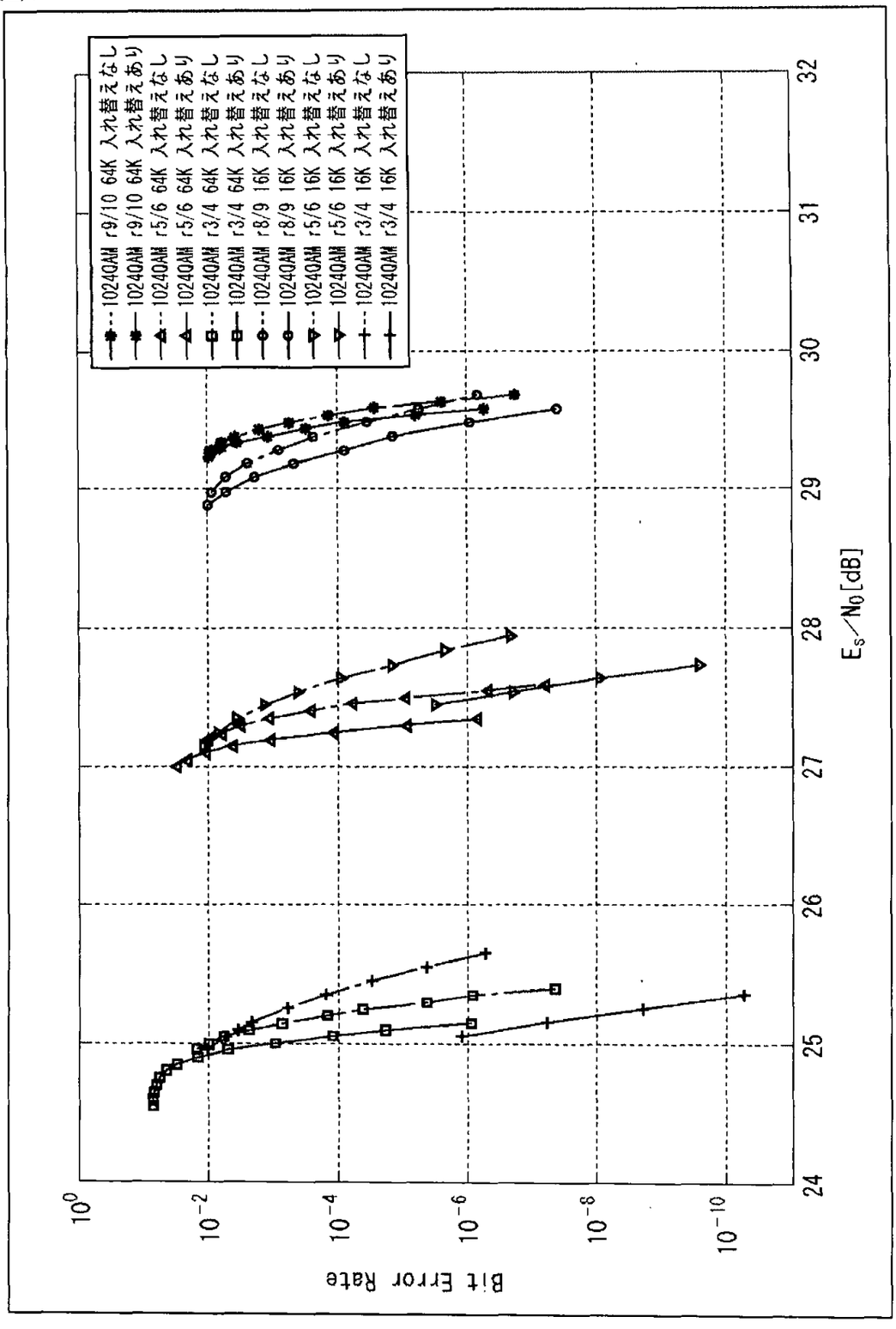
[図130]

図130


4096QAM r5/6, 9/10 64K
入れ替えなし
入れ替えあり
Bit Error Rate
$10^{0}$
$10^{-2}$
$10^{-4}$
$10^{-6}$
$10^{-8}$
$10^{-10}$
31
31.5
32
32.5
33
33.5
34
34.5
35
35.5
36
$E_s/N_0$[dB]

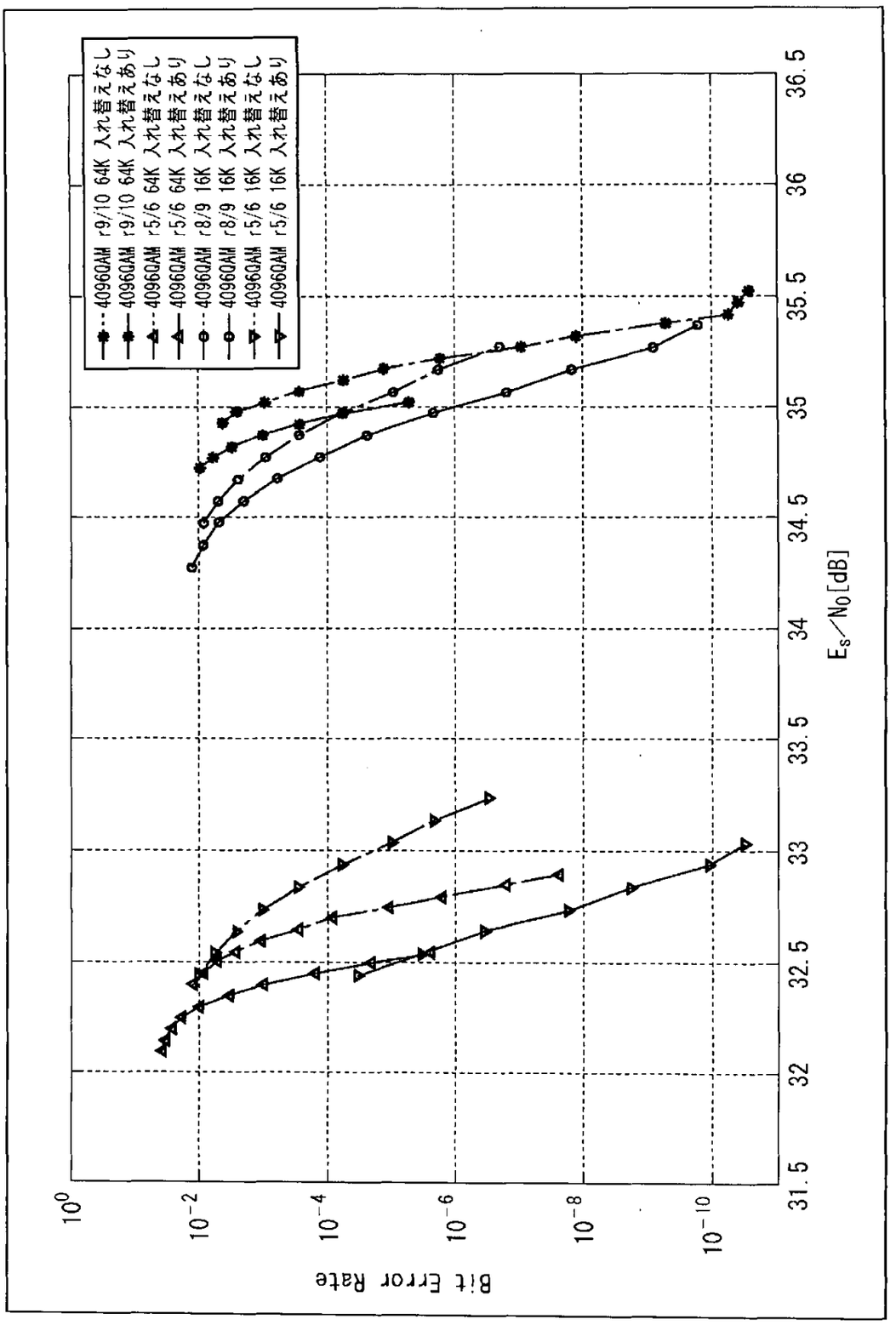
[図131]

図131

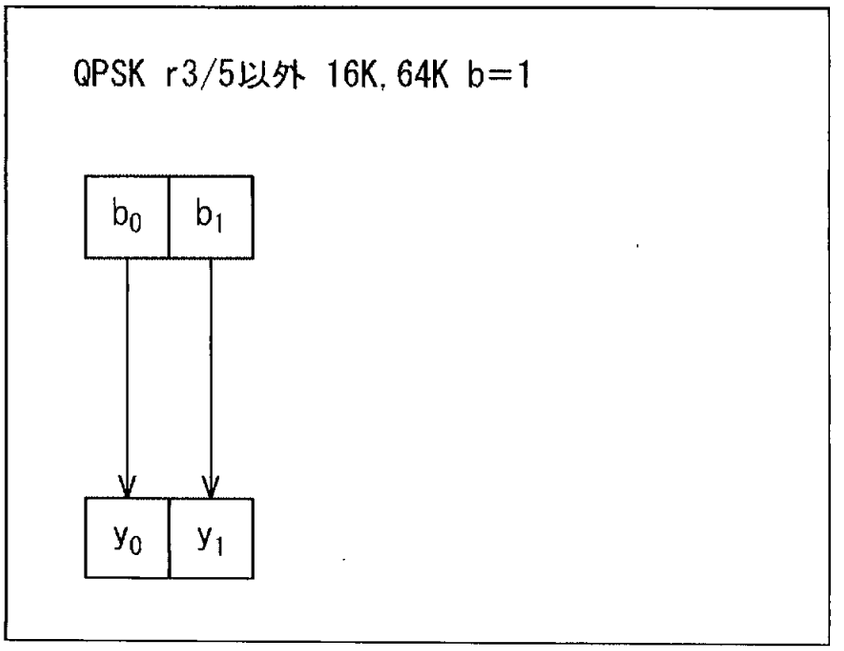

10240AM r9/10 64K 入れ替えなし
10240AM r9/10 64K 入れ替えあり
10240AM r5/6 64K 入れ替えなし
10240AM r5/6 64K 入れ替えあり
10240AM r3/4 64K 入れ替えなし
10240AM r3/4 64K 入れ替えあり
10240AM r8/9 16K 入れ替えなし
10240AM r8/9 16K 入れ替えあり
10240AM r5/6 16K 入れ替えなし
10240AM r5/6 16K 入れ替えあり
10240AM r3/4 16K 入れ替えなし
10240AM r3/4 16K 入れ替えあり
Bit Error Rate
$10^{0}$
$10^{-2}$
$10^{-4}$
$10^{-6}$
$10^{-8}$
$10^{-10}$
24
25
26
27
28
29
30
31
32
$E_s/N_0$[dB]

[図132]

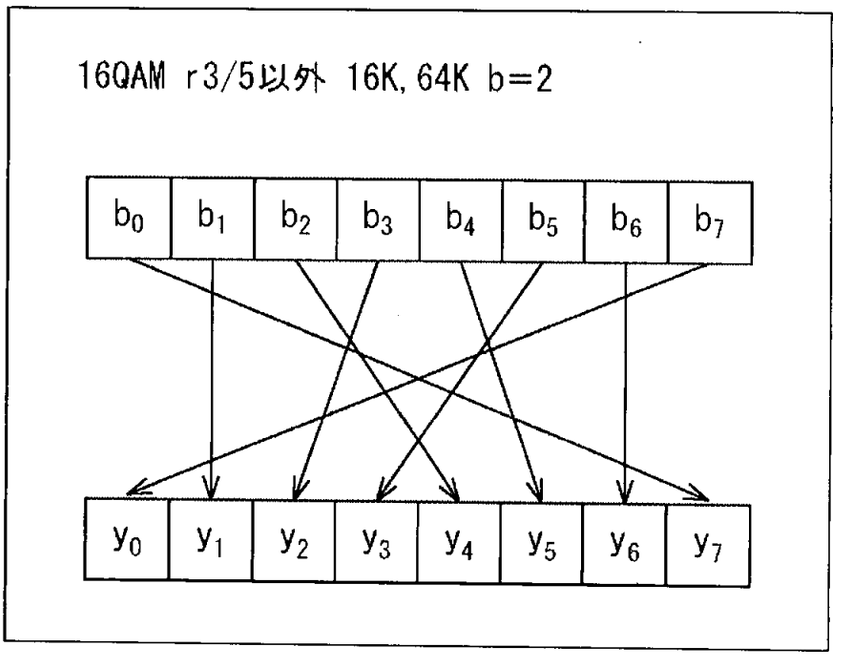
図132


40960AM r9/10 64K 入れ替えなし
40960AM r9/10 64K 入れ替えあり
40960AM r5/6 64K 入れ替えなし
40960AM r5/6 64K 入れ替えあり
40960AM r8/9 16K 入れ替えなし
40960AM r8/9 16K 入れ替えあり
40960AM r5/6 16K 入れ替えなし
40960AM r5/6 16K 入れ替えあり
Bit Error Rate
$10^{0}$
$10^{-2}$
$10^{-4}$
$10^{-6}$
$10^{-8}$
$10^{-10}$
31.5
32
32.5
33
33.5
34
34.5
35
35.5
36
36.5
$E_s/N_0$[dB]

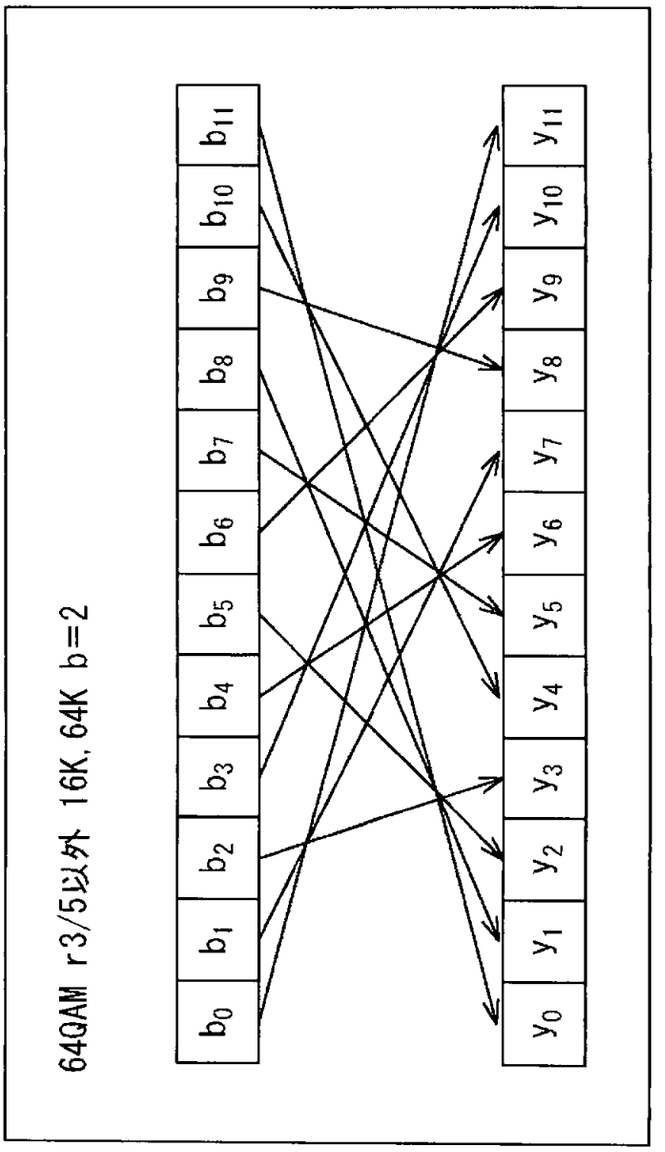
[図133]
図133




[図134]
図134

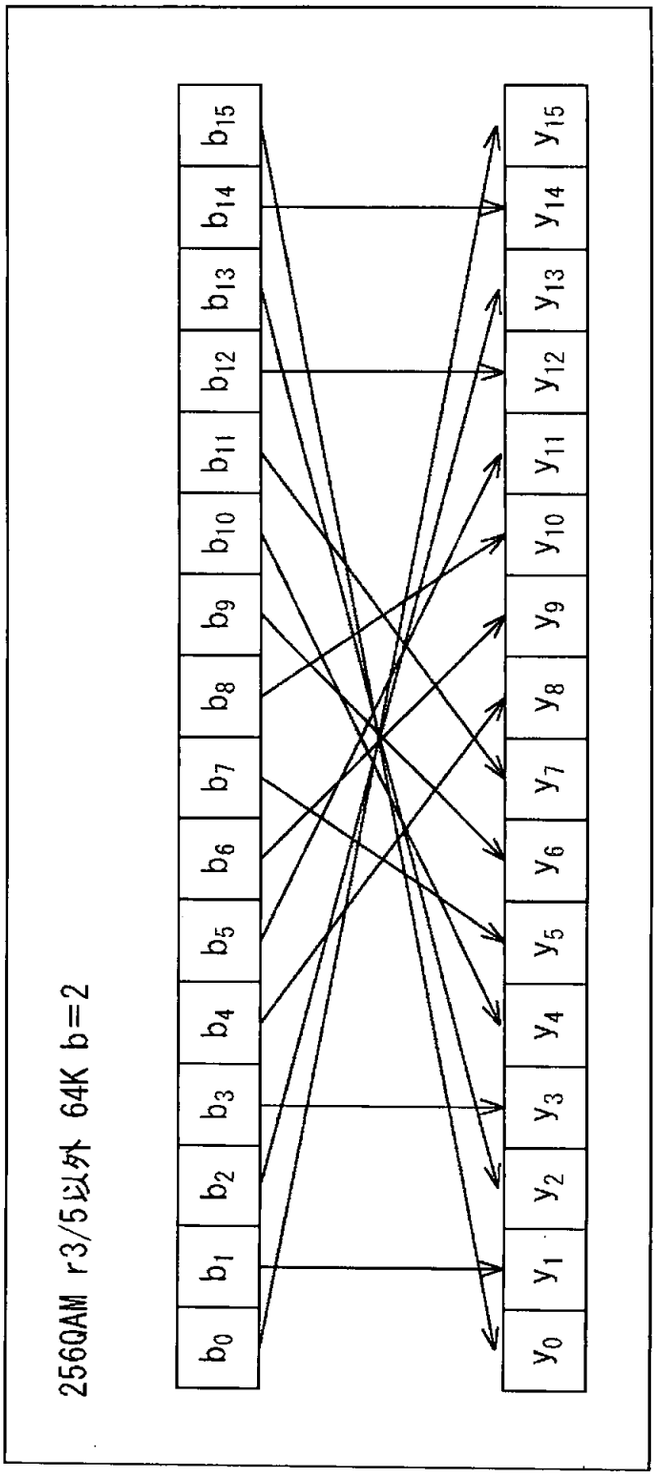


[図135]
図135

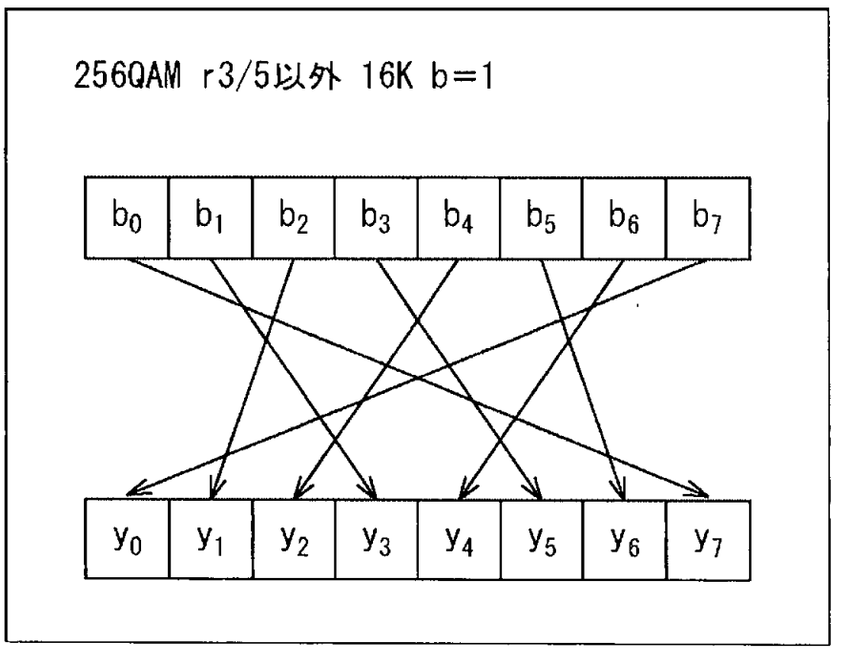

64QAM r3/5以外 16K, 64K b=2
b0 b1 b2 b3 b4 b5 b6 b7 b8 b9 b10 b11
y0 y1 y2 y3 y4 y5 y6 y7 y8 y9 y10 y11

000274

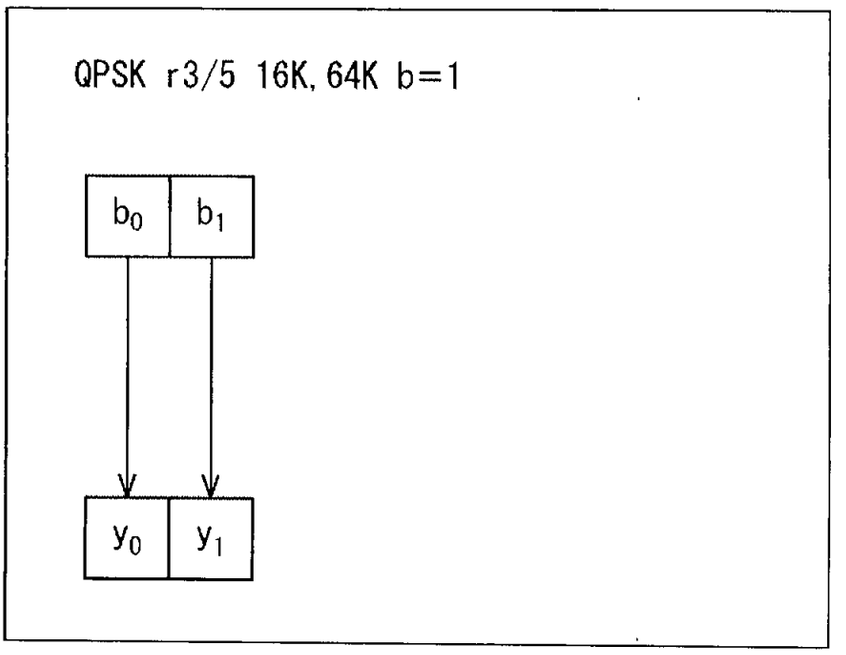
[図136]
図136



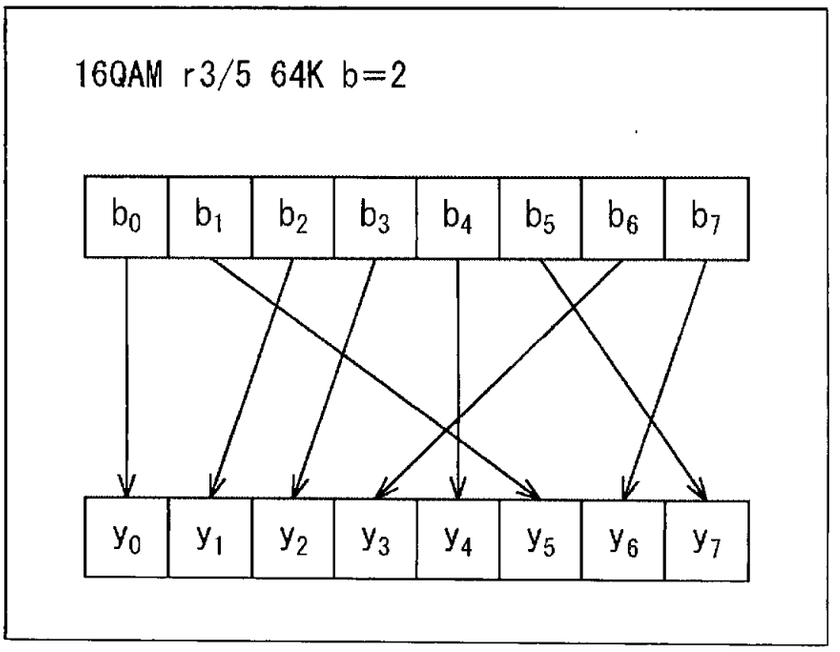
[図137]
図137



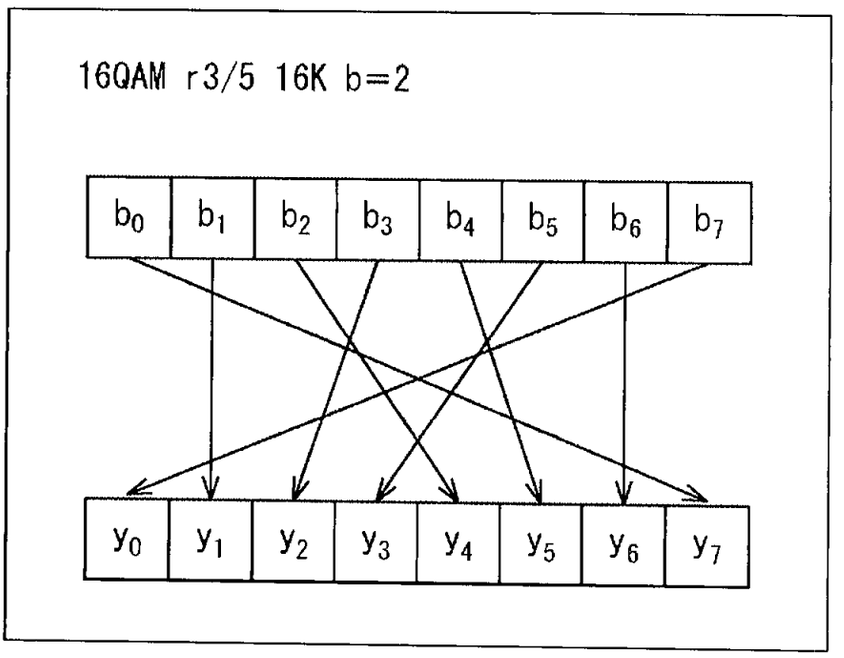

[図138]
図138



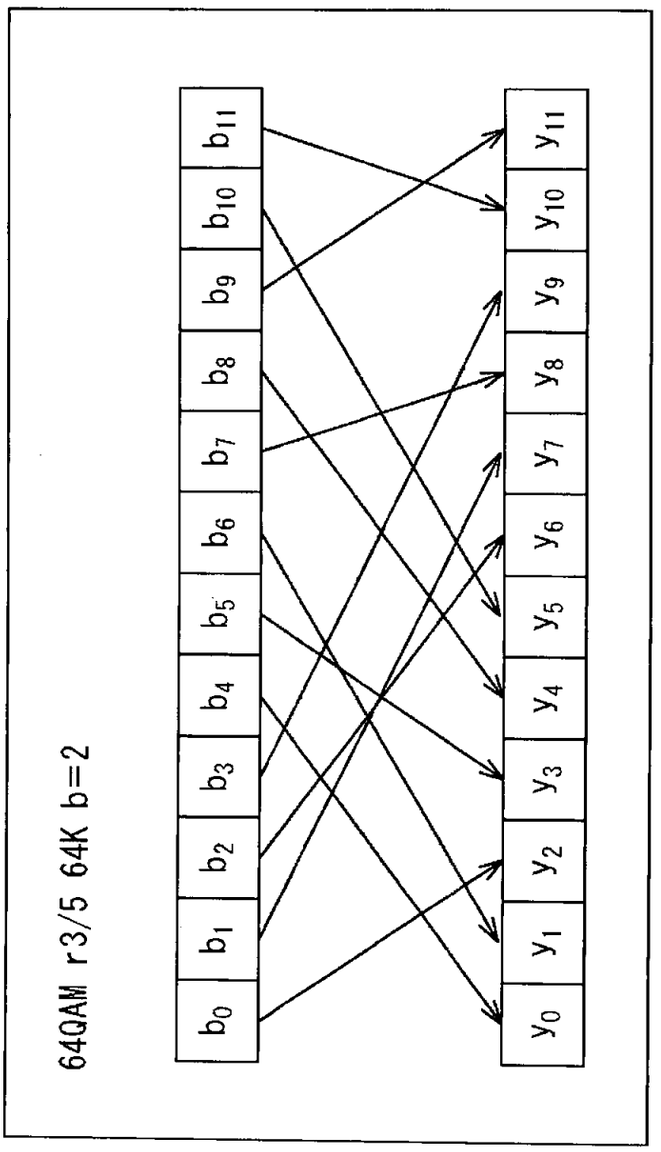
[図139]
図139




[図140]
図140

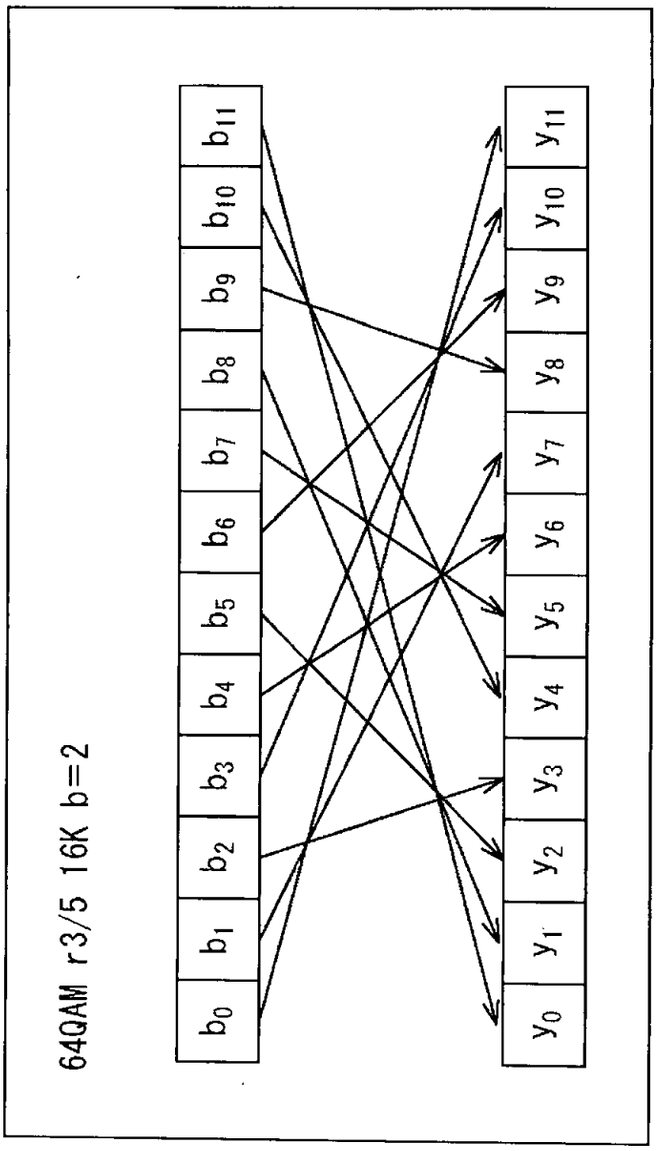


[図141]
図141


64QAM r3/5 64K b=2
b0 b1 b2 b3 b4 b5 b6 b7 b8 b9 b10 b11
y0 y1 y2 y3 y4 y5 y6 y7 y8 y9 y10 y11

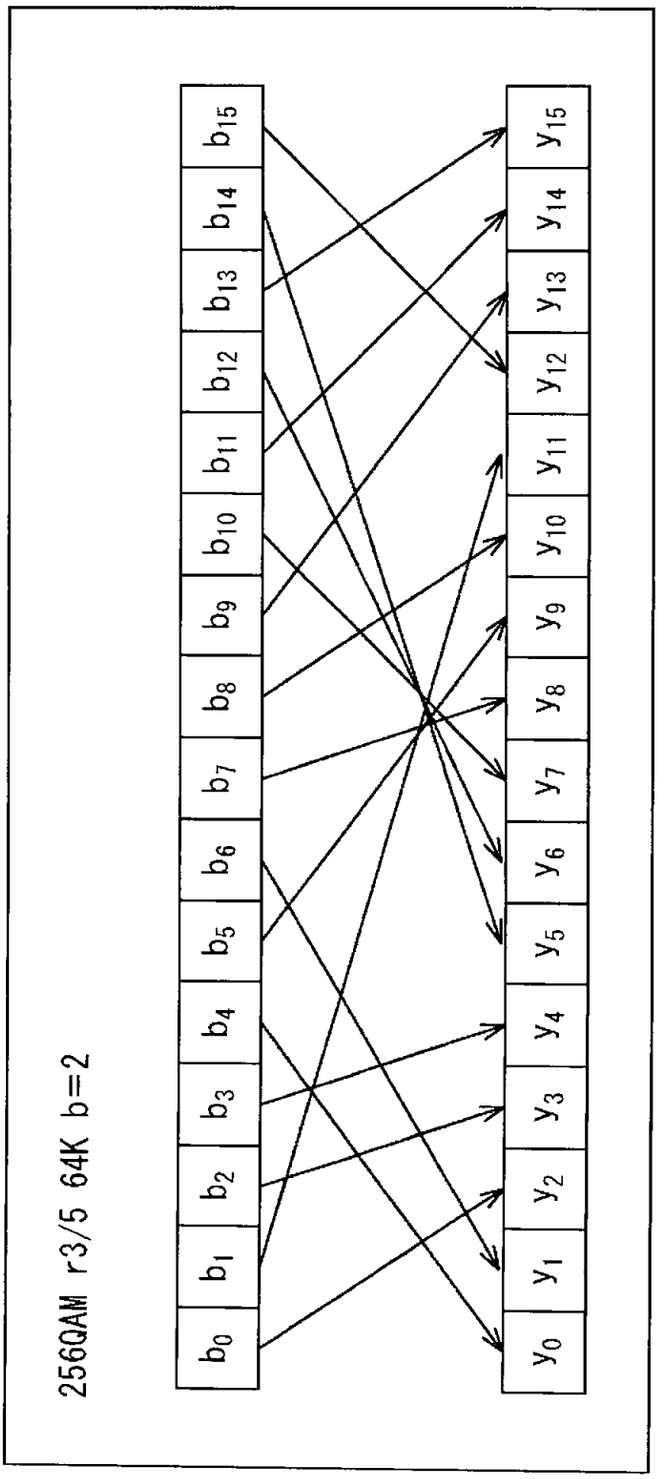
000278

[図142]
図142



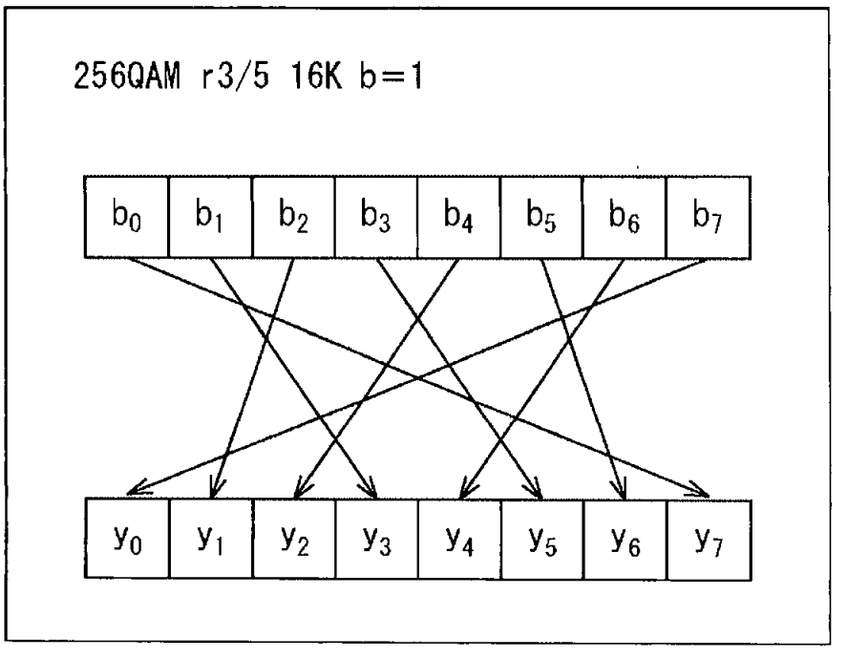
[図143]

図143


256QAM r3/5 64K b=2
b0 b1 b2 b3 b4 b5 b6 b7 b8 b9 b10 b11 b12 b13 b14 b15
y0 y1 y2 y3 y4 y5 y6 y7 y8 y9 y10 y11 y12 y13 y14 y15

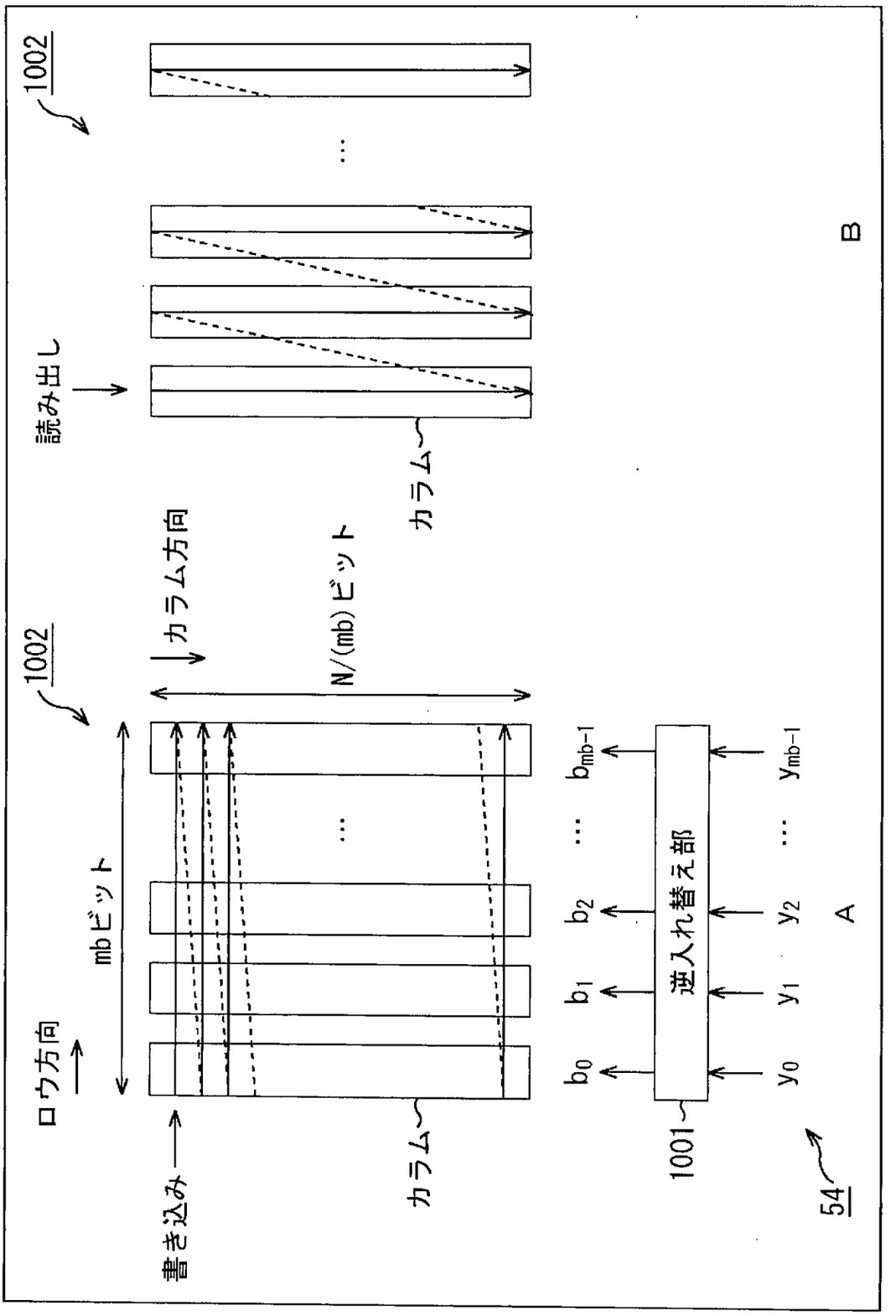
[図144]

図144

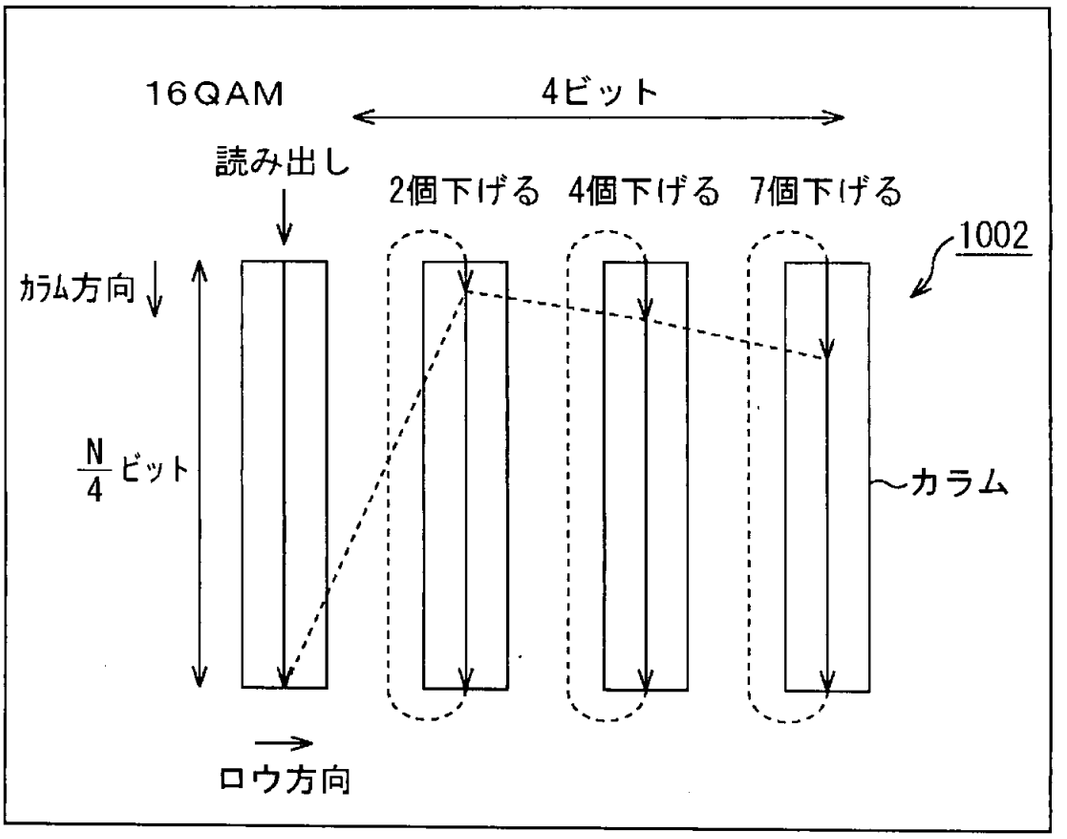


[図145]

図145

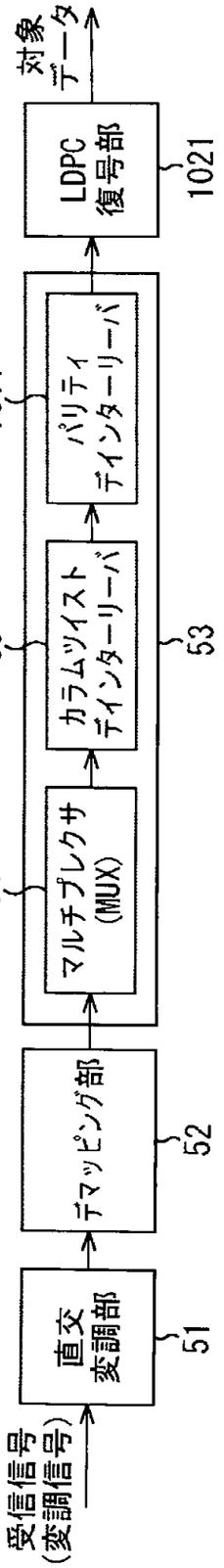

1002
読み出し
カラム
カラム方向
N/(mb)ビット
1002
mbビット
ロウ方向
書き込み
カラム
$b_0$ $b_1$ $b_2$ … $b_{mb-1}$
逆入れ替え部
1001
$y_0$ $y_1$ $y_2$ … $y_{mb-1}$
A
B
54

[図146]
図146

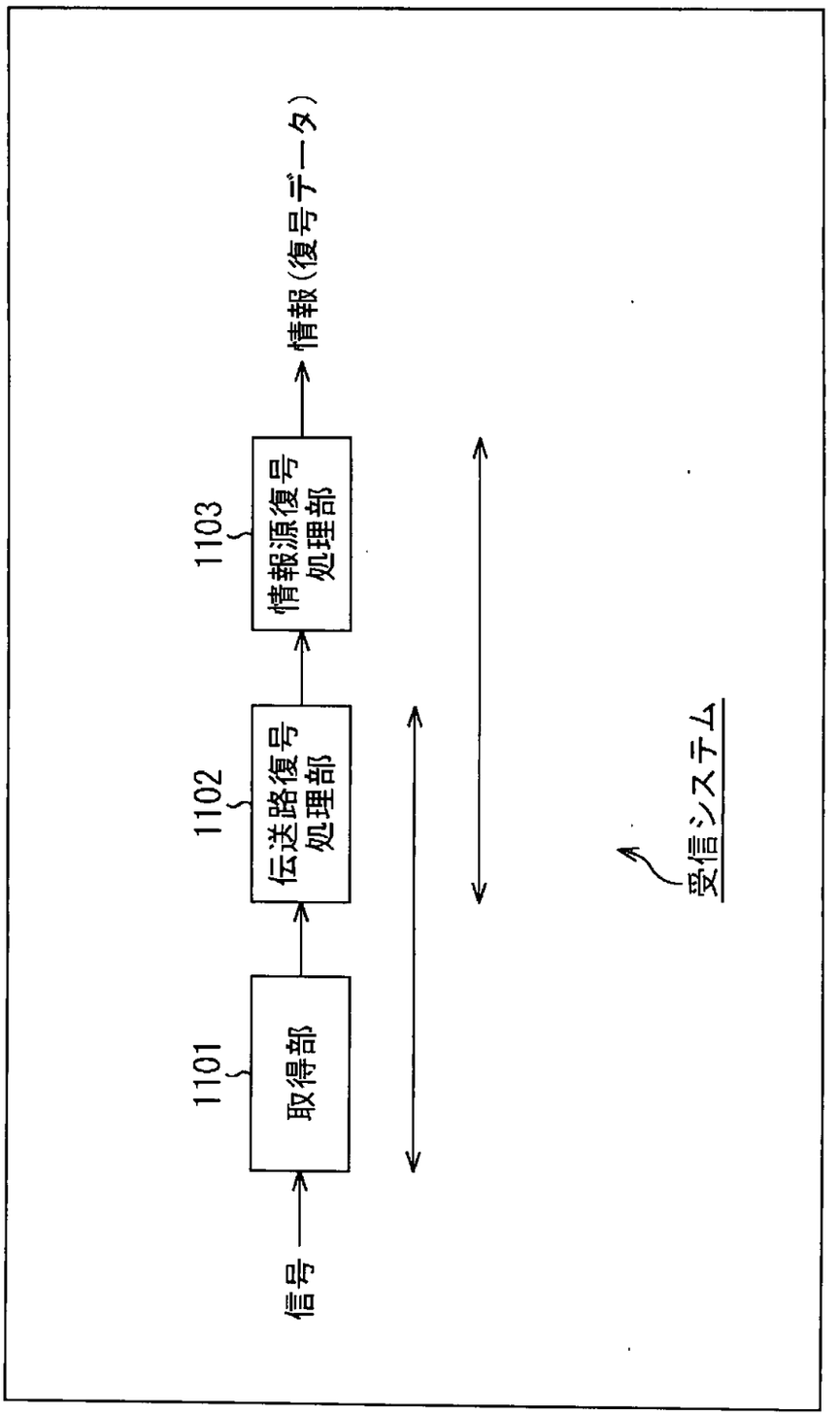


[図147]

図147

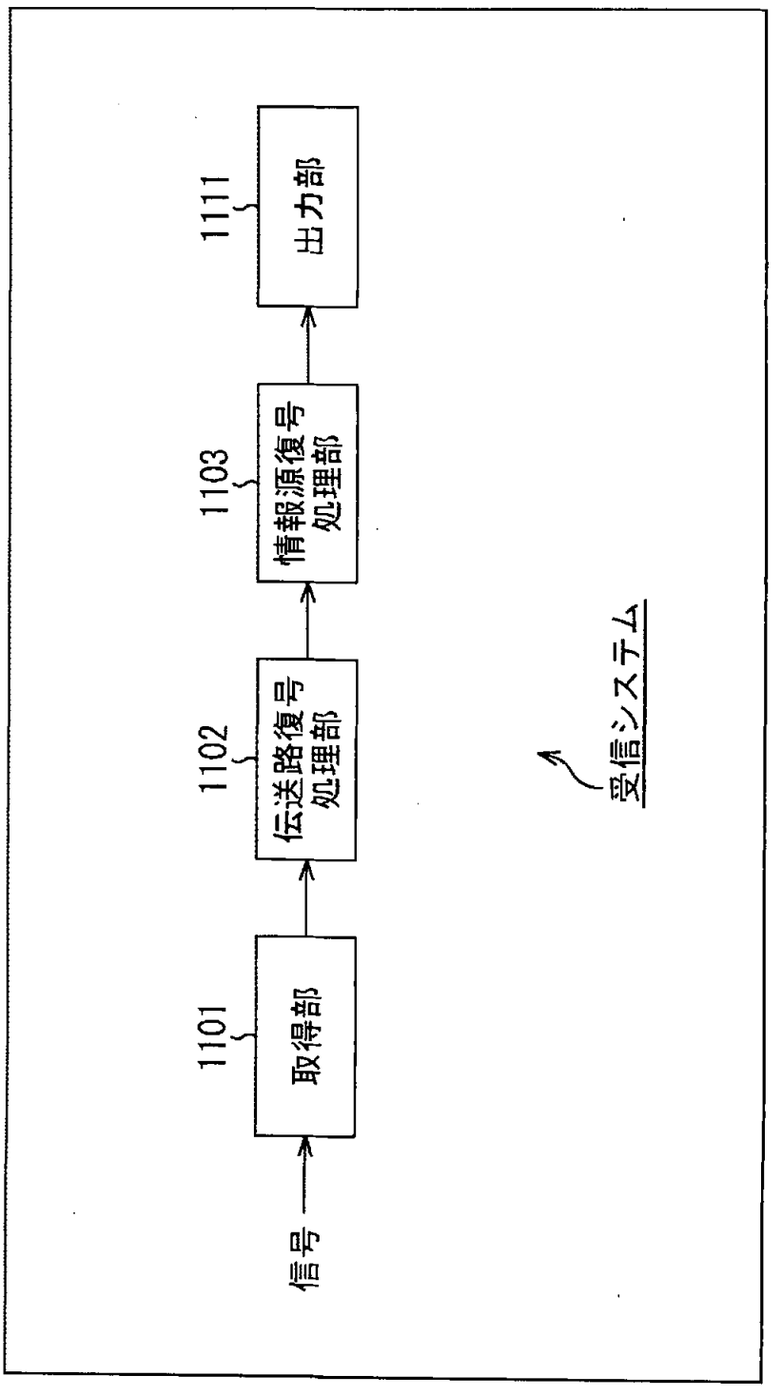

受信信号
(変調信号)
直交
変調部
51
デマッピング部
52
マルチプレクサ
(MUX)
54
カラムツイスト
デインターリーバ
55
パリティ
デインターリーバ
1011
53
LDPC
復号部
1021
対象
データ
12

[図148]
図148



[図149]

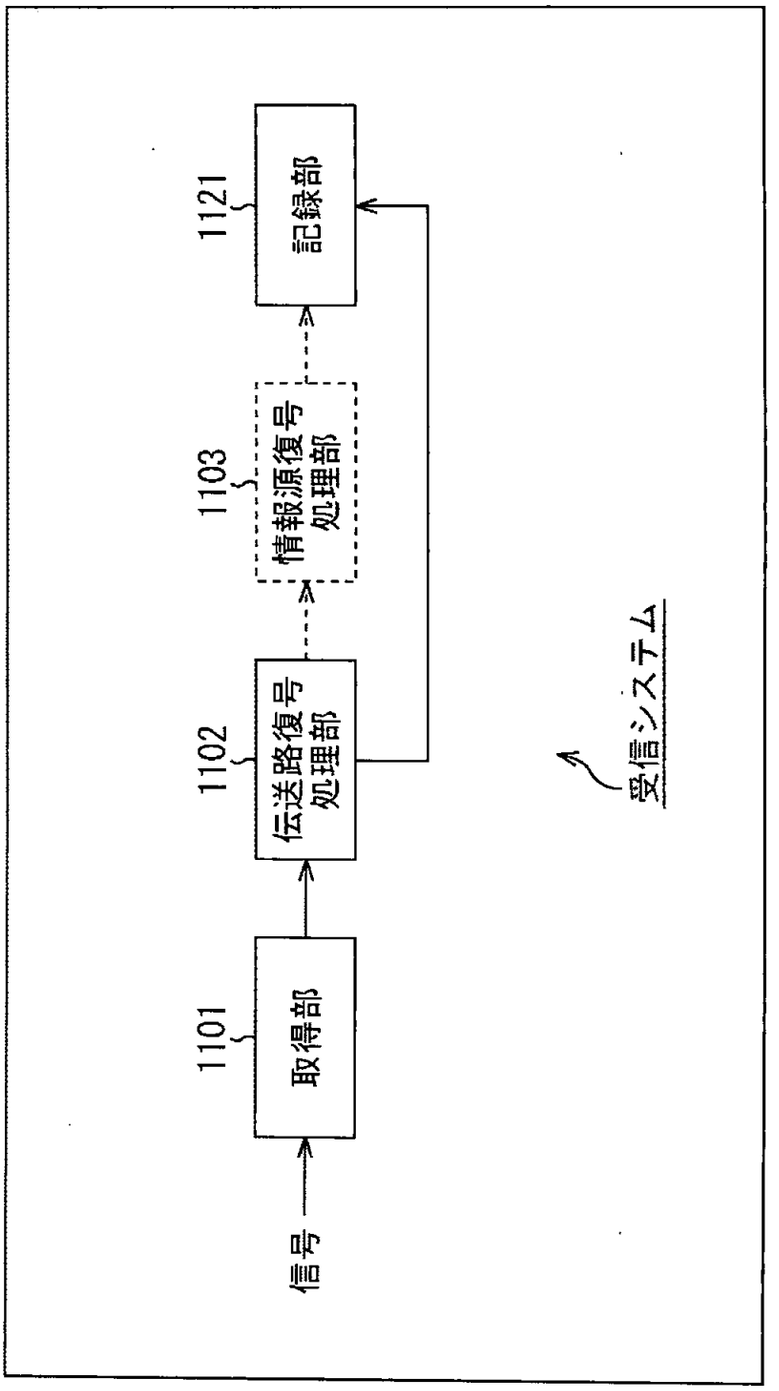
図149



000280

[図150]

図150



000287

# INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2008/070960

A. CLASSIFICATION OF SUBJECT MATTER
*H03M13/19*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03M13/19

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2008
Kokai Jitsuyo Shinan Koho 1971-2008 Toroku Jitsuyo Shinan Koho 1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| A | Le Goff, S.Y., "Signal constellations for bit-interleaved coded modulation", Information Theory, IEEE Transactions on, Volume 49, Issue 1, Jan. 2003, Page(s):307 - 313 | 1-4 |
| A | Maddock, R.D.; Banihashemi, A.H., "Reliability-based coded modulation with low-density parity-check codes", Communications, IEEE Transactions on, olume 54, Issue 3, March 2006, Page(s):403 - 406 | 1-4 |
| E,A | JP 2008-263566 A (Nippon Hoso Kyokai), 30 October, 2008 (30.10.08), Full text; all drawings (Family: none) | 1-4 |

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

| Date of the actual completion of the international search | Date of mailing of the international search report |
|---|---|
| 15 December, 2008 (15.12.08) | 22 December, 2008 (22.12.08) |
| Name and mailing address of the ISA/ Japanese Patent Office | Authorized officer |
| Facsimile No. | Telephone No. |

Form PCT/ISA/210 (second sheet) (April 2007)

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００８／０７０９６０

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H03M13/19(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H03M13/19

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|---|---|
| 日本国実用新案公報 | １９２２－１９９６年 |
| 日本国公開実用新案公報 | １９７１－２００８年 |
| 日本国実用新案登録公報 | １９９６－２００８年 |
| 日本国登録実用新案公報 | １９９４－２００８年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求の範囲の番号 |
|---|---|---|
| A | Le Goff, S. Y., "Signal constellations for bit-interleaved coded modulation", Information Theory, IEEE Transactions on, Volume 49, Issue 1, Jan. 2003, Page(s):307 - 313 | 1-4 |
| A | Maddock, R.D.; Banihashemi, A.H., "Reliability-based coded modulation with low-density parity-check codes", Communications, IEEE Transactions on, olume 54, Issue 3, March 2006, Page(s):403 - 406 | 1-4 |

☑ Ｃ欄の続きにも文献が列挙されている。　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

| | |
|---|---|
| 国際調査を完了した日<br>１５．１２．２００８ | 国際調査報告の発送日<br>２２．１２．２００８ |
| 国際調査機関の名称及びあて先<br>日本国特許庁（ＩＳＡ／ＪＰ）<br>郵便番号１００－８９１５<br>東京都千代田区霞が関三丁目４番３号 | 特許庁審査官（権限のある職員）　５Ｘ　８８３８<br>矢頭　尚之<br>電話番号　０３－３５８１－１１０１　内線　３５９３ |

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００８／０７０９６０

Ｃ（続き）．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求の範囲の番号 |
|---|---|---|
| E, A | JP 2008-263566 A（日本放送協会）2008.10.30，全文，全図（ファミリーなし） | 1-4 |

000290

## DESCRIPCIÓN

# APARATO PARA PROCESAMIENTO DE DATOS Y METODO PARA PROCESAMIENTO DE DATOS ASI COMO TAMBIEN APARATO DE CODIFICACION Y METODO DE CODIFICACION

### Campo Técnico

[0001]

Esta invención se relaciona con un aparato para procesamiento de datos y un método para procesamiento de datos así como también un aparato de codificación y un método de codificación, y particularmente con un aparato para procesamiento de datos y un método para procesamiento de datos así como también un aparato de codificación y un método de codificación que puede mejorar, por ejemplo, la tolerancia a los errores.

[0002]

El código LDPC (Low Density Parity Check) tiene una alta capacidad de corrección al error y, en años recientes, comenzó a ser adoptado ampliamente en los sistemas de transmisión que incluyen sistemas de difusión digital satelital tal como, por ejemplo, el sistema DVB-S.2 (Difusión de Video Digital) utilizada en Europa (refiérase a, por ejemplo, Documento no Patente 1). Además, se investigó la adopción del código LDPC también en radiodifusión digital terrestre de la siguiente generación.

[0003]

Se encontró en una investigación reciente que una interpretación cercana al límite Shannon se suministra mediante el código LDPC en la medida en que la longitud del código se incrementa de manera similar a un código turbo y así sucesivamente. Adicionalmente, en razón a que el código LDPC tiene una propiedad de que la distancia mínima se incrementa en proporción a la longitud del código, éste tiene una característica de probabilidad de error en bloque superior. También es ventajoso que el así llamado fenómeno de piso de error que se observa en una característica de codificación del código turbo y así ocurre sucesivamente poco.

[0004]

En lo que sigue, tal como se describió anteriormente el código LDPC se describe particularmente. Cabe notar que el código LDPC es un código lineal, y aunque éste no es necesariamente un código bi-dimensional, la siguiente descripción se da bajo la presunción de que es un código bi-dimensional.

000291

El código LDPC tiene la característica más significativa porque la matriz de comprobación de paridad que define el código LDPC es una matriz pobre. Aquí, la matriz pobre es una matriz en la cual el número de aquellos elementos cuyo valor es "1" es muy pequeño (matriz en la cual casi todos los elementos son 0).

[0006]

La FIG. 1 muestra un ejemplo de una matriz de comprobación de paridad H de un código LDPC.

[0007]

En la matriz de comprobación de paridad H de la FIG. 1, el peso de cada columna (peso de columna) (número de "1") (peso) es "3" y el peso de cada fila (peso de fila) es "6".

[0008]

Al codificar mediante los códigos LDPC (codificación LDPC), por ejemplo, se produce una matriz generadora G con base en la matriz H de comprobación de paridad y esta matriz generadora G se multiplica por los bits de información bi-dimensional para producir una palabra de código (código LDPC).

[0009]

En particular, un aparato para codificación que lleva a cabo la codificación LDPC calcula primero una matriz generadora G que satisface una expresión $GH^T = 0$ junto con una matriz transpuesta $H^T$ de una matriz H de revisión de paridad. Aquí, si la matriz generadora G es una matriz K x N, entonces el aparato de codificación multiplica la matriz generadora G por una corriente de bit (vector u) de los bits de información K para producir una palabra de código c (= uG) de N bits. La palabra de código (código LDPC) producida mediante el aparato de codificación se recibe por el lado de la recepción a través de una ruta de comunicación predeterminada.

[0010]

La decodificación del código LDPC se puede llevar a cabo utilizando un algoritmo propuesto como decodificación probabilística (Probabilistic Decoding) de Gallager, que es, un algoritmo que pasa un mensaje mediante propagación de confianza sobre la así llamada gráfica Tanner que incluye un nodo variable (también denominado nodo de mensaje) y un nodo de revisión. En la siguiente descripción, cada uno de los nodos variables y los nodos de revisión se denomina adecuadamente como simplemente un nodo.

[0011]

La FIG. 2 ilustra un procedimiento de decodificación de un código LDPC.

[0012]

Cabe notar que, en la siguiente descripción, un valor del número real donde la probabilidad "0" en el valor del bit del n ésimo código del código LDPC (una palabra de código) recibida por el lado de recepción se representa en un índice de probabilidad de registro se denomina adecuadamente como un valor de recepción $u_{oi}$. Además, un mensaje generado de un nodo de revisión se representa por $u_j$ y un mensaje generado de un nodo variable se representa por $v_i$.

Primero, en la decodificación del código LDPC, como se ve en la FIG. 2, se recibió un código LDPC y un mensaje $u_j$ (mensaje de nodo de revisión) se inicializa en "0" y además una variable k que asume un entero como un contador de procesos repetidos se inicializa a "0" en la etapa S11, posteriormente el procedimiento avanza a la etapa S12. En la etapa S12, la operación matemática representada por una expresión (1) (operación matemática de nodo variable) se lleva a cabo con base en el valor de recepción $u_{oi}$ obtenido mediante la recepción del código LDPC para determinar un mensaje (mensaje de nodo variable) $v_i$. Además, la operación matemática representada mediante una expresión (2) (operación matemática de nodo de revisión) se lleva a cabo con base en el mensaje $v_i$ para determinar el mensaje $u_j$.

[0014]

[Expresión 1]

$$v_i = u_{oi} + \sum_{j=1}^{d_v-1} u_j \quad \ldots (1)$$

[0015]

[Expresión 2]

$$\tanh\left(\frac{u_j}{2}\right) = \prod_{i=1}^{d_c-1} \tanh\left(\frac{v_i}{2}\right) \quad \ldots (2)$$

[0016]

Aquí, $d_v$ y $d_c$ en la expresión (1) y la expresión (2) son parámetros que se pueden seleccionar arbitrariamente y representan el número de "1s" en la dirección vertical (columna) y en la dirección horizontal (fila) de la matriz de comprobación de paridad H. Por ejemplo, en el caso del código (3, 6), $d_v = 3$ y $d_c = 6$.

[0017]

Cabe notar que, en la operación matemática de nodo variable de la expresión (1) y la operación matemática de nodo de revisión de la expresión (2), el rango de operación matemática es 1 a $d_v - 1$ o 1 a $d_c - 1$ porque el mensaje introducido de un borde (línea que

interconecta un nodo variable y un nodo de revisión) del cual se va a generar un mensaje no se hace un objeto de la operación matemática. Mientras tanto, la operación matemática del nodo de revisión de la expresión (2) se lleva a cabo al introducir por adelantado una tabla de una función $R(v_1, v_2)$ representada por una expresión (3) definida por una salida con respecto a las dos entradas $v_1$ y $v_2$ y utilizar la tabla sucesivamente (recursivamente) como se representa por la expresión (4).

[0018]

[Expresión 3]

$$x = 2\tanh^{-1}\{\tanh(v_1/2)\tanh(v_2/2)\} = R(v_1, v_2) \quad \ldots (3)$$

[0019]

[Expresión 4]

$$u_j = R(v_1, R(v_2, R(v_3, \ldots R(v_{d_c-2}, v_{d_c-1})))) \quad \ldots (4)$$

[0020]

En la etapa S12, la variable k se incrementa adicionalmente en "1", y el procedimiento avanza a la etapa S13. En la etapa S13, se decide si la variable k es o no mayor que un número de tiempo de decodificación repetido predeterminado C. Si se decidió en la etapa S13 que la variable k no es mayor que C, entonces el procesamiento regresa a la etapa S12, y posteriormente se repite un procesamiento similar.

[0021]

De otro lado, si se decidió en la etapa S13 que la variable k es mayor de C, entonces el procesamiento avanza a la etapa S14, en la cual el mensaje $v_i$ como un resultado de decodificación se genera finalmente al llevar a cabo la operación matemática representada por una expresión (5) se determina y se genera, finalizando de esta manera el proceso de decodificación del código LDPC.

[0022]

[Expresión 5]

$$v_i = u_{oi} + \sum_{j=1}^{d_v} u_j \quad \ldots (5)$$

[0023]

Aquí, la operación matemática de la expresión (5) se lleva a cabo, diferente de la operación matemática de nodo variable de la expresión (1), utilizando mensajes $u_j$ de todos los bordes que conectan el nodo variable.

[0024]

La FIG. 3 ilustra un ejemplo de la matriz H de comprobación de paridad de un código LDPC (3, 6) (índice de codificación: 1/2, longitud de código: 12).

[0025]

En la matriz H de comprobación de paridad de la FIG. 3, el peso de una columna es 3 y el peso de una fila es 6 similar al de la FIG. 1

[0026]

La FIG. 4 muestra una gráfica Tanner de la matriz de comprobación de paridad H de la FIG. 3.

[0027]

Aquí, en la FIG. 4, el nodo de revisión se representa por "+", y el nodo variable se representa por "=". El nodo de revisión y el nodo variable corresponden a una fila y una columna de la matriz de comprobación de paridad H, respectivamente. Una conexión entre el nodo de revisión y el nodo variable es un borde y corresponde a "1" del elemento de la matriz de comprobación de paridad.

[0028]

En particular, donde el elemento en la fila j ésimo de la primera columna de la matriz de comprobación de paridad es 1, el nodo variable i ésimo (nodo de "=") del anterior y el primer nodo de revisión (nodo de "+") del anterior se conectan por un borde. El borde representa un bit de código que corresponde al nodo variable tiene una condición de restricción que corresponde al nodo de revisión.

[0029]

En el algoritmo del producto de la suma (Sum Product Algorithm) que es un método de decodificación para códigos LDPC, la operación matemática de nodo variable y la operación matemática de nodo de revisión se llevan a cabo repetitivamente.

[0030]

La FIG. 5 ilustra la operación matemática de nodo variable llevada a cabo con relación a un nodo variable.

[0031]

Con relación al nodo variable, el mensaje $v_i$ que corresponde a un borde que se va a calcular se determina mediante la operación matemática de nodo variable de la expresión (1) que utiliza los mensajes $u_1$ y $u_2$ de los bordes restantes que conectan al nodo variable y al valor

000295

de recepción $u_{oi}$. También se determina de manera similar un mensaje que corresponde a cualquier otro borde.

[0032]

La FIG. 6 ilustra la operación matemática del nodo de revisión llevada a cabo en un nodo de revisión.

[0033]

Aquí, la operación matemática del nodo de revisión de la expresión (2) se lleva a cabo al re-escribir la expresión (2) en una expresión (6) utilizando la relación de una expresión a x b = exp{1n(|a|) + 1n(|b|)} x signo(a) x signo(b). Cabe notar que el signo(x) es 1 donde x ≥ 0 pero es -1 donde x < 0.

[0034]

[Expresión 6]

$$u_j = 2\tanh^{-1}\left(\prod_{i=1}^{d_c-1}\tanh\left(\frac{v_i}{2}\right)\right)$$

$$= 2\tanh^{-1}\left[\exp\left\{\sum_{i=1}^{d_c-1} In\left(\left|\tanh\left(\frac{v_i}{2}\right)\right|\right)\right\}\times\prod_{i=1}^{d_c-1} sign\left(\tanh\left(\frac{v_i}{2}\right)\right)\right]$$

$$= 2\tanh^{-1}\left[\exp\left\{-\left(\sum_{i=1}^{d_c-1} - In\left(\tanh\left(\frac{|v_i|}{2}\right)\right)\right)\right\}\right]\times\prod_{i=1}^{d_c-1} sign(v_i) \quad \ldots (6)$$

[0035]

Además, si, donde x ≥ 0, la función φ(x) se define como una expresión φ(x) = 1n(tanh(x/2)), entonces en razón a que una expresión $\varphi^{-1}(x) = 2\tanh^{-1}(e^{-x})$ se satisface, la expresión (6) se puede transformar en una expresión (7).

[0036]

[Expresión 7]

$$u_j = \phi^{-1}\left(\sum_{i=1}^{d_c-1}\phi(|v_i|)\right)\times\prod_{i=1}^{d_c-1} sign(v_i) \quad \ldots (7)$$

[0037]

En el nodo de revisión, la operación matemática del nodo de revisión de la expresión (2) se lleva a cabo de acuerdo con la expresión (7).

000296

[0038]

En particular, en el nodo de revisión, el mensaje $u_j$ que corresponde al borde que se va a calcular se determina mediante la operación matemática del nodo de revisión de la expresión (7) utilizando los mensajes $v_1$, $v_2$, $v_3$, $v_4$ y $v_5$ de los bordes restantes que conectan al nodo de revisión. También se determina de manera similar un mensaje que corresponde a cualquier otro borde.

[0039]

Cabe notar que la función $\varphi(x)$ de la expresión (7) se puede representar también como $\varphi(x) = 1n((e^x + 1)/(e^x - 1))$, y donde $x > 0$, $\varphi(x) = \varphi^{-1}(x)$. Cuando las funciones $\varphi(x)$ y $\varphi^{-1}(x)$ se incorporan en el equipo, mientras ellas se incorporan algunas veces utilizando un LUT (Look Up Table), tales LUT se vuelven el mismo LUT.

[0040]

El Documento no Patente 1: DVB-S.2: ETSI EN 302 307 V1.1.2 (2006-06)

**Descripción de la Invención**

**Problema técnico**

[0041]

El código LDPC se adopta en el DVB-S.2 que es un estándar para radiodifusión digital satelital y el DVB-T.2 que es un estándar para radiodifusión digital terrestre de la siguiente generación. Además, se planeó adoptar el código LDPC en DVB-C.2 que es un estándar para radiodifusión digital CATV (Televisión por Cable) de la siguiente generación.

[0042]

En la difusión digital en cumplimiento con el estándar para DVB tal como el DVB-S.2, un código LDPC se convierte (simbolizado) en símbolos de modulación ortogonal (modulación digital) tal como QPSK (Quadrature Phase Shift Keying), y los símbolos se mapean a los puntos de señal y transmitidos.

[0043]

En simbolización de un código LDPC, el reemplazo de los bits de código del código LDPC se lleva a cabo en una unidad de dos o más bits, y los bits de código después de tal reemplazo se determinan como bits de un símbolo.

[0044]

Aunque se han propuesto varios métodos como un método para el reemplazo de los bits de código para la simbolización de un código LDPC, ya se solicitó la propuesta de un método que además mejora la tolerancia a varios errores en comparación con los métodos propuestos.

[0045]

Además, también con relación al código LDPC mismo, la propuesta de un código LDPC que mejora la tolerancia a los errores en comparación con los códigos LDPC prescribió en los estándares DVB tal como lo demanda el estándar DVB-S.2.

[0046]

La presente invención se ha hecho tomando tal situación como se describió anteriormente en consideración y hace posible mejorar la tolerancia a los errores.

**Solución técnica**

[0047]

Un aparato de procesamiento de datos o un método de procesamiento de datos de un primer aspecto de la presente invención es un aparato de procesamiento de datos o un método de procesamiento de datos, en donde, cuando los bits del código de un LDPC (Low Density Party Check) tienen una longitud de código de N bits se escriben en una dirección de columna de los medios de almacenamiento para almacenar los bits de código en una dirección de fila y la dirección de columna y los m bits de los bits de código del código LDPC se leen en la dirección de fila estableciéndose como un símbolo, y además un entero positivo predeterminado se representa mediante b, los medios de almacenamiento almacenan los mb bits en la dirección de fila y almacenan los N/(mg) bits en la dirección de columna, los bits de código del código LDPC se escriben en la dirección de columna de los medios de almacenamiento y se leen en la dirección de fila, el aparato de procesamiento de datos incluye medios de reemplazo para una etapa de reemplazo, donde los bits de código mb se leen en la dirección de fila de los medios de almacenamiento establecidos como los símbolos b, los bits de código mb tal que los bits de código después del reemplazo forman los bits de símbolo representativos de los símbolos, el código LDPC es un código LDPC que está prescrito en el estándar DVB-S.2 o DVB-T.2 y que tiene una longitud de código N de 64,800 y tiene un índice de codificación de 2/3, los m bits son de 8 bits mientras que el entero b es 2, los 8 bits del código LDPC que se mapean como un símbolo a unos de los 256 puntos de señal prescritos en el 256QAM, los medios de almacenamiento que tienen 16 columnas para almacenar 8 x 2 bits en la dirección de fila y almacenar 64,800/(8 x 2) bits en la dirección de columna, los medios de reemplazo que los llevan a cabo, donde el i+1avo bit desde el bit más significativo de los 8 x 2 bits de código que se leen en la dirección de fila de los medios de almacenamiento se representan como un bit $b_i$ y el i+1avo bit del bit más significativo de los 8 x 2 bits de símbolo de dos símbolos sucesivos se representa como el bit $y_i$, el reemplazo para asignar el bit $b_0$ al bit $y_{15}$, el bit $b_1$ al bit $y_7$, el bit $b_2$ al

bit $y_1$, el bit $b_3$ al bit $y_5$, el bit $b_4$ al bit $y_6$, el bit $b_5$ al bit $y_{13}$, el bit $b_6$ al bit $y_{11}$, el bit $b_7$ al bit $y_9$, el bit $b_8$ al bit $y_8$, el bit $b_9$ al bit $y_{14}$, el bit $b_{10}$ al bit $y_{12}$, el bit $b_{11}$ al bit $y_3$, el bit $b_{12}$ al bit $y_0$, el bit $b_{13}$ al bit $y_{10}$, el bit $b_{14}$ al bit $y_4$, y el bit $b_{15}$ al bit $y_2$.

[0048]

En tal primer aspecto, como se describió anteriormente, el código LDPC es un código LDPC que se prescribe en el estándar DVB-S.2 o DVB-T. 2 y que tiene una longitud de código N de 64,800 y tiene un indice de codificación de 2/3, y los m bits son de 8 bits mientras que el entero b es 2. Los 8 bits del código LDPC se mapean como un símbolo a unos de los 256 puntos de señal prescritos en el 256QAM. Los medios de almacenamiento tienen 16 columnas para almacenar 8 x 2 bits en la dirección de la fila y almacena 64,800/(8 x 2) bits en la dirección de columna. En este caso, donde el i+1avo bit del bit más significativo de los 8 x 2 bits de código se leen en la dirección de la fila y los medios de almacenamiento se representan como un bit $b_i$ y el i+ el primer bit del bit más significativo de los 8 x 2 bits de símbolo de dos símbolos sucesivos están representados como el bit $y_i$, el reemplazo para asignar el bit $b_0$ al bit $y_{15}$, el bit $b_1$ al bit $y_7$, el bit $b_2$ al bit $y_1$, el bit $b_3$ al bit $y_5$, el bit $b_4$ al bit $y_6$, el bit $b_5$ al bit $y_{13}$, el bit $b_6$ al bit $y_{11}$, el bit $b_7$ al bit $y_9$, el bit $b_8$ al bit $y_8$, el bit $b_9$ al bit $y_{14}$, el bit $b_{10}$ al bit $y_{12}$, el bit $b_{11}$ al bit $y_3$, el bit $b_{12}$ al bit $y_0$, el bit $b_{13}$ al bit $y_{10}$, el bit $b_{14}$ al bit $y_4$, y el bit $b_{15}$ al bit $y_2$, se llevan a cabo.

[0049]

Un aparato de codificación o un método de codificación de un segundo aspecto de la presente invención es un aparato de codificación o un método de codificación, que incluye medios de codificación para una etapa de codificación de llevar a cabo la codificación mediante un código LDPC el cual tiene una longitud de código de 64,800 bits y un índice de codificación de 2/3, una matriz de comprobación de paridad del código LDPC que se configura de tal manera que los elementos del valor 1 de una matriz de información, que corresponde a la longitud del código de la matriz de comprobación de paridad y una longitud de información que corresponde al índice de codificación, decidida por una tabla de valor inicial de la matriz de comprobación de paridad representativa de las posiciones de los elementos del valor 1 de la matriz de información se disponen en un periodo de cada 360 columnas en la dirección de la columna, la tabla del valor inicial de matriz de comprobación de paridad se forma de 317 2255 2324 2723 3538 3576 6194 6700 9101 10057 12739 17407 21039
1958 2007 3294 4394 12762 14505 14593 14692 16522 17737 19245 21272 21379
127 860 5001 5633 8644 9282 12690 14644 17553 19511 19681 20954 21002
2514 2822 5781 6297 8063 9469 9551 11407 11837 12985 15710 20236 20393
1565 3106 4659 4926 6495 6872 7343 8720 15785 16434 16727 19884 21325
706 3220 8568 10896 12486 13663 16398 16599 19475 19781 20625 20961 21335
4257 10449 12406 14561 16049 16522 17214 18029 18033 18802 19062 19526 20748
412 433 558 2614 2978 4157 6584 9320 11683 11819 13024 14486 16860
777 5906 7403 8550 8717 8770 11436 12846 13629 14755 15688 16392 16419

4093 5045 6037 7248 8633 9771 10260 10809 11326 12072 17516 19344 19938
2120 2648 3155 3852 6888 12258 14821 15359 16378 16437 17791 20614 21025
1085 2434 5816 7151 8050 9422 10884 12728 15353 17733 18140 18729 20920
856 1690 12787
6532 7357 9151
4210 16615 18152
11494 14036 17470
2474 10291 10323
1778 6973 10739
4347 9570 18748
2189 11942 20666
3868 7526 17706
8780 14796 18268
160 16232 17399
1285 2003 18922
4658 17331 20361
2765 4862 5875
4565 5521 8759
3484 7305 15829
5024 17730 17879
7031 12346 15024
179 6365 11352
2490 3143 5098
2643 3101 21259
4315 4724 13130
594 17365 18322
5983 8597 9627
10837 15102 20876
10448 20418 21478
3848 12029 15228
708 5652 13146
5998 7534 16117
2098 13201 18317
9186 14548 17776
5246 10398 18597
3083 4944 21021
13726 18495 19921
6736 10811 17545
10084 12411 14432
1064 13555 17033

000300

679 9878 13547
3422 9910 20194
3640 3701 10046
5862 10134 11498
5923 9580 15060
1073 3012 16427
5527 20113 20883
7058 12924 15151
9764 12230 17375
772 7711 12723
555 13816 15376
10574 11268 17932
15442 17266 20482
390 3371 8781
10512 12216 17180
4309 14068 15783
3971 11673 20009
9259 14270 17199
2947 5852 20101
3965 9722 15363
1429 5689 16771
6101 6849 12781
3676 9347 18761
350 11659 18342
5961 14803 16123
2113 9163 13443
2155 9808 12885
2861 7988 11031
7309 9220 20745
6834 8742 11977
2133 12908 14704
10170 13809 18153
13464 14787 14975
799 1107 3789
3571 8176 10165
5433 13446 15481
3351 6767 12840
8950 8974 11650
1430 4250 21332
6283 10628 15050

8632 14404 16916
6509 10702 16278
15900 16395 17995
8031 18420 19733
3747 4634 17087
4453 6297 16262
2792 3513 17031
14846 20893 21563
17220 20436 21337
275 4107 10497
3536 7520 10027
14089 14943 19455
1965 3931 21104
2439 11565 17932
154 15279 21414
10017 11269 16546
7169 10161 16928
10284 16791 20655
36 3175 8475
2605 16269 19290
8947 9178 15420
5687 9156 12408
8096 9738 14711
4935 8093 19266
2667 10062 15972
6389 11318 14417
8800 18137 18434
5824 5927 15314
6056 13168 15179
3284 13138 18919
13115 17259 17332.

[0050]

En tal segundo aspecto como se describió anteriormente, se lleva a cabo la codificación mediante un código LDPC cuya longitud de código es 64,800 bits y cuyo índice de codificación es 2/3. La matriz de comprobación de paridad del código LDPC se configura de tal manera que los elementos del valor 1 de una matriz de información, que corresponde a la longitud de código de la matriz de comprobación de paridad y a la longitud de información que corresponde al índice de codificación, decidido por una tabla del valor inicial de la matriz de comprobación de paridad representativa de las posiciones de los elementos del valor 1 de la matriz de

000302

información se disponen en un período de cada 360 columnas en la dirección de la columna. La tabla del valor inicial de la matriz de comprobación de paridad se forma de

317 2255 2324 2723 3538 3576 6194 6700 9101 10057 12739 17407 21039

1958 2007 3294 4394 12762 14505 14593 14692 16522 17737 19245 21272 21379

127 860 5001 5633 8644 9282 12690 14644 17553 19511 19681 20954 21002

2514 2822 5781 6297 8063 9469 9551 11407 11837 12985 15710 20236 20393

1565 3106 4659 4926 6495 6872 7343 8720 15785 16434 16727 19884 21325

706 3220 8568 10896 12486 13663 16398 16599 19475 19781 20625 20961 21335

4257 10449 12406 14561 16049 16522 17214 18029 18033 18802 19062 19526 20748

412 433 558 2614 2978 4157 6584 9320 11683 11819 13024 14486 16860

777 5906 7403 8550 8717 8770 11436 12846 13629 14755 15688 16392 16419

4093 5045 6037 7248 8633 9771 10260 10809 11326 12072 17516 19344 19938

2120 2648 3155 3852 6888 12258 14821 15359 16378 16437 17791 20614 21025

1085 2434 5816 7151 8050 9422 10884 12728 15353 17733 18140 18729 20920

856 1690 12787

6532 7357 9151

4210 16615 18152

11494 14036 17470

2474 10291 10323

1778 6973 10739

4347 9570 18748

2189 11942 20666

3868 7526 17706

8780 14796 18268

160 16232 17399

1285 2003 18922

4658 17331 20361

2765 4862 5875

4565 5521 8759

3484 7305 15829

5024 17730 17879

7031 12346 15024

179 6365 11352

2490 3143 5098

2643 3101 21259

4315 4724 13130

594 17365 18322

5983 8597 9627

10837 15102 20876

10448 20418 21478

000303

3848 12029 15228
708 5652 13146
5998 7534 16117
2098 13201 18317
9186 14548 17776
5246 10398 18597
3083 4944 21021
13726 18495 19921
6736 10811 17545
10084 12411 14432
1064 13555 17033
679 9878 13547
3422 9910 20194
3640 3701 10046
5862 10134 11498
5923 9580 15060
1073 3012 16427
5527 20113 20883
7058 12924 15151
9764 12230 17375
772 7711 12723
555 13816 15376
10574 11268 17932
15442 17266 20482
390 3371 8781
10512 12216 17180
4309 14068 15783
3971 11673 20009
9259 14270 17199
2947 5852 20101
3965 9722 15363
1429 5689 16771
6101 6849 12781
3676 9347 18761
350 11659 18342
5961 14803 16123
2113 9163 13443
2155 9808 12885
2861 7988 11031
7309 9220 20745

6834 8742 11977
2133 12908 14704
10170 13809 18153
13464 14787 14975
799 1107 3789
3571 8176 10165
5433 13446 15481
3351 6767 12840
8950 8974 11650
1430 4250 21332
6283 10628 15050
8632 14404 16916
6509 10702 16278
15900 16395 17995
8031 18420 19733
3747 4634 17087
4453 6297 16262
2792 3513 17031
14846 20893 21563
17220 20436 21337
275 4107 10497
3536 7520 10027
14089 14943 19455
1965 3931 21104
2439 11565 17932
154 15279 21414
10017 11269 16546
7169 10161 16928
10284 16791 20655
36 3175 8475
2605 16269 19290
8947 9178 15420
5687 9156 12408
8096 9738 14711
4935 8093 19266
2667 10062 15972
6389 11318 14417
8800 18137 18434
5824 5927 15314
6056 13168 15179

000305

3284 13138 18919
13115 17259 17332.

[0051]

Cabe notar que el aparato de procesamiento de datos puede ser un aparato independiente o puede ser un bloque interno que compone un aparato.

**Efecto ventajoso**

[0052]

De acuerdo con la presente invención, se puede mejorar la tolerancia a los errores.

**Breve Descripción de los Dibujos**

[0053]

[FIG. 1] La FIG. 1 es una vista que ilustra una matriz de comprobación de paridad H de un código LDPC.

[FIG. 2] La FIG. 2 es un diagrama de flujo que ilustra un procedimiento de decodificación de un código LDPC.

[FIG. 3] La FIG. 3 es una vista que ilustra un ejemplo de una matriz de error de paridad de un código LDPC.

[FIG. 4] La FIG. 4 es una vista que muestra una gráfica Tanner de una matriz de comprobación de paridad.

[FIG. 5] La FIG. 5 es una vista que muestra un nodo variable.

[FIG. 6] La FIG. 6 es una vista que muestra un nodo de revisión.

[FIG. 7] La FIG. 7 es una vista que muestra un ejemplo de una configuración de una modalidad de un sistema de transmisión al cual se aplica la presente invención.

[FIG. 8] La FIG. 8 es un diagrama de bloque que muestra un ejemplo de la configuración de un aparato de transmisión 11.

[FIG. 9] La FIG. 9 es una vista que ilustra una matriz de comprobación de paridad.

[FIG. 10] La FIG. 10 es una vista que ilustra una matriz de paridad.

[FIG. 11] La FIG. 11 es una vista que ilustra una matriz de paridad de un código LDPC y los pesos de columna prescritos en el DVB-S.2 estándar.

[FIG. 12] La FIG. 12 es una vista que ilustra una disposición de punto de señal de 16QAM.

[FIG. 13] La FIG. 13 es una vista que ilustra una disposición de punto de señal de 64QAM.

[FIG. 14] La FIG. 14 es una vista que ilustra una disposición de punto de señal de 64QAM.

[FIG. 15] La FIG. 15 es una vista que ilustra una disposición de punto de señal de 64QAM.

[FIG. 16] La FIG. 16 es una vista que ilustra el procesamiento de un desmultiplexor 25.

[FIG. 17] La FIG. 17 es una vista que ilustra el procesamiento del desmultiplexor 25.

[FIG. 18] La FIG. 18 es una vista que muestra una gráfica Tanner con relación a la decodificación de un código LDPC.

[FIG. 19] La FIG. 19 es una vista que muestra una matriz de paridad $H_T$ que tiene una estructura escalonada y una gráfica Tanner que corresponde a la matriz de paridad $H_T$.

[FIG. 20] La FIG. 20 es una vista que muestra la matriz de paridad $H_T$ de una matriz de comprobación de paridad H que corresponde al código LDPC después del intercalado de paridad.

[FIG. 21] La FIG. 21 es una vista que ilustra una matriz de comprobación de paridad de conversión.

[FIG. 22] La FIG. 22 es una vista que ilustra el procesamiento de un intercalador de giro de columna 24.

[FIG. 23] La FIG. 23 es una vista que ilustra los miembros de la columna de una memoria 31 necesaria para el intercalado de giro de la columna y el manejo de las posiciones de inicio de escritura.

[FIG. 24] La FIG. 24 es una vista que ilustra los números de columna de la memoria 31 necesaria para la intercalación del giro de columna y el manejo de las posiciones de inicio de escritura.

[FIG. 25] La FIG. 25 es un diagrama de flujo que ilustra un proceso de transmisión.

MX 000307

[FIG. 26] La FIG. 26 es una vista que muestra un modelo de una ruta de comunicación adoptada en una simulación.

[FIG. 27] La FIG. 27 es una vista que ilustra una relación entre el índice de error obtenido por la simulación y la frecuencia Doppler $f_d$ de una oscilación.

[FIG. 28] La FIG. 28 es una vista que ilustra una relación entre el índice de error obtenido por la simulación y la frecuencia Doppler $f_d$ de una oscilación.

[FIG. 29] La FIG. 29 es un diagrama de bloque que muestra un ejemplo de una configuración de una sección 21 que codifica LDPC.

[FIG. 30] La FIG. 30 es un diagrama de flujo que ilustra un proceso de sección que codifica LDPC.

[FIG. 31] La FIG. 31 es una vista que ilustra una tabla con valor inicial de matriz de comprobación de paridad de un índice de codificación de 2/3 y una longitud de código de 16,200.

[FIG. 32] La FIG. 32 es una vista que ilustra la tabla de valor inicial de matriz de comprobación de paridad de un índice de codificación de 2/3 y una longitud de código de 64,800.

[FIG. 33] La FIG. 33 es una vista que ilustra la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 2/3 y la longitud de código de 64,800.

[FIG. 34] La FIG. 34 es una vista que ilustra la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 2/3 y la longitud de código de 64,800.

[FIG. 35] La FIG. 35 es una vista que ilustra una tabla de valor inicial de matriz de comprobación de paridad de un índice de codificación de 3/4 y una longitud de código de 16,200.

[FIG. 36] La FIG. 36 es una vista que ilustra una tabla de valor inicial de matriz de comprobación de paridad de un índice de codificación de 3/4 y una longitud de código de 64,800.

[FIG. 37] La FIG. 37 es una vista que ilustra la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 3/4 y una longitud de código de 64,800.

[FIG. 38] La FIG. 38 es una vista que ilustra la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 3/4 y la longitud de código de 64,800.

000308

[FIG. 39] La FIG. 39 es una vista que ilustra la tabla del valor inicial de matriz de comprobación de paridad del índice de codificación de 3/4 y la longitud de código de 64,800.

[FIG. 40] La FIG. 40 es una vista que ilustra la tabla del valor inicial de matriz de comprobación de paridad de un índice de codificación de 4/5 y la longitud de código de 16,200.

[FIG. 41] La FIG. 41 es una vista que ilustra la tabla del valor inicial de matriz de comprobación de paridad de un índice de codificación de 4/5 y la longitud de código de 64,800.

[FIG. 42] La FIG. 42 es una vista que ilustra la tabla del valor inicial de matriz de comprobación de paridad del índice de codificación de 4/5 y la longitud de código de 64,800.

[FIG. 43] La FIG. 43 es una vista que ilustra la tabla del valor inicial de matriz de comprobación de paridad del índice de codificación de 4/5 y la longitud de código de 64,800.

[FIG. 44] La FIG. 44 es una vista que ilustra la tabla del valor inicial de matriz de comprobación de paridad del índice de codificación de 4/5 y la longitud de código de 64,800.

[FIG. 45] La FIG. 45 es una vista que ilustra la tabla de valor inicial de matriz de comprobación de paridad de un índice de codificación de 5/6 y la longitud de código de 16,200.

[FIG. 46] La FIG. 46 es una vista que ilustra la tabla de valor inicial de matriz de comprobación de paridad de un índice de codificación de 5/6 y la longitud de código de 64,800.

[FIG. 47] La FIG. 47 es una vista que ilustra la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 5/6 y la longitud de código de 64,800.

[FIG. 48] La FIG. 48 es una vista que ilustra la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 5/6 y la longitud de código de 64,800.

[FIG. 49] La FIG. 49 es una vista que ilustra la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 5/6 y la longitud de código de 64,800.

[FIG. 50] La FIG. 50 es una vista que ilustra la tabla de valor inicial de matriz de comprobación de paridad de un índice de codificación de 8/9 y una longitud de código de 16,200.

[FIG. 51] La FIG. 51 es una vista que ilustra la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 8/9 y la longitud de código de 64,800.

000509

[FIG. 52] La FIG. 52 es una vista que ilustra la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 8/9 y la longitud de código de 64,800.

[FIG. 53] La FIG. 53 es una vista que ilustra la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 8/9 y la longitud de código de 64,800.

[FIG. 54] La FIG. 54 es una vista que ilustra la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 8/9 y la longitud de código de 64,800.

[FIG. 55] La FIG. 55 es una vista que ilustra una tabla de valor inicial de matriz de comprobación de paridad de un índice de codificación de 9/10 y una longitud de código de 64,800.

[FIG. 56] La FIG. 56 es una vista que ilustra la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 9/10 y la longitud de código de 64,800.

[FIG. 57] La FIG. 57 es una vista que ilustra la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 9/10 y la longitud de código de 64,800.

[FIG. 58] La FIG. 58 es una vista que ilustra la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 9/10 y la longitud de código de 64,800.

[FIG. 59] La FIG. 59 es una vista que ilustra un método para determinar una matriz de comprobación de paridad H de una tabla inicial de matriz de comprobación de paridad.

[FIG. 60] La FIG. 60 es una vista que ilustra un proceso de reemplazo de acuerdo con los métodos existentes.

[FIG. 61] La FIG. 61 es una vista que ilustra un proceso de reemplazo de acuerdo con los métodos existentes.

[FIG. 62] La FIG. 62 es una vista que ilustra los grupos de bit del código y los grupos de bit del símbolo donde el código LDPC que tiene una longitud de código de 64,800 y un índice de codificación de 2/3 se modula mediante 256QAM y el múltiplo b es 2.

[FIG. 63] La FIG. 63 es una vista que ilustra una regla de asignación donde un código LDPC que tiene una longitud de código de 64,800 y un índice de codificación de 2/3 se modula mediante 256QAM y el múltiplo b es 2.

[FIG. 64] La FIG. 64 es una vista que ilustra el reemplazo de bits del código de acuerdo con la regla de asignación donde un código LDPC que tiene una longitud de código de 64,800 y un índice de codificación de 2/3 se modula mediante 256QAM y el múltiplo b es 2.

[FIG. 65] La FIG. 65 es una vista que ilustra los BER donde se llevan a cabo el proceso de reemplazo de un nuevo método de reemplazo y el proceso de reemplazo de un método existente.

[FIG. 66] La FIG. 66 es una vista que ilustra un ejemplo de una tabla de valor inicial de matriz de comprobación de paridad para un código LDPC cuyo $E_b/N_0$ como un valor umbral de desempeño es mejor que aquel del código estándar.

[FIG. 67] La FIG. 67 es una vista que ilustra el ejemplo de la tabla de valor inicial de matriz de comprobación de paridad para un código LDPC cuyo $E_b/N_0$ como un valor umbral de desempeño es mejor que aquel del código estándar.

[FIG. 68] La FIG. 68 es una vista que ilustra el ejemplo de la tabla de valor inicial de matriz de comprobación de paridad para un código LDPC cuyo $E_b/N_0$ como un valor umbral de desempeño es mejor que aquel del código estándar.

[FIG. 69] La FIG. 69 es una vista que ilustra las relaciones del $E_s/N_0$ y el BER con relación al código estándar y el código propuesto.

[FIG. 70] La FIG. 70 es un diagrama de bloque que muestra un ejemplo de una configuración de un aparato de recepción 12.

[FIG. 71] La FIG. 71 es un diagrama de flujo que ilustra un proceso de recepción.

[FIG. 72] La FIG. 72 es una vista que ilustra un ejemplo de una matriz de comprobación de paridad de un código LDPC.

[FIG. 73] La FIG. 73 es una vista que ilustra una matriz (matriz de comprobación de paridad de conversión) obtenida al aplicar el reemplazo de fila y el reemplazo de columna a una matriz de comprobación de paridad.

[FIG. 74] La FIG. 74 es una vista que ilustra una matriz de comprobación de paridad de conversión dividida en una unidad de 5 x 5 bits.

000311

[FIG. 75] La FIG. 75 es un diagrama de bloque que muestra un ejemplo de una configuración de un aparato de decodificación en el cual la operación matemática del nodo se lleva a cabo colectivamente para los nodos P.

[FIG. 76] La FIG. 76 es un diagrama de bloque que muestra un ejemplo de una configuración de una sección de decodificación LDPC 56.

[FIG. 77] La FIG. 77 es un diagrama de bloque que muestra un ejemplo de una configuración de una modalidad de una computadora a la cual se aplica la presente invención.

[FIG. 78] La FIG. 78 es una vista que ilustra un ejemplo de una tabla de valor inicial de matriz de comprobación de paridad de un índice de codificación de 2/3 y una longitud de código de 16,200.

[FIG. 79] La FIG. 79 es una vista que ilustra un ejemplo de una tabla de valor inicial de matriz de comprobación de paridad de un índice de codificación de 2/3 y una longitud de código de 64,800.

[FIG. 80] La FIG. 80 es una vista que ilustra el ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 2/3 y una longitud de código de 64,800.

[FIG. 81] La FIG. 81 es una vista que ilustra el ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 2/3 y una longitud de código de 64,800.

[FIG. 82] La FIG. 82 es una vista que ilustra un ejemplo de una tabla de valor inicial de matriz de comprobación de paridad de un índice de codificación de 3/4 y una longitud de código de 16,200.

[FIG. 83] La FIG. 83 es una vista que ilustra un ejemplo de una tabla de valor inicial de matriz de comprobación de paridad de un índice de codificación de 3/4 y una longitud de código de 64,800.

[FIG. 84] La FIG. 84 es una vista que ilustra el ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 3/4 y la longitud de código de 64,800.

[FIG. 85] La FIG. 85 es una vista que ilustra el ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 3/4 y la longitud de código de 64,800.

[FIG. 86] La FIG. 86 es una vista que ilustra el ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 3/4 y la longitud de código de 64,800.

000312

[FIG. 87] La FIG. 87 es una vista que ilustra un ejemplo de una tabla de valor inicial de matriz de comprobación de paridad de un índice de codificación de 4/5 y una longitud de código de 16,200.

[FIG. 88] La FIG. 88 es una vista que ilustra un ejemplo de una tabla de valor inicial de matriz de comprobación de paridad de un índice de codificación de 4/5 y una longitud de código de 64,800.

[FIG. 89] La FIG. 89 es una vista que ilustra el ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 4/5 y la longitud de código de 64,800.

[FIG. 90] La FIG. 90 es una vista que ilustra el ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 4/5 y la longitud de código de 64,800.

[FIG. 91] La FIG. 91 es una vista que ilustra el ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 4/5 y la longitud de código de 64,800.

[FIG. 92] La FIG. 92 es una vista que ilustra un ejemplo de una tabla de valor inicial de matriz de comprobación de paridad de un índice de codificación de 4/5 y una longitud de código de 16,200.

[FIG. 93] La FIG. 93 es una vista que ilustra un ejemplo de una tabla de valor inicial de matriz de comprobación de paridad de un índice de codificación de 5/6 y una longitud de código de 64,800.

[FIG. 94] La FIG. 94 es una vista que ilustra el ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 5/6 y la longitud de código de 64,800.

[FIG. 95] La FIG. 95 es una vista que ilustra el ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 5/6 y la longitud de código de 64,800.

[FIG. 96] La FIG. 96 es una vista que ilustra el ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 5/6 y la longitud de código de 64,800.

[FIG. 97] La FIG. 97 es una vista que ilustra un ejemplo de una tabla de valor inicial de matriz de comprobación de paridad de un índice de codificación de 8/9 y una longitud de código de 16,200.

[FIG. 98] La FIG. 98 es una vista que ilustra el ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 8/9 y la longitud de código de 64,800.

000313

[FIG. 99] La FIG. 99 es una vista que ilustra el ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 8/9 y la longitud de código de 64,800.

[FIG. 100] La FIG. 100 es una vista que ilustra el ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 8/9 y la longitud de código de 64,800.

[FIG. 101] La FIG. 101 es una vista que ilustra el ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 8/9 y la longitud de código de 64,800.

[FIG. 102] La FIG. 102 es una vista que ilustra un ejemplo de una tabla de valor inicial de matriz de comprobación de paridad de un índice de codificación de 9/10 y una longitud de código de 64,800.

[FIG. 103] La FIG. 103 es una vista que ilustra el ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del un índice de codificación de 9/10 y una longitud de código de 64,800.

[FIG. 104] La FIG. 104 es una vista que ilustra el ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 9/10 y una longitud de código de 64,800.

[FIG. 105] La FIG. 105 es una vista que ilustra el ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 9/10 y la longitud de código de 64,800.

[FIG. 106] La FIG. 106 es una vista que ilustra un ejemplo de una tabla de valor inicial de matriz de comprobación de paridad de un índice de codificación de 1/4 y una longitud de código de 64,800.

[FIG. 107] La FIG. 107 es una vista que ilustra el ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 1/4 y la longitud de código de 64,800.

[FIG. 108] La FIG. 108 es una vista que ilustra un ejemplo de una tabla de valor inicial de matriz de comprobación de paridad de un índice de codificación de 1/3 y una longitud de código de 64,800.

[FIG. 109] La FIG. 109 es una vista que ilustra el ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 1/3 y la longitud de código de 64,800.

[FIG. 110] La FIG. 110 es una vista que ilustra un ejemplo de una tabla de valor inicial de matriz de comprobación de paridad de un índice de codificación de 2/5 y una longitud de código de

000314

[FIG. 111] La FIG. 111 es una vista que ilustra el ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 2/5 y la longitud de código de 64,800.

[FIG. 112] La FIG. 112 es una vista que ilustra un ejemplo de una tabla de valor inicial de matriz de comprobación de paridad de un índice de codificación de 1/2 y una longitud de código de 64,800.

[FIG. 113] La FIG. 113 es una vista que ilustra el ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 1/2 y la longitud de código de 64,800.

[FIG. 114] La FIG. 114 es una vista que ilustra el ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 1/2 y la longitud de código de 64,800.

[FIG. 115] La FIG. 115 es una vista que ilustra un ejemplo de una tabla de valor inicial de matriz de comprobación de paridad de un índice de codificación de 3/5 y una longitud de código de 64,800.

[FIG. 116] La FIG. 115 es una vista que ilustra el ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 3/5 y la longitud de código de 64,800.

[FIG. 117] La FIG. 117 es una vista que ilustra el ejemplo de la tabla de valor inicial de matriz de comprobación de paridad del índice de codificación de 3/5 y la longitud de código de 64,800.

[FIG. 118] La FIG. 118 es una vista que ilustra un ejemplo de una tabla de valor inicial de matriz de comprobación de paridad de un índice de codificación de 1/4 y una longitud de código de 16,200.

[FIG. 119] La FIG. 119 es una vista que ilustra un ejemplo de una tabla de valor inicial de matriz de comprobación de paridad de un índice de codificación de 1/3 y una longitud de código de 16,200.

[FIG. 120] La FIG. 120 es una vista que ilustra un ejemplo de una tabla de valor inicial de matriz de comprobación de paridad de un índice de codificación de 2/5 y una longitud de código de 16,200.

[FIG. 121] La FIG. 121 es una vista que ilustra un ejemplo de una tabla de valor inicial de matriz de comprobación de paridad de un índice de codificación de 1/2 y una longitud de código de 16,200.

000915

[FIG. 122] La FIG. 122 es una vista que ilustra un ejemplo de una tabla de valor inicial de matriz de comprobación de paridad de un índice de codificación de 3/5 y una longitud de código de 16,200.

[FIG. 123] La FIG. 123 es una vista que ilustra otro ejemplo de la tabla del valor inicial de matriz de comprobación de paridad del índice de codificación de 3/5 y la longitud de código de 16,200.

[FIG. 124] La FIG. 124 es una vista que ilustra el método de determinar una matriz de comprobación de paridad H de una tabla inicial de matriz de comprobación de paridad.

[FIG. 125] La FIG. 125 es una vista que ilustra un ejemplo del reemplazo de los bits del código.

[FIG. 126] La FIG. 126 es una vista que ilustra otro ejemplo del reemplazo de los bits del código.

[FIG. 127] La FIG. 127 es una vista que ilustra un ejemplo adicional de reemplazo de los bits del código.

[FIG. 128] La FIG. 128 es una vista que ilustra un ejemplo aún adicional del reemplazo de los bits del código.

[FIG. 129] La FIG. 129 es una vista que ilustra un resultado de simulación del BER.

[FIG. 130] La FIG. 130 es una vista que ilustra otro resultado de simulación del BER.

[FIG. 131] La FIG. 131 es una vista que ilustra un resultado de simulación adicional del BER.

[FIG. 132] La FIG. 132 es una vista que ilustra todavía un resultado de simulación del BER.

[FIG. 133] La FIG. 133 es una vista que ilustra un ejemplo del reemplazo de los bits del código.

[FIG. 134] La FIG. 134 es una vista que ilustra otro ejemplo del reemplazo de los bits del código.

[FIG. 135] La FIG. 135 es una vista que ilustra un ejemplo adicional del reemplazo de los bits del código.

[FIG. 136] La FIG. 136 es una vista que ilustra un ejemplo aún adicional del reemplazo de los bits del código.

[FIG. 137] La FIG. 137 es una vista que ilustra un ejemplo aún adicional del reemplazo de los bits del código.

000316

[FIG. 138] La FIG. 138 es una vista que ilustra un ejemplo aún adicional del reemplazo de los bits del código.

[FIG. 139] La FIG. 139 es una vista que ilustra un ejemplo aún adicional del reemplazo de los bits del código.

[FIG. 140] La FIG. 140 es una vista que ilustra un ejemplo aún adicional del reemplazo de los bits del código.

[FIG. 141] La FIG. 141 es una vista que ilustra un ejemplo aún adicional del reemplazo de los bits del código.

[FIG. 142] La FIG. 142 es una vista que ilustra un ejemplo aún adicional del reemplazo de los bits del código.

[FIG. 143] La FIG. 143 es una vista que ilustra un ejemplo aún adicional del reemplazo de los bits del código.

[FIG. 144] La FIG. 144 es una vista que ilustra un ejemplo aún adicional del reemplazo de los bits del código.

[FIG. 145] La FIG. 145 es una vista que ilustra el procesamiento de un multiplexor 54 que compone un desintercalador 53.

[FIG. 146] La FIG. 146 es una vista que ilustra el procesamiento del desintercalador de giro de columna 55.

[FIG. 147] La FIG. 147 es un diagrama de bloque que muestra otro ejemplo de una configuración del aparato de recepción 12.

[FIG. 148] La FIG. 148 es un diagrama de bloque que muestra un primer ejemplo de una configuración de un sistema de recepción que se puede aplicar al aparato de recepción 12.

[FIG. 149] La FIG. 149 es un diagrama de bloque que muestra un segundo ejemplo de la configuración del sistema de recepción que se puede aplicar al aparato de recepción 12.

[FIG. 150] La FIG. 150 es un diagrama de bloque que muestra un tercer ejemplo de la configuración del sistema de recepción que se puede aplicar al aparato de recepción 12.

**Explicación de los Símbolos de Referencia**

000317

[0054]

11 Aparato de Transmisión 11, 12 Aparato de Recepción, 21 sección de codificación LDPC, 22 Intercalador de bit, 23 Intercalador de paridad, 24 Intercalador de giro de columna, 25 Desmultiplexor, 26 Sección de mapeo, 27 Sección de modulación ortogonal, 31 Memoria, 32 Sección de reemplazo, 51 Sección de demodulación ortogonal, 52 Sección de desmapeo, 53 Desintercalador, 54 Multiplexor, 55 Desintercalador de giro de columna, 56 Sección de decodificación LDPC, 300 Memoria de almacenamiento de datos de borde, 301 Selector, 302 Sección de cálculo de nodo de revisión, 303 Circuito de cambio cíclico, 304 Memoria de almacenamiento de datos de borde, 305 Selector, 306 Memoria de datos de recepción, 307 Sección de cálculo de nodo variable, 308 Circuito de cambio cíclico, 309 Sección de cálculo de palabra decodificada, 310 Sección de redisposición de datos de recepción, 311 Sección de redisposición de datos decodificados, 601 Bloque de procesamiento de codificación, 602 Bloque de almacenamiento, 611 Porción de establecimiento de índice de codificación, 612 Porción de lectura de tabla de valor inicial, 613 Porción de producción de matriz de comprobación de paridad, 614 Porción de lectura de bit de información, 615 Porción de operación matemática de paridad de codificación, 616 Porción de control, 701 Bus, 702 CPU, 703 ROM, 704 RAM, 705 Disco Duro, 706 Sección de generación, 707 Sección de introducción, 708 Sección de comunicación, 709 Unidad, 710 interfaz de entrada/salida, 711 Medio de grabación removible, 1001 Sección de reemplazo inverso, 1002 Memoria, 1011 Desintercalador de paridad, 1021 Sección de decodificación LDPC, 1101 Sección de adquisición, 1101 Sección de procesamiento de decodificación de línea de transmisión, 1103 Sección de procesamiento de decodificación de fuente de información, 1111 Sección de generación, 1121 Sección de grabación.

**Mejor Modo de Llevar a Cabo la Invención**

[0055]

La FIG. 7 muestra un ejemplo de una configuración de una modalidad de un sistema de transmisión al cual se aplica la presente invención (el término sistema significa un agregado lógico de una pluralidad de aparatos sin importar de si o no los aparatos componentes individuales están incluidos en la misma carcasa).

[0056]

En referencia a la FIG. 7 el sistema de transmisión incluye un aparato de transmisión 11 y un aparato de recepción 12.

[0057]

El aparato de transmisión 11 lleva a cabo, por ejemplo, transmisión (difusión) (transferencia) de un programa de difusión de televisión. Esto es, el aparato de transmisión 11, por ejemplo, codifica los datos del objeto que son un objeto de la transmisión tal como datos de imagen, datos de sonido y así sucesivamente como un programa de difusión de televisión en el

lleva a cabo en una columna de la matriz de comprobación de paridad H y de esta manera un nodo variable que corresponde a un bit de código del código LDPC, si ocurre un error con el bit de código utilizado para la operación matemática de nodo variable, entonces cae la precisión del mensaje que se va a determinar.

[0064]

Entonces, en razón a que, en la decodificación del código LDPC, el mensaje determinado en el nodo variable que conecta al nodo de revisión se utiliza para llevar a cabo la operación matemática de nodo de revisión de la expresión (7) en el nodo de revisión, si el número de nodos de revisión donde (los bits de código del código LDPC corresponden a) una pluralidad de nodos variables conectados a éste exhiben un error (incluyendo borrado) al mismo tiempo se vuelve grande, entonces se deteriora el desempeño de la decodificación.

[0065]

Por ejemplo, si dos o más de los nodos variables conectados al nodo de revisión sufren de borrado al mismo tiempo, entonces el nodo de revisión regresa un mensaje de que la probabilidad de que el valor pueda ser 0 y la probabilidad de que el valor pueda ser 1 son iguales una a la otra en todos los nodos variables. En este caso, aquellos nodos de revisión a los cuales el mensaje de posibilidades iguales no contribuye a un ciclo del procesamiento de decodificación (un conjunto de operación matemática de nodo variable y de operación matemática de nodo de revisión), y como resultado, se requiere un número creciente de tiempos de repetición del procesamiento de decodificación. Consecuentemente, el desempeño de la decodificación se deteriora. Además, se incrementa el consumo de potencia de un aparato de recepción 12 que lleva a cabo la decodificación del código LDPC.

[0066]

De acuerdo con esto, el sistema de transmisión mostrado en la Figura 7 se configura de tal manera que la tolerancia a los errores de ráfaga o borrado se mejoran aunque se mantenga el desempeño en una ruta de comunicación a AWGN.

[0067]

La Figura. 8 muestra un ejemplo de una configuración del aparato de transmisión de la Figura 7.

[0068]

En relación a la Figura 8, el aparato de transmisión 11 incluye una extensión de codificación LDPC 21, un intercalador de bit 22, una sección de mapeo 26 y una sección de modulación ortogonal 27.

[0069]

A la sección de codificación LDPC 21, se suministran datos de objeto.

[0070]

La sección que codifica el LDPC 21 lleva a cabo la codificación LDPC de los objetos suministrados a este de acuerdo con la matriz de comprobación de paridad en la cual una matriz de paridad es una porción que corresponde a los de bits de paridad del código LDPC tiene una estructura escalonada y genera un código LDPC en donde los datos del objeto son bits de información.

[0071]

En particular, la sección que codifica el LDPC 21 lleva a cabo una codificación LDPC de codificar los datos del objeto en un código LDPC prescrito, por ejemplo, en los estándares DVB-S.2 o DVB-T.2 y saca un código LDPC obtenido, el resultado de la codificación LDPC.

[0072]

Aquí, en el estándar DVB-T.2, este se programa para adoptar los códigos LDPC prescritos en el estándar DVB-S.2. El código LDC prescrito en el estándar DVB-S.2 es un código IRA (Irregular Repeat Acculate), y la matriz de paridad en la matriz de comprobación de paridad del código LDPC tiene una estructura escalonada. La matriz de paridad y la estructura escalonada se describen aquí. Además, se describe el código IRA, por ejemplo "Irregular Repeat Accumulate Codes" H. Jin., A. Khandekar Symposium McEliece, en los procedimientos del segundo Simposio Internacional sobre códigos Turbo y códigos Tópicos relacionados, pp.1-8, septiembre. 2000.

[0073]

El código LDPC generado de estas secciones 21 se suministra al intercalador de bit 22.

[0074]

El intercalador de bit 22 es una aparato que procesa datos para intercalar datos e incluye un intercalador de paridad 23, un intercalador de giro de columna 24 y un desmultiplexor (DEMUX) 25.

[0075]

El intercalador de paridad 23 lleva a cabo el intercalamiento de paridad de los bits de paridad de intercalamiento del código LDPC proviniendo de la sección que codifica el LDPC 21 a las posiciones de otros bits de paridad que suministran el código LDPC después del intercalamiento de paridad al intercalador de giro de columna 24.

[0076]

000321

El intercalador de giro de comuna 24 lleva a cabo el intercalado de giro de columna para el código LDPC proveniente del intercalador de paridad 23 y suministra el código LDPC después de que el intercalado de giro de columna al desmultiplexor 25.

[0077]

En particular, el código LDPC se trasmite después de que en dos o más bits de este son mapeados a puntos de señal que representan un símbolo de la modulación ortogonal mediante sección de mapeado 26 descrita a continuación.

[0078]

El intercalador de giro de columna 24 lleva a cabo, por ejemplo, el intercalado de giro de columna como se describe a continuación como un proceso de re-arreglo de los bits del código de re-arreglo del código LDPC desde el intercalar de paridad 23 de tal manera que la pluralidad de bits del código LDPC que corresponde al valor 1 incluido en una fila arbitraria de la matriz de comprobación de paridad utilizada en la sección de codificación del LDPC 21 no esta incluido en un símbolo.

[0079]

El desmultiplexor 25 lleva a cabo un proceso de remplazar las posiciones de dos o más bits del código LDPC (que no es un símbolo) desde el intercalador de giro de columna 24 para obtener un código LDPC cuya tolerancia al AWGN se refuerza. Entonces, el desmultiplexor 25 suministra dos o más bits de un código LDPC obtenido por el proceso de reemplazo como un símbolo a la sección de mapeo 26.

[0080]

La sección de mapeo 26 mapea el símbolo desde el desmultiplexor 25 para señalar los puntos determinados por un método de modulación de la modulación ortogonal (modulación multi-valor) llevada a cabo por la sección de modulación ortogonal 27.

[0081]

En particular, la sección de mapeo 26 mapea el código LDPC proveniente del desmultiplexor 25 en un punto de señal determinado por el sistema de modulación sobre un plano IQ (constelación IQ) definida por un eje I representativo de un componente I que esta de fase con un portador y un Q representativo de un componente Q que es ortogonal a la onda portadora.

[0082]

Aquí, como el método de modulación de la modulación ortogonal llevado a cabo por la sección de modulación ortogonal 27, los métodos de modulación que incluyen, por jemplo, un método de modulación definido por el estándares DVB-T, esto es, por ejemplo, QPSK

UC0322

(Quadrature Phase Shift Keying), 16QAM (Quadrature Amplitude Modulation), 64QAM, 256 QAM, 1024QAM, 4096QAM y así sucesivamente están disponibles. Lo que se debe utilizar para la modulación ortogonal a ser llevada a cabo por la sección de modulación ortogonal 27 se establece por adelantado, por ejemplo, de acuerdo con una operación de un aparato de transmisión 11 por un operador. Cabe notar que la sección de modulación ortogonal 27 puede llevar a cabo alguna otra modulación ortogonal tal como, por ejemplo, 4PAM (Pulse Amplitude Modulation)

[0083]

El símbolo mapeado a un punto de señal por la sección de mapeo 26 se suministra a la sección de modulación ortogonal 27.

[0084]

La sección de modulación ortogonal 27 lleva a cabo la modulación ortogonal de un portador de acuerdo con (símbolo mapeado) el punto de señal de mapeo y transmite una señal de modulación obtenida por la modulación ortogonal a través de la ruta de comunicación 13 (Figura. 7)

[0085]

Ahora, en la Figura 9, se ilustra una matriz H de comprobación de paridad utilizada en la codificación LDPC 21 de la Figura 8.

[0086]

La matriz de paridad H tiene una estructura LDGM (Low-Density Generation Matrix) y puede ser representada por una solución $H = [H_a|H_t]$ desde una matriz de información $H_A$ de una porción que corresponde a los bits de información de una matriz de paridad $H_T$ que corresponde a los bits de paridad de entre los bits del código LDPC (matriz en la cual los elementos de la matriz de información $H_A$ son elementos al lado izquierdo y los elementos de la matriz de paridad $H_T$ son elementos al lado derecho)

[0087]

Aquí, el número de los bits de información y el número de los bit de paridad proveniente de entre los bits de código de un código LDPC (una palabra código) se denominan como la longitud de una formulación K y la longitud de paridad M, y el número de los bits de código de un código LDPC se denominan como longitud N (= K + M).

[0088]

La longitud de información K y la longitud de paridad M con relación al código LDPC de una cierta longitud de código N depende del índice de codificación. Mientras tanto, la matriz de

sucesivamente los elementos de las filas que inician con lo elementos de la primera fila del vector de columna H = $[H_A|H_T]$ en la expresión $Hc^T = 0$ a cero.

[0095]

La Figura.11 ilustra la matriz de comprobación de paridad H de un código LDPC y los pesos de la columna definidos en el estándar DVB-S.2 (y el DVB-T.2).

[0096]

En particular, la Figura.11A ilustra la matriz de comprobación de paridad H de un código LDPC definido mediante el estándar DVB-S.2

[0097]

Con relación a las columnas KX desde la primera columna de la matriz de comprobación de paridad H, el peso de la columna es de X; con relación a las columnas K3 que tienen éxito, el peso de la columna es 3; con relación a las filas M-1 que tienen éxito, el peso de la columna es 2; y con relación a la ultima columna, la columna es 1.

[0098]

Aquí, KX + K3 + M-1 + 1 es igual a la longitud del código N.

[0099]

El estándar DVB-S.2, los números de columna KX, K3 y M (longitud de paridad) así como también el peso de la columna X se prescribieron de tal manera como se ve en la Figura.11B.

[0100]

En particular, Figura 11B ilustra los números de columna KX, K3 y M así como también el peso de la columna X con relación a los diferentes índices de codificación de los códigos LDPC prescritos en el estándar DVB-S2.

[0101]

En el estándar DVB-S.2, se prescriben los códigos LDPC de la longitud de código N de 64,800 bits y 16,200 bits.

[0102]

Como se ve en la Figura.11B, para el código LDPC cuya longitud de código es 64,800 bits se prescriben los índices de codificación (índices nominales) 1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6, 8/9 y 9/10 y para el código LDPC cuya longitud de código N es16,200 bits, se prescriben los índices de codificación 1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6 y 8/9.

[0103]

Con relación a los códigos LDPC, es conocido los bits de código que corresponden a la columna de la matriz de comprobación de paridad H que tiene un peso de columna que presenta tasas de error inferiores.

[0104]

La matriz de comprobación de paridad H prescrita en el estándar BDV-S.2 e ilustrada en la Figura 11 tiene una tendencia a que una columna más cercana al lado de cabeza (lado izquierdo) tenga un peso de columna mayor. De acuerdo con esto, el código LDPC corresponde a la matriz de comprobación de paridad H en una tendencia a que un bit de código más cercano a la cabeza es mayor en tolerancia a un error (tenga una tolerancia mayor a un error) y a un bit de código más cercano a la cola sea inferior en tolerancia a un error.

[0105]

La Figura. 2 ilustra una disposición de (puntos de señal que corresponden a) 16 símbolos del plano IQ donde el 16QAM se lleva a cabo mediante la sección de modulación ortogonal 27 de la Figura.8.

[0106]

En particular, la Figura 12A ilustra los símbolos del 16QAM.

[0107]

El 16QAM, un símbolo representa 4 bits, y 16 ($=2^4$) símbolos existen. Entonces, los 16 símbolos están dispuestos de tal manera que ellos forman una forma cuadrada de 4 x 4 símbolos por la dirección x Q centrada en el origen del plano IQ.

[0108]

Ahora, el i+1ava el bit más significativo de la cadena de bit representada por un símbolo se representa como $y_i$, entonces los 4 bits representados por un símbolo de 16QAM se pueden representar como los bits $y_0$, $y_1$, $y_2$ y $y_3$ con el fin de iniciar con el bit más significativo. Donde el método de modulación 16QAM, se establecen los 4 códigos de bits del código LDPC (simbolizado) como un símbolo (valor del símbolo) de los 4 bits $y_0$ a $y_3$.

[0109]

La figura. 12B indica los límites del bit con relación a los 4 bits (en lo sucesivo, el bit también es denominado como el bit de símbolo) $y_0$ a $y_3$ representado por el símbolo del 16QAM.

[0110]

Aquí, el límite con relación a un símbolo de bit $Y_i$ (en la Figura 12, i = 0, 1, 2, 3) significa un límite entre un símbolo cuyo $Y_i$ es 0 y otro símbolo cuyo $Y_i$ es 1.

[0111]

Como se ve en la Figura 12B, con relación al bit de símbolo más significativo $y_0$ de entre los 4 bits de símbolo $y_0$ a $y_3$ representados por el símbolo del 16QAM, solamente un ciclo del eje Q sobre el plano de IQ hace un límite de bit, y con relación al segundo bit de símbolo $y_1$ (segundo desde el bit más significativo), solamente un sitio del eje I del plano IQ hace un límite de bit.

[0112]

Además, con relación al tercer bit símbolo $y_3$, cada uno de los dos sitios entre la primera y segunda columna y entre la tercera y cuarta columna desde la izquierda de los símbolos 4 x 4 hace un límite.

[0113]

Adicionalmente, con relación al cuarto bit de símbolo $Y_3$, cada uno de los dos sitios entre la primera y segunda fila y entre la tercera y cuarta fila de los símbolos 4 x 4 hace un límite.

[0114]

El bit de símbolo $y_1$ representado mediante un símbolo es menos probable que se vuelva erróneo y que se vuelva inferior en probabilidad de error en la medida en que el número de símbolos espaciados desde un límite de bit se incremente pero es más probable que se vuelva erróneo y se vuela mayor en probabilidad de error en la medida en que el número de símbolos ubicado más cerca al límite de bit se incrementa.

[0115]

Si un bit que es menos probable que se vuelva erróneo (es tolerante a un error) se denomina "bit fuerte" pero el bit que es más probable que se vuelva erróneo (es menos tolerante a un error) se denomina "bit débil," entonces con relación a los 4 bits del símbolo $y_0$ a $y_3$ representados por los símbolos 16QAM, el símbolo bit más significativo $y_0$ y el segundo símbolo de bit $y_1$ son bits fuertes y el tercer símbolo bit $y_2$ y el cuarto símbolo bit $y_3$ son bits débiles.

[0116]

Las Figuras 13 a 15 ilustran deposiciones de (puntos de señal que corresponde a) 64 símbolos del plano Q donde 64QAM se lleva a cabo por la sección de modulación ortogonal 27 de la Figura 8.

[0117]

En 64QAM, un símbolo representa 6 bits, y 64 (= $2^6$) símbolos existentes. Entonces, los 64 símbolos se disponen de tal manera que ellos hacen un cuadrado de 8 x 8 simbolos en la dirección y x dirección Q centrados en el origen del plano IQ.

[0118]

Los bits de símbolo representados por un símbolo de 64QAM se pueden representar, los bits $y_0$, $y_1$, $y_2$, $y_3$, $y_4$, y $y_5$ en orden iniciado con el bit más significativo. Donde el método de modulación es 64QAM, los 6 bits de código de códigos LDPC se establecen (simbolizan) como un símbolo (valor del símbolo) de los 6 bits $y_0$ a $y_5$.

[0119]

La Figura. 13 indica los limites de bit con relación al bit de símbolo más significativo $y_0$ y al segundo bit de símbolo $y_1$ es de entre los bits de símbolo $y_0$ a $y_5$ de los símbolos de 64QAM; la Figura 14 indica los límites de bit con relación al tercer bit de símbolo $y_2$ y al cuarto bit de símbolo $y_3$; y la Figura.15 indica los símbolos de bit con relación al quinto bit de símbolo $y_4$ y al sexto bit de símbolo $y_5$.

[0118]

Como se ve en la Figura 13, el número de límites de bit con relación a cada uno de los bits de símbolo más significativo $y_0$ y al bit al segundo bit de símbolo $y_1$ es 1. Mientras tanto, como se ve en la Figura.14, el número de límites de bit con relación a cada uno del tercer bit de símbolo $y_2$ y acuarto bit de símbolo $y_3$ es dos, como se ve en la Figura.15, el número de límites de bit con relación a cada una del quinto bit de símbolo $y_4$ y el sexto bit de símbolo $y_5$ es cuatro.

[0121]

De acuerdo con esto, entre los bits de símbolo $y_0$ a $y_5$ de los símbolos de 64QAM, el bit de símbolo más significativo $y_0$ y el segundo bit de símbolo $y_1$ son los bits más fuertes, y el tercer bit de símbolo $y_2$ y el cuarto bit de símbolo $y_3$ son el segundo bit más fuerte. Entonces, el quinto bit de símbolo $y_4$ y el sexto bit de símbolo $y_5$ son los bits más débiles.

[0122]

De la Figura 12 y además de las figuras 13 a 15, se puede ver que, con relación a los bits de símbolo de los símbolos de la modulación ortogonal, existe una tendencia de que un bit de alto orden sea un bit fuerte un bit debajo orden sea un bit débil.

[0123]

Aquí, como se describió anteriormente con referencia a la Figura 11, un código LDPC generado desde la sección de codificación LDPC 21 (Figura. 8) incluye un bits que sean tolerantes a los errores y a los bits de código que sean menos tolerantes a los errores.

[0124]

Mientras tanto, como se describió anteriormente con referencia a las Figuras 12 a 15, los bits de símbolo de los símbolos de la modulación ortogonal llevados a cabo por la sección de modulación ortogonal 27 incluyen bits fuertes y bits débiles.

[0125]

De acuerdo con esto, si un bit de código del código LDPC que es bajo en tolerancia a un error es asignado a un bit de símbolo débil de un símbolo de modulación ortogonal, entonces la tolerancia a un menor cae como un todo.

[0126]

Por lo tanto, un intercalador se ha propuesto que intercala los bits de código de un código LDPC de tal manera que los bits de código LDPC que son inferiores en tolerancia a un error sean asignados a los bits fuertes (bits de símbolo) de un símbolo de la modulación ortogonal.

[0127]

El desmultiplexor 25 de la Figura 8 lleva a cabo el procesamiento del intercalador.

[0128]

La Figura. 16 es una vista que ilustra el procesamiento del desmultiplexor 25 de la Figura 8.

[0129]

En particular, la Figura 16A muestra un ejemplo de una configuración funcional del desmultiplexor 25.

[0130]

El desmultiplexor 25 incluye una memoria 31 y una sección de reemplazo 32.

[0131]

A la memoria 31, se suministra un código LDPC desde la sección de codificación LDPC 21.

[0132]

La memoria 31 tiene una capacidad de almacenamiento para almacenar N/(mb) bits en la dirección (horizontal) de una fila y almacenar N/(mb) bits en la dirección (vertical) de una columna. La memoria 31 escribe los bits del código LDPC suministrado a este en la dirección de columna y lee los bits de código en la dirección de fila y luego suministra os bist de código de lectura a la sección de reemplazo 32.

[0133]

Aquí, N (= longitud de información K + longitud de paridad M) representa la longitud de código del código LDPC como se describe continuación.

000329

[0134]

Además, m representa el número de los bits de código de un código LDPC por ser un símbolo, y b es un entero positivo predeterminado y es un múltiplo para ser utilizado para multiplicar m por el entero. El desmultiplexor 25 convierte (simboliza) los bits de código del código LDPC en los símbolos como se describió anteriormente, el múltiplo b representa el número de símbolos obtenidos de una manera mediante la simbolización de una vez por el desmultiplexor 25.

[0135]

La Figura.16A muestra un templo de una configuración del desmultiplexor 25 donde el sistema de modulación es 64QAM, y de acuerdo con esto, el número de bit m de los bits del código LDPC por ser un símbolo es 6 bits.

[0136]

Además, en la Figura 16A, el múltiplo b es 1, y de acuerdo, la memoria 31 tiene un capacidad de almacenamiento de N/ (6 x 1) x (6 x 1) bits en la dirección de columna x la dirección de fila.

[0137]

Aquí, la región de almacenamiento de la memoria 31 que se extiende en la dirección de columna incluye un bit en la dirección de fila es en lo sucesivo denominada como adecuada como columna. la Figura 16A, la memoria 31 incluye seis (= 6 x 1) columnas.

[0138]

El desmultiplexor 25 lleva a cabo la escritura de los bits del código LDPS en una dirección hacia abajo desde arriba de una columna que forma la memoria 31 (en una dirección de columna) que inicia con la columna al lado izquierdo hacia la columna al lado derecho.

[0139]

Entonces, si la escritura de los bits de código finaliza con el bit más inferior en la columna más a la derecha, entonces los bits de código son leídos y suministrados a la sección de reemplazo 32 en una unidad de 6 bits (mb bits) en la dirección de fila que inicia con la primera fila de todas las columnas que forman la memoria 31.

[0140]

La sección de reemplazo 32 lleva a cabo un proceso de reemplazo al reemplazar la posición de los bits de códigos desde los 6 bits desde la memoria 31 y produce los 6 bits obtenidos mediante el reemplazo como los 6 bits de símbolo $y_0$, $y_1$, $y_2$, $y_3$, $y_4$ y $y_5$ representativos del símbolo de 64 QAM-

000330

[0141]

En particular, mientras que los mb bits de código (aquí, 6 bits) son leídos en la dirección de fila desde la memoria 31, si el iava bit (i = 0, 1, ..., mb-1) desde el bit más significativo de entre los bits de código mb leídos de la memoria 31 se representa por el bit $b_i$, entonces los 6 bits de código leídos en la dirección de fila desde la memoria 31 se pueden representar como los bits $b_0$, $b_1$, $b_2$, $b_3$, $b_4$ y $b_5$ con el fin de iniciar con el bit más significativo.

[0142]

Una relación del peso de columna descrito a continuación con referencia a la Figura 11 conduce a que el bit de código ubicado en la dirección del bit $b_0$ es un bit de código alto en tolerancia a un error mientras que el bit de código en la dirección del bit $b_5$ es un bit de código bajo en tolerancia a un error.

[0143]

La sección de reemplazo 32 lleva a cabo un proceso de reemplazo al remplazar la posición de los 6 bits de código $b_0$ a $b_5$ desde la memoria 31 de tal manera que el bit código que es bajo en tolerancia a un error de entre los 6 bits de código $b_0$ a $b_5$ desde la memoria 31 se puedan asignar a un bit que sea alto en tolerancia de entre los bits $b_0$ a $b_5$ de un símbolo de 64QAM.

[0144]

Aquí, para el método de reemplazo para remplazar los 6 bits de código $b_0$ a $b_5$ desde la memoria 31 se han propuesto varios sistemas con el fin de ser asignados a los bits de símbolo $y_0$ a $y_5$ representativos de un símbolo de 64QAM.

[0145]

La Figura. 16B ilustra un primer método de reemplazo; la Figura 16C ilustra un segundo método de reemplazo; y la Figura 16D ilustra un tercer método de remplazo.

[0146]

La Figura. 16B a la Figura 16D (similarmente también la Figura.17 en lo sucesivo descrita), un método de línea que interconecte los bits $b_i$ y $y_j$ significa que el bit de código $b_i$ se asigna al bit de símbolo $y_j$ del símbolo (se remplaza en la posición del bit de símbolo $y_j$).

[0147]

Como el primer método de reemplazo, se propone adoptar una de las tres clases de método de reemplazo en la Figura 16B, y como el segundo método de reemplazo, se propone adoptar una de las de las dos clases de método de reemplazo en la Figura.16C.

[0148]

000391

Como el tercer método de reemplazo, se propone seleccionar y utilizar seis clases de métodos de reemplazo en l Figura 16D en orden.

[0149]

La Figura. 17 ilustra un ejemplo de una configuración del desmultiplexor 25 en el caso en donde el método de modulación es 64QAM (de acuerdo con esto el número de bit m de los bits de código de un código LDPC mapeado a un símbolo es 6 similar como en la Figura 16) y el múltiplo B es 2, y un cuarto método de reemplazo.

[0150]

Donde el múltiplo b es 2, la memoria 31 tiene una capacidad de almacenamiento de N/ (6 x 2) x (6 x 2) bits en la dirección de columna x la dirección de fila e incluye 12 (=6 x 2) columnas.

[0151]

La Figura 17A ilustra un orden de escritura de un código LDPC en la memoria 31.

[0152]

El desmultiplexor 25 lleva a cabo la escritura de los bit de código de un código LDPC en la dirección de hacia abajo debes de arriba de una columna que forma la memoria 31 (en la dirección de columna) que inicia con la columna al lado izquierdo hacia una columna al derecho como se describe a continuación con referencia a la Figura 16.

[0153]

Entonces, si la escritura de los bits de código finaliza con el bit más inferior más a la derecha, entones los bits de código son leídos y suministrados a la sección de reemplazo 32 en una unidad de 12 bits (mb bits) en la dirección de fila que inicia en la primera fila de todas las columnas que forman la memora 31.

[0154]

La sección de reemplazo 32 lleva a cabo un proceso de remplazar la posición de 12 bits de código desde la memoria 31 de acuerdo con el cuarto método de reemplazo y saca los 12 bits obtenidos por el reemplazo como los 12 bits representativos de dos símbolos (símbolos b) del 64QAM, en particular, como los 6 bits de símbolo $y_0$, $y_1$, $y_2$, $y_3$, $y_4$ y $y_5$ representativos de un símbolo de 64QAM y 6 bits de símbolo $y_0$, $y_1$, $y_2$, $y_3$, $y_4$ y $y_5$ representativos de un siguiente símbolo.

[0155]

Aquí, la Figura 17B ilustra el cuarto método del proceso de reemplazo médiate la sección de reemplazo 32 de la Figura 17A.

000332

[0156]

Cabe notar que, donde el múltiplo b es 2 (similarmente también donde el múltiplo b es igual o mayor de 3), en el proceso de reemplazo los mb bits de código son asignados a los bits de símbolo mb de los símbolos sucesivos b. En la siguiente descripción que incluye la descripción dada con referencia a la Figura 17, el bit i+1ava del bit más significativo de entre de los bits de símbolo mb de los símbolos sucesivos b es representado como bit (bit de símbolo) $y_i$ para la conveniencia de la descripción.

[0157]

Más aun, cual método de remplazo es óptimo, esto es, tal método de remplazo suministra un índice de error mejorado es una ruta de comunicación a AWGN, difiere dependiendo del índice de codificación, longitud de código y método de modulación del código LDPC y así sucesivamente.

[0158]

Ahora, el intercalamiento de paridad mediante el intercalador de paridad 23 de la Figura 8 se describe con referencia a las Figuras 18 a 20.

[0159]

La Figura 18 muestra (parte de) una gráfica Tanner de la matriz de comprobación de paridad del código LDPC.

[0160]

Así una pluralidad de (los bits de código que corresponde a) los nudos variables que conectan a un nodo de revisión tal como dos nodos variables sufren de un error tal como borrado al mismo tiempo como se muestra en la Figura 18, entonces el nodo de revisión regresa un mensaje de una probabilidad igual que representa qué probabilidad del valor pueda ser 0 y la probabilidad de que el valor pueda ser 1 son iguales una a la otra a todos los nudos variables que conectan el nodo de revisión. Por lo tanto, si una pluralidad de nodos variables que conectan al mismo nodo de revisión se coloca en un estado de borrado o similar en ese momento, entonces se deteriorara el desempeño en la decodificación.

[0161]

De manera incidental, el código LDPC generado desde la sección de codificación LDPC 21 de la Figura 8 y preescrita en el estándar DVB-S.2 es un código IRA, y la matriz de paridad $H_T$ de la matriz de paridad H tiene una estructura escalonada como se muestra en la Figura 10.

[0162]

La Figura 19 Ilustra la matriz de paridad $H_T$ que tiene una estructura escalonada y una gráfica Tanner que corresponde la matriz de paridad $H_T$.

[0163]

En particular, la Figura 19A ilustra una matriz de paridad HT que tiene una estructura escalonada y la Figura 19B muestra una gráfica Tanner que corresponde a la matriz de paridad $T_H$ de la Figura 19A.

[0164]

Donde la matriz de paridad HT tiene una estructura escalonada, en la gráfica Taneer de la matriz de paridad HT, los nodos variables del código LDPC que corresponde a una columna de un elemento de la matriz de paridad HT que tiene el valor de 1 y cuyo mensaje se determina utilizando los bits de código adyacentes (bits de paridad) se conectan al mismo nodo de revisión.

[0165]

De acuerdo con esto, si los bits de paridad adyacentes descritos anteriormente se colocan en un estado de error por los errores en ráfaga, el borrado o similares, entonces en razón a que el nodo de revisión que conecta a una pluralidad de nodos variables corresponden a los bits de paridad plurales que se han convertido en un error (nodos variables cuyo mensaje se va a determinar utilizando los bits de paridad) regresan un mensaje de una probabilidad igual que representan que la probabilidad de que ese valor pueda ser 0 y la probabilidad de que ese valor sea 1 puede ser igual una a la otra a los nodos variables que conectan el nodo de revisión, se deteriora el desempeño de la decodificación. Entonces, donde la longitud de ráfaga (número de bits que son hechos un error por medio de una ráfaga) es grande, el desempeño de la decodificación se deteriora adicionalmente.

[0166]

Por lo tanto, con el fin de evitar el deterioro en el desempeño de la decodificación descrita anteriormente, el intercalador de paridad 23 (Figura. 8) lleva a cabo el intercalado y los bits de paridad intercalantes del código LDPC desde la sección de codificación LDPC 21 a las posiciones de los otros bits de paridad.

[0167]

La Figura. 20 ilustra una matriz de paridad $H_T$ de una matriz de comprobación de paridad H que corresponde al código LDPC después de que el intercalador de paridad llevado a a cabo después del intercalador del intercalador de paridad llevado a cabo por intercalador de paridad 23 de la Figura 8.

[0168]

Aquí, la matriz de información $H_A$ de la matriz de comprobación de paridad H corresponde al código LDPC prescrito en el estándar DVB-S.2 y generado desde la sección de codificación LDPC 21 tiene una estructura cíclica.

000335

Donde la longitud de información esta representa por K y un entero mayor de 0 pero inferior a P se representa por x mientras que el entero mayor de 0 pero inferior de q se representa por y, el intercalador de paridad 23 intercala, como intercalado de paridad, el código K+qx+y+1ava bit de entre los bits de paridad que son 1ava+K a K+Mavo (k + M = N) bits del código LDPC desde la sección de codificación LDPC 21 a la posición del bit de código K+PY+x+1ava.

[0175]

De acuerdo con tal intercalado de paridad, en razón a que las (bit de paridad que corresponde hacia) los nodos variables que conectan el mismo nodo de revisión se separan por una distancia que corresponde al número de columna P de la estructura cíclica, aquí, por 360 bits, donde la longitud de ráfaga es más pequeña de 360 bits, tal situación de que una pluralidad de nodos variables que conecten el mismo nodo de revisión se hagan erróneos al mismo tiempo se puede evitar. Como resultado, se puede mejorar la tolerancia al error de ráfaga.

[0176]

Cabe notar que el código LDPC después de intercalar la paridad por medio de la cual el bit de código K+qx+y+1ava se intercala a la posición del bit de código K+Py+1ava coincide con el código LDPC de una matriz de comprobación de paridad (en lo sucesivo denominada también como matriz de comprobación de paridad de conversión) obtenida por el reemplazo de columna de remplazar la columna K+qx+y+1ava de la matriz de comprobación de paridad original H en la columna K+Py+x+1ava.

[0177]

Además, en la matriz de paridad de la matriz de comprobación de paridad de conversión, una seudoestructura cíclica cuya unidad es P columnas (en la Figura 20, 360 columnas) aparece como vista en la Figura.20.

[0178]

Aquí, la estructura seudocíclica significa una estructura que tiene una porción que tiene una estructura cíclica excepto parte de esta. En una columna de comprobación de paridad de conversión obtenida al aplicar el reemplazo de columna que corresponde a intercalar la paridad con la matriz de comprobación de paridad del código LDPC prescrito en el estándar DVB-S.2, una porción de las 360 filas x 360 columnas (matriz de cambio descrita en lo sucesivo) en una porción de la esquina derecha es corta de un elemento de 1 (que tiene el valor 0). Por lo tanto, la matriz de comprobación de paridad de conversión no tiene una estructura cíclica (completa) si no que tiene una estructura seudocíclica.

[0179]

Cabe notar que la matriz de comprobación de paridad de conversión de la Figura 20 es una matriz que tiene también el reemplazo de las filas (reemplazo de fila) para configurar la matriz de comprobación de paridad de conversión desde una matriz de configuración descrita a continuación se aplica a la matriz de comprobación de paridad original H además del reemplazo de columna que corresponde al intercalado de paridad.

[0180]

Ahora, el intercalado de giro de columna como un proceso de re-disposición por el intercalador de giro de *columna* 24 de la Figura 8 se describió con referencia a las Figuras 21 a 24.

[0181]

En el aparato de trasmisión de 11 de la Figura 8, dos o más de los bits de código del código LDPC se trasmiten como un símbolo como se describió a continuación con el fin de mejorar la eficiencia de utilización de las frecuencias. En particular, por ejemplo, donde los 2 bits de los bits de código se han utilizado para formar un símbolo, por ejemplo, QPSK se utiliza como el método de modulación, pero donde los 4 bits del los bits de código se han utilizado para formar un símbolo, por ejemplo, 16QAM se utilizan como el método de modulación.

[0182]

Donde dos o más de los bits de código se trasmiten como un símbolo de esta manera, si el ocurre un borrado o algo similar con cierto símbolo, todos los bits de código (asignados a los bits de símbolo) del símbolo se convierten en un error (borrado).

[0183]

De acuerdo con esto, con el fin de disminuir la probabilidad de que la pluralidad de (bits de código que correspondan a) los nodos variables que conectan al mismo nodo de revisión puedan sufrir de borrado al mismo tiempo para mejorar el desempeño en la decodificación, es necesario evitar los nodos variables que corresponden a los bits de código de un símbolo desde conectar al mismo nodo de revisión.

[0184]

Mientras tanto, la matriz de comprobación de paridad H de un código LDPC prescrita en el estándar DVB-S.2 y generada desde la sección de codificación LDPC 21, la matriz de información $H_A$ tiene una estructura cíclica y la matriz de paridad HT tiene una estructura escalonada como se describió anteriormente. Entones, en una matriz de comprobación de paridad de conversión que sea una matriz de comprobación de paridad del código LDPC después de intercalar la paridad, una estructura ciclica (precisamente, una estructura seudocíclica como se describió anteriormente) aparec también en la matriz de paridad como se describió en la Figura 20.

[0185]

La Figura. 21 muestra una matriz de comprobación de paridad de conversión.

[0186]

En particular, la Figura 21A ilustra una matriz de comprobación de paridad de conversión de una matriz de comprobación de paridad de conversión H que tenga una longitud de código N de 64,800 bits y un índice de codificación (r) de 3/4.

[0187]

En la Figura 21A, la posición de elemento que tiene el valor 1 en la matriz de comprobación de paridad de conversión se indica mediante un punto (·).

[0188]

En la Figura 21B, un proceso llevado a cabo mediante el desmultiplexor 25 (Figura. 8) para el código LDPC de la matriz de comprobación de paridad de conversión de la Figura 21A, esto es, el código LDPC después del intercalado de paridad.

[0189]

En la Figura 21B, los bits de código del código LDPC después del intercalado de paridad de escriben en la dirección de columna en cuatro columnas que forman la memoria 31 del desmultiplexor 25 utilizando 16QAM como el método de modulación.

[0190]

Los bits de código escritos en la dirección de columna en las cuatro columnas que forman la memoria 31 son leídos en la dirección de fila en una unidad de 4 bits hacia un símbolo.

[0191]

En este caso, los 4 bits de código $B_0$, $B_1$, $B_2$ y $B_3$ que hacen un símbolo algunas veces hacen los bits de código que corresponden a 1 e incluyen en una fila arbitraria de l matriz de comprobación de paridades después de la conversión de la Figura 21A, y en este caso, los nodos variables que corresponden a los bits de código $B_0$, $B_1$, $B_2$ y $B_3$ se conectan al mismo nodo de revisión.

[0192]

De acuerdo con esto, donde los 4 códigos de bits $B_0$, $B_1$, $B_2$ y $B_3$ de un símbolo se vuelven los bits de código que corresponden a 1 e incluidos en una fila arbitraria de la matriz de comprobación de paridad de conversión, si ocurre el borrado con el símbolo, entonces el mismo nodo de revisión al cual los nodos variables que corresponden a los bits de código $B_0$, $B_1$, $B_2$ y

$B_3$ se conectan no se puede determinar un mensaje apropiado. Como resultado, se deteriora el desempeño en la decodificación.

[0193]

También con relación a los índices de codificación diferentes del índice de codificación de 3/4, una pluralidad de los bits de código que corresponde a pluralidad de los nodos variables que conectan al mismo nodo de revisión algunas veces hace un símbolo de 16QAM similarmente.

[0194]

Por lo tanto, el intercalador de giro de columna 24 lleva a cabo el intercalado de giro de columna en donde los bits de código del código LDPC después del intercalado de paridad del intercalador de paridad 23 son intercalados de tal manera que la pluralidad de bits de código que corresponde a 1 y que se incluyen a una fila arbitraria de la matriz de comprobación de paridad de conversión no se incluyen en un símbolo.

[0195]

La Figura. 22 es una vista que ilustra el intercalado de giro de columna.

[0196]

En particular, la Figura 22 ilustra la memoria 31 (Figuras. 16 y 17) del desmultiplexor 25.

[0197]

La memoria 31 tiene una capacidad de almacenamiento para almacenar mb bits en la dirección de columna (vertical) y almacena N/ (mb) bits en la dirección de fila (horizontal) e incluye mb columnas como se describió en la Figura 16. Entonces, el intercalador de giro de columna 24 escribe los bits del código LDPC en la dirección de columna en la memoria 31 y controla la posición de inicio de escritura cuando los bits de código son leídos en la dirección de fila para llevar a cabo el intercalado de giro de columna.

[0198]

En particular, el intercalador de giro de columna 24 cambia adecuadamente la posición de inicio de escritura en la cual la escritura de los bits código a ser iniciada desde cada una de la pluralidad de columnas de tal manera que pluralidad de bits de código leídos en la dirección de fila y utilizados para hacer un símbolo puedan no volverse en los bits de código que corresponden a 1 e incluidos en una fila arbitraria de la matriz comprobación de paridad de conversión (re-disposición de los bits del código LDPC de tal manera que pluralidad de los bits de código que corresponden a 1 y que estén incluidos en la fila arbitraria de la matriz de comprobación de paridad puedan no ser incluidos en el mismo símbolo).

[0199]

Aquí, en la Figura 22 muestra un ejemplo de una configuración de la memoria 31 donde el método de modulación es 16QAM y además en múltiplo b descrito a continuación con referencia a la Figura.16 es 1. De acuerdo con esto, el número de bit m de los bits de código de un código LDPC para ser un símbolo es 4 bits, y la memoria 31 se forma de cuatro (= mb) columnas.

[0200]

El intercalador de giro de columna 24 (en lugar del desmultiplexor 25 mostrado en la Figura.16) lleva a cabo la escritura de los bits de código del código LDPC en una dirección hacia abajo (dirección de columna) desde arriba hacia las cuatro columnas que forman la memoria 31 que inician desde la columna al lado izquierdo hacia la columna al lado derecho.

[0201]

Entonces, cuando la escritura de los bits de código finaliza en la columna más hacia la derecha, el intercalador de giro de columna 24 así lee los bits de código en una unidad de 4 bits (mb bits) en la dirección de la fila que inicia con la primera fila de todas las columnas que forman la memoria 31 y generan los bits de código como un código LDPC después de que el giro de columna se intercala con la sección 32 (Figuras. 16 y 17) del desmultiplexor 25.

[0202]

Sin embargo, si la dirección de la posición de la cabeza (parte más superior)de cada columna representada por 0 y la dirección de las posiciones en la columna dirección de la columna representadas por los enteros de un orden ascendente, de entonces el intercalador de giro de la columna 24 establece, para la columna más a la izquierda, la posición de inicio de escritura en cuya posición la dirección es 0; establece, para la segunda columna (desde la izquierda), la posición de inicio de escritura a la posición cuya dirección es 2; establece, para la tercera columna la posición de inicio de escritura a la posición cuya dirección es 4; y establece, para la cuarta columna, la posición de inicio de escritura a la posición cuya dirección es 7.

[0203]

Cabe notar que, con relación a las columnas para las cuales la posición de inicio de partida es cualquier otra posición de la posición cuya dirección es 0, después de los bits de código sean escritos hacia abajo a la posición mas hacia abajo, la posición de escritura regresa a la parte superior (posición cuya dirección es 0) y escribir hacia abajo una posición inmediatamente o que precede inmediatamente una posición de inicio de escritura se lleva a cabo. Posteriormente, se lleva a cabo la escritura en la siguiente columna (derecha).

[0204]

000340

El llevar a cabo tal intercalado de giro de columna como se describió anteriormente, tal situación de que la pluralidad de bits de código que corresponden a la pluralidad de nuevas variables que conectan el mismo nodo de revisión son hechas de un símbolo de 16QAM (incluido en el mismo símbolo) con relación a los códigos LDPC de todos los índices de codificación cuya longitud de código N es 64,800 como se prescribió en el estándar DVB-S.2 se puede evitar, como resultado, se puede mejorar el desempeño en la decodificación en una ruta de comunicación que suministre borrado.

[0205]

La Figura.23 ilustra el número de columnas de la memoria 31 necesarias para intercalar el giro de columna y la dirección de la posición de inicio de la escritura para cada método de modulación con relación a los códigos LDPC de los once diferentes índices de codificación que tienen la longitud de código N de 64,800 como se prescribo en el estándar DVB-S.2.

[0206]

Donde el múltiplo b es 1 y además, en razón, a que, por ejemplo, QPSK se adopta como el método de modulación, el número bit m de un símbolo es 2 bits, de acuerdo a la Figura 23, la memoria 31 tiene dos columnas para almacenar 2 x 1 (= mb) bits en la dirección de la fila y almacena 64,800/(2 x 1) bits en la dirección de la columna.

[0207]

Entonces, la posición de inicio de la escritura para la primera de las dos columnas de la memoria 31 se establece en la posición cuya dirección es 0, y la posición de inicio de escritura para la segunda columna se establece en la posición cuya dirección es 2.

[0208]

Cabe notar que el múltiplo b es 1, por ejemplo, donde uno de los primeros a terceros métodos de reemplazo de la Figura 16 se adopta como un método de reemplazo del proceso de reemplazo del desmultiplexor 25 (Figura. 8) o en caso similar.

[0209]

Donde el múltiplo b es 2 y además, desde, por ejemplo, el QPSK se adopta como el método de modulación, el número de bit m de un símbolo es de 2 bits, de acuerdo a la Figura 23, la memoria 31 tiene cuatro columnas para almacenar 2 x 2 bits en la dirección de la fila y almacena 64,800(2 x 2) bits en la dirección de la columna.

[0210]

Luego, la posición de inicio de escritura para la primera de las cuatro primeras columnas de la memoria 31 se establece en la posición cuya dirección es 0, la posición de inicio de la escritura para la segunda columna se establece en la posición cuya dirección es 2, la posición

000341

de inicio de escritura para la tercera columna se establece en la posición cuya dirección es 4, y la posición para inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 7.

[0211]

Cabe notar que el múltiplo b es 2, por ejemplo, el método de curto de cuarto reemplazo de la Figura 17 se adopta como el método de reemplazo del proceso de reemplazo del desmultiplexor 25 (Figura. 8)

[0212]

Donde el múltiplo b es 1 y además, en razón a que por ejemplo, 16QAM se adopta como el método de modulación, el número de bit m de un símbolo es 4 bits, de acuerdo con la figura 23, la memoria 31 tiene cuatro columnas para almacenar 4 x 1 bits en la dirección de la fila y almacena 64,800/(4 x 1) en la dirección de la columna.

[0213]

Entonces, la posición de inicio de escritura para la primera de las cuatro columnas de la memoria 31 se ajusta a la posición cuya dirección es 0, la posición de inicio de escritura para la segunda columna se establece en la posición cuya dirección es 2, la posición de inicio de escritura para la tercera columna se establece en la posición cuya dirección es 4, y la posición para inicio de escritura para la cuarta se establece en la posición cuya dirección es 7.

[0214]

Donde el múltiplo b es 2 y además, en razón a que, por ejemplo, 16QAM se adopta como el método de modulación, el número bit m de un símbolo es 4 bits, de acuerdo a la Figura 23, la memoria 31 tiene ocho columnas para almacenar 4 x 2 bits en la dirección de la fila y almacena 64,800/(4 x 2) en la dirección de la columna.

[0215]

Luego, la posición de inicio de escritura para la primera de ocho columnas de la memoria 31 se establece en la posición cuya dirección es 0, la posición de inicio de escritura para la segunda columna se establece en la posición cuya dirección es 0, la posición de inicio de escritura para la tercera columna se establece en la posición cuya dirección es 2, la posición de inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 4, la posición de inicio de escritura para la quinta columna se establece en la posición cuya dirección es 4, la posición de inicio de escritura para la sexta columna se establece en la posición cuya dirección es 5, la posición de inicio de escritura para la séptima columna se establece en la posición cuya dirección es 7, y la posición de inicio de escritura para la octava columna se establece en la posición cuya dirección es 7.

000942

[0216]

Donde el múltiplo b es 1 y además, en razón a que, por ejemplo, 64QAM se adopta como el método de modulación, el número bit m de un símbolo es de 6 bits, de acuerdo a la Figura 23, la memoria 31 tiene seis columnas para almacenar 6 x 1 bits en la dirección de la fila y almacena 64,800 (6 x 1) en la dirección de columna.

[0217]

Entonces, la posición para inicio de escritura para la primera de las seis columnas de la memoria 31 se establece en la posición cuya dirección es 0, la posición para inicio de escritura para la segunda columna se establece en la posición cuya dirección es 2, la posición para inicio de escritura para la tercera columna se establece en la posición cuya dirección es 5, la posición para inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 9, la posición para inicio de escritura para la quinta columna se establece en la posición cuya dirección es 10, y la posición para inicio de escritura para la sexta columna se establece en la posición cuya dirección es 13.

[0218]

Donde el múltiplo b es 2 y además, en razón a que, por ejemplo, 64QAM se adopta como el método de modulación, el número bit m del método de un símbolo es 6 bits, de acuerdo con la Figura 23, la memoria 31 tiene doce columnas para almacenar 6 x 2 bits en la dirección de la fila y almacena 64,800/(6 x 2) bits en la dirección de columna.

[0219]

Entonces, la posición para inicio de escritura para la primera de las doce columnas de la memoria 31 se establece en la posición cuya dirección es 0, la posición para inicio de escritura para la segunda columna se establece en la posición cuya dirección es 0, la posición para inicio de escritura para la tercera columna se establece en la posición cuya dirección es 2, la posición para inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 2, la posición para inicio de escritura para la quinta columna se establece en la posición cuya dirección es 3, la posición para inicio de escritura para la sexta columna se establece en la posición cuya dirección es 4, la posición para inicio de escritura para la séptima columna se establece en la posición cuya dirección es 4, la posición para inicio de escritura para la octava columna se establece en la posición cuya dirección es 5, la posición para inicio de escritura para la novena columna se establece en la posición cuya dirección es 5, la posición para inicio de escritura para la decima columna se establece en la posición cuya dirección es 7, la posición para inicio de escritura para la onceava columna se establece en la posición cuya dirección es 8, y la posición para inicio de escritura para la doceava columna se establece en la posición cuya dirección es 9.

[0220]

Donde el múltiplo b es 1 y además, en razón a que, por ejemplo, 64QAM se adopta como el método de modulación, el número de bit m de un símbolo es 8 bits, de acuerdo con la Figura 23, la memoria 31 tiene ocho columnas para almacenar 8 x 1 bits en la dirección de la fila y almacena 64,800/(8 x 1) bits en la dirección de columna.

[0221]

Entonces, la posición para inicio de escritura para la primera de las ocho columnas de la memoria 31 se establece en la posición cuya dirección es 0, la posición para inicio de escritura para la segunda columna se establece en la posición cuya dirección es 0, la posición para inicio de escritura para la tercera columna se establece en la posición cuya dirección es 2, la posición para inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 4, la posición para inicio de escritura para la quinta columna se establece en la posición cuya dirección es 4, la posición para inicio de escritura para la sexta columna se establece en la posición cuya dirección es 5, la posición para inicio de escritura para la séptima columna se establece en la posición cuya dirección es 7, y la posición para inicio de escritura para la octava columna se establece en la posición cuya dirección es 7.

[0222]

Donde el múltiplo b es 2 y además, en razón a que, por ejemplo, se adopta 256QAM como el método de modulación, el número de bit m de un símbolo es 8 bits, de acuerdo con a la Figura 23, la memoria 31 tiene dieciséis columnas para almacenar 8 x 1 bits en la dirección de la fila y almacena 64,800/(8 x 1) bits en la dirección de columna.

[0223]

Entonces, la posición para inicio de escritura para la primera de las dieciséis columnas de la memoria 31 se establece en la posición cuya dirección es 0, la posición para inicio de escritura para la segunda columna se establece en la posición cuya dirección es 2, la posición para inicio de escritura para la tercera columna se ajusta a la posición cuya dirección es 2, la posición para inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 2, la posición para inicio de escritura para la quinta columna se establece en la posición cuya dirección es 2, la posición para inicio de escritura para la sexta columna se establece en la posición cuya dirección es 3, la posición para inicio de escritura para la séptima columna se establece en la posición cuya dirección es 7, la posición para inicio de escritura para la octava columna se establece en la posición cuya dirección es 15, la posición para inicio de escritura para la novena columna se establece en la posición cuya dirección es 16, la posición para inicio de escritura para la décima columna se establece en la posición cuya dirección es 20, la posición para inicio de escritura para la onceava columna se establece en la posición cuya dirección es 22, la posición para inicio de escritura para la doceava columna se establece en la posición cuya dirección es 22, la posición para inicio de escritura para la treceava columna se establece en la posición cuya dirección es 27, la posición para inicio de

escritura para la catorceava columna se establece en la posición cuya dirección es 27, la posición para inicio de escritura para la quinceava columna se establece en la posición cuya dirección es 28, y la posición para inicio de escritura para la dieciseisava columna se establece en la posición cuya dirección es 32.

[0224]

Donde el múltiplo b es 1 y además, en razón a que, por ejemplo, se adopta 1024QAM como el método de modulación, el número de bit m de un símbolo es 10 bits, de acuerdo con la Figura 23, la memoria 31 tiene diez columnas para almacenar 10 x 1 bits en la dirección de la fila y almacena 64,800/(10 x 1) bits en la dirección de columna.

[0225]

Entonces, la posición para inicio de escritura para la primera de las diez columnas de la memoria 31 se establece en la posición cuya dirección es 0, la posición para inicio de escritura para la segunda columna se establece en la posición cuya dirección es 3, la posición para inicio de escritura para la tercera columna se establece en la posición cuya dirección es 6, la posición para inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 8, la posición para inicio de escritura para la quinta columna se establece en la posición cuya dirección es 11, la posición para inicio de escritura para la sexta columna se establece en la posición cuya dirección es 13, la posición para inicio de escritura para la séptima columna se establece en la posición cuya dirección es 15, la posición para inicio de escritura para la octava columna se establece en la posición cuya dirección es 17, la posición para inicio de escritura para la novena columna se establece en la posición cuya dirección es 18, la posición para inicio de escritura para la décima columna se establece en la posición cuya dirección es 20.

[0226]

Donde el múltiplo b es 2 y además, en razón a que, por ejemplo, se adopta 1024QAM como el método de modulación, el número de bit m de un símbolo es 10 bits, de acuerdo con la Figura 23, la memoria 31 tiene veinte columnas para almacenar 10 x 2 bits en la dirección de la fila y almacena 64,800/(10 x 2) bits en la dirección de columna.

[0227]

Entonces, la posición para inicio de escritura para la primera de las doce columnas de la memoria 31 se establece en la posición cuya dirección es 0, la posición para inicio de escritura para la segunda columna se establece en la posición cuya dirección es 1, la posición para inicio de escritura para la tercera columna se establece en la posición cuya dirección es 3, la posición para inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 4, la posición para inicio de escritura para la quinta columna se establece en la posición cuya dirección es 5, la posición para inicio de escritura para la sexta columna se establece en la posición cuya dirección es 6, la posición para inicio de escritura para la séptima columna se

establece en la posición cuya dirección es 6, la posición para inicio de escritura para la octava columna se establece en la posición cuya dirección es 9, la posición para inicio de escritura para la novena columna se establece en la posición cuya dirección es 13, la posición para inicio de escritura para la décima columna se establece en la posición cuya dirección es 14, la posición para inicio de escritura para la onceava columna se establece en la posición cuya dirección es 14, la posición para inicio de escritura para la doceava columna se establece en la posición cuya dirección es 16, la posición para inicio de escritura para la treceava columna se establece en la posición cuya dirección es 21, la posición para inicio de escritura para la catorceava columna se establece en la posición cuya dirección es 21, la posición para inicio de escritura para la quinceava columna se establece en la posición cuya dirección es 23, la posición para inicio de escritura para la decimosexta columna se establece en la posición cuya dirección es 25, la posición para inicio de escritura para la decimoséptima columna se establece en la posición cuya dirección es 25, la posición para inicio de escritura para la decimaoctava columna se establece en la posición cuya dirección es 26, la posición para inicio de escritura para la decimonovena columna se establece en la posición cuya dirección es 28, la posición para inicio de escritura para la vigésima columna se establece en la posición cuya dirección es 30.

[0228]

Donde el múltiplo b es 1 y además, en razón a que, por ejemplo, se adopta 4096QAM como el método de modulación, el número de bit m de un símbolo es 12 bits, de acuerdo con a la Figura 23, la memoria 31 tiene doce columnas para almacenar 12 x 1 bits en la dirección de la fila y almacena 64,800/(12 x 1) bits en la dirección de columna.

[0229]

Entonces, la posición para inicio de escritura para la primera de las doce columnas de la memoria 31 se establece en la posición cuya dirección es 0, la posición para inicio de escritura para la segunda columna se establece en la posición cuya dirección es 0, la posición para inicio de escritura para la tercera columna se establece en la posición cuya dirección es 2, la posición para inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 2, la posición para inicio de escritura para la quinta columna se establece en la posición cuya dirección es 3, la posición para inicio de escritura para la sexta columna se establece en la posición cuya dirección es 4, la posición para inicio de escritura para la séptima columna se establece en la posición cuya dirección es 4, la posición para inicio de escritura para la octava columna se establece en la posición cuya dirección es 5, la posición para inicio de escritura para la novena columna se establece en la posición cuya dirección es 5, la posición para inicio de escritura para la décima columna se establece en la posición cuya dirección es 7, la posición para inicio de escritura para la onceava columna se establece en la posición cuya dirección es 8, la posición para inicio de escritura para la doceava columna se establece en la posición cuya dirección es 9.

000046

[0230]

Donde el múltiplo b es 2 y además, en razón a que, por ejemplo, se adopta 4096QAM como el método de modulación, el número de bit m de un símbolo es 12 bits, de acuerdo con la Figura 23, la memoria 31 tiene veinticuatro columnas para almacenar 12 x 2 bits en la dirección de la fila y almacena 64,800/(12 x 2) bits en la dirección de columna.

[0231]

Entonces, la posición para inicio de escritura para la primera de las veinticuatro columnas de la memoria 31 se establece en la posición cuya dirección es 0, la posición para inicio de escritura para la segunda columna se establece en la posición cuya dirección es 5, la posición para inicio de escritura para la tercera columna se establece en la posición cuya dirección es 8, la posición para inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 8, la posición para inicio de escritura para la quinta columna se establece en la posición cuya dirección es 8, la posición para inicio de escritura para la sexta columna se establece en la posición cuya dirección es 8, la posición para inicio de escritura para la séptima columna se establece en la posición cuya dirección es 10, la posición para inicio de escritura para la octava columna se establece en la posición cuya dirección es 10, la posición para inicio de escritura para la novena columna se establece en la posición cuya dirección es 10, la posición para inicio de escritura para la décima columna se establece en la posición cuya dirección es 12, la posición para inicio de escritura para la onceava columna se establece en la posición cuya dirección es 13, la posición para inicio de escritura para la doceava columna se establece en la posición cuya dirección es 16, la posición para inicio de escritura para la treceava columna se establece en la posición cuya dirección es 17, la posición para inicio de escritura para la catorceava columna se establece en la posición cuya dirección es 19, la posición para inicio de escritura para la quinceava columna se establece en la posición cuya dirección es 21, la posición para inicio de escritura para la decimosexta columna se establece en la posición cuya dirección es 22, la posición para inicio de escritura para la decimoséptima columna se establece en la posición cuya dirección es 23, la posición para inicio de escritura para la decimoctava columna se establece en la posición cuya dirección es 26, la posición para inicio de escritura para la decimonovena columna se establece en la posición cuya dirección es 37, la posición para inicio de escritura para la vigésima columna se establece en la posición cuya dirección es 39, la posición para inicio de escritura para la vigésima primera columna se establece en la posición cuya dirección es 40, la posición para inicio de escritura para la vigésima segunda columna se establece en la posición cuya dirección es 41, la posición para inicio de escritura para la vigésima tercera columna se establece en la posición cuya dirección es 41, y la posición para inicio de escritura para la vigésima cuarta columna se establece en la posición cuya dirección es 41.

[0232]

La Figura. 24 indica el número de columnas de la memoria 31 necesarias para el intercalado de giro de columna y la dirección de la posición de inicio de escritura par cada método de modulación con relación a los códigos LDPC de los 10 diferentes índices de codificación que tiene la longitud de código N de 16,200 tal como se prescribió en el estándar DVB-S.2.

[0233]

Donde el múltiplo b es 1 y además, en razón a que, por ejemplo, QPSK se adopta como el método de modulación, el número de bit m de un símbolo es 2 bits, de acuerdo a la Figura 23, la memoria 31 tiene dos columnas para almacenar 2 x 1 bits en la dirección de la fila y almacena 16,200/(2 x 1) bits en la dirección de columna.

[0234]

Entonces, la posición para inicio de escritura para la primera de las dos columnas de la memoria 31 se establece en la posición cuya dirección es 0, y la posición para inicio de escritura para la segunda columna se establece en la posición cuya dirección es 0.

[0235]

Donde el múltiplo b es 1 y además, en razón a que, por ejemplo, se adopta QPSK como el método de modulación, el número de bit m de un símbolo es 2 bits, de acuerdo a la Figura 23, la memoria 31 tiene cuatro columnas para almacenar 2 x 2 bits en la dirección de la fila y almacena 16,200/(2 x 2) bits en la dirección de columna.

[0236]

Entonces, la posición para inicio de escritura para la primera de las cuatro columnas de la memoria 31 se establece en la posición cuya dirección es 1, la posición para inicio de escritura para la segunda columna se establece en la posición cuya dirección es 2, la posición para inicio de escritura para la tercera columna se establece en la posición cuya dirección es 3, y la posición para inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 3.

[0237]

Donde el múltiplo b es 1 y además, en razón a que, por ejemplo, se adopta 16QAM como el método de modulación, el número de bit m de un símbolo es 4 bits, de acuerdo con la Figura 24, la memoria 31 tiene cuatro columnas para almacenar 4 x 1 bits en la dirección de fila y almacena 16,200/(4 x 1) bits en la dirección de columna.

[0238]

Entonces, la posición para inicio de escritura para la primera de las cuatro columnas de la memoria 31 se establece en la posición cuya dirección es 0, la posición para inicio de

000348

escritura para la segunda columna se establece en la posición cuya dirección es 2, la posición para inicio de escritura para la tercera columna se establece en la posición cuya dirección es 3, y la posición para inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 3.

[0239]

Donde el múltiplo b es 2 y además, en razón a que, por ejemplo, se adopta 16QAM como el método de modulación, el número de bit m de un símbolo es 4 bits, de acuerdo a la Figura 24, la memoria 31 tiene ocho columnas para almacenar 4 x 2 bits en la dirección de fila y almacena 16,200/(4 x 2) bits en la dirección de columna.

[0240]

Entonces, la posición para inicio de escritura para la primera de las ocho columnas de la memoria 31 se establece en la posición cuya dirección es 0, la posición para inicio de escritura para la segunda columna se establece en la posición cuya dirección es 0, la posición para inicio de escritura para la tercera columna se establece en la posición cuya dirección es 80, la posición para inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 1, la posición para inicio de escritura para la quinta columna se establece en la posición cuya dirección es 7, la posición para inicio de escritura para la sexta columna se establece en la posición cuya dirección es 20, la posición para inicio de escritura para la séptima columna se establece en la posición cuya dirección es 20, la posición para inicio de escritura para la octava columna se establece en la posición cuya dirección es 21.

[0241]

Donde el múltiplo b es 1 y además, en razón a que, por ejemplo, se adopta 64QAM como el método de modulación, el número de bit m de un símbolo es 6 bits, de acuerdo a la Figura 24, la memoria 31 tiene seis columnas para almacenar 6 x 1 bits en la dirección de fila y almacena 16,200/(6 x 1) bits en la dirección de columna.

[0242]

Entonces, la posición para inicio de escritura para la primera de las seis columnas de la memoria 31 se establece en la posición cuya dirección es 0, la posición para inicio de escritura para la segunda columna se establece en la posición cuya dirección es 0, la posición para inicio de escritura para la tercera columna se establece en la posición cuya dirección es 2, la posición para inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 3, la posición para inicio de escritura para la quinta columna se establece en la posición cuya dirección es 7, la posición para inicio de escritura para la sexta columna se establece en la posición cuya dirección es 7.

[0243]

Donde el múltiplo b es 2 y además, en razón a que, por ejemplo, se adopta 64QAM como el método de modulación, el número de bit m de un símbolo es 6 bits, de acuerdo a la Figura 24, la memoria 31 tiene doce columnas para almacenar 6 x 2 bits en la dirección de fila y almacena 16,200/(6 x 2) bits en la dirección de columna.

[0244]

Entonces, la posición para inicio de escritura para la primera de las doce columnas de la memoria 31 se establece en la posición cuya dirección es 0, la posición para inicio de escritura para la segunda columna se establece en la posición cuya dirección es 0, la posición para inicio de escritura para la tercera columna se establece en la posición cuya dirección es 0, la posición para inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 2, la posición para inicio de escritura para la quinta columna se establece en la posición cuya dirección es 2, la posición para inicio de escritura para la sexta columna se establece en la posición cuya dirección es 2, la posición para inicio de escritura para la séptima columna se establece en la posición cuya dirección es 3, la posición para inicio de escritura para la octava columna se establece en la posición cuya dirección es 3, la posición para inicio de escritura para la novena columna se establece en la posición cuya dirección es 3, la posición para inicio de escritura para la décima columna se establece en la posición cuya dirección es 6, la posición para inicio de escritura para la onceava columna se establece en la posición cuya dirección es 7, y la posición para inicio de escritura para la doceava columna se establece en la posición cuya dirección es 7.

[0245]

Donde el múltiplo b es 1 y además, en razón a que, por ejemplo, se adopta 256QAM como el método de modulación, el número de bit m de un símbolo es 8 bits, de acuerdo a la Figura 24, la memoria 31 tiene ocho columnas para almacenar 8 x 1 bits en la dirección de fila y almacena 16,200/(8 x 1) bits en la dirección de columna.

[0246]

Entonces, la posición para inicio de escritura para la primera de las ocho columnas de la memoria 31 se establece en la posición cuya dirección es 0, la posición para inicio de escritura para la segunda columna se establece en la posición cuya dirección es 0, la posición para inicio de escritura para la tercera columna se establece en la posición cuya dirección es 0, la posición para inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 1, la posición para inicio de escritura para la quinta columna se establece en la posición cuya dirección es 7, la posición para inicio de escritura para la sexta columna se establece en la posición cuya dirección es 20, la posición para inicio de escritura para la séptima columna se establece en la posición cuya dirección es 20, la posición para inicio de escritura para la octava columna se establece en la posición cuya dirección es 21.

[0247]

Donde el múltiplo b es 1 y además, en razón a que, por ejemplo, se adopta 1024QAM como el método de modulación, el número de bit m de un símbolo es 10 bits, de acuerdo a la Figura 24, la memoria 31 tiene diez columnas para almacenar 10 x 1 bits en la dirección de fila y almacena 16,200/(10 x 1) bits en la dirección de columna.

[0248]

Entonces, la posición para inicio de escritura para la primera de las diez columnas de la memoria 31 se establece en la posición cuya dirección es 0, la posición para inicio de escritura para la segunda columna se establece en la posición cuya dirección es 1, la posición para inicio de escritura para la tercera columna se establece en la posición cuya dirección es 2, la posición para inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 2, la posición para inicio de escritura para la quinta columna se establece en la posición cuya dirección es 3, la posición para inicio de escritura para la sexta columna se establece en la posición cuya dirección es 3, la posición para inicio de escritura para la séptima columna se establece en la posición cuya dirección es 4, la posición para inicio de escritura para la octava columna se establece en la posición cuya dirección es 4, la posición para inicio de escritura para la novena columna se establece en la posición cuya dirección es 5, la posición para inicio de escritura para la décima columna se establece en la posición cuya dirección es 7.

[0249]

Donde el múltiplo b es 2 y además, en razón a que, por ejemplo, se adopta 1024QAM como el método de modulación, el número de bit m de un símbolo es 10 bits, de acuerdo a la Figura 24, la memoria 31 tiene veinte columnas para almacenar 10 x 1 bits en la dirección de fila y almacena 16,200/(10 x 1) bits en la dirección de columna.

[0250]

Entonces, la posición para inicio de escritura para la primera de las veinte columnas de la memoria 31 se establece en la posición cuya dirección es 0, la posición para inicio de escritura para la segunda columna se establece en la posición cuya dirección es 0, la posición para inicio de escritura para la tercera columna se establece en la posición cuya dirección es 0, la posición para inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 2, la posición para inicio de escritura para la quinta columna se establece en la posición cuya dirección es 2, la posición para inicio de escritura para la sexta columna se establece en la posición cuya dirección es 2, la posición para inicio de escritura para la séptima columna se establece en la posición cuya dirección es 2, la posición para inicio de escritura para la octava columna se establece en la posición cuya dirección es 2, la posición para inicio de escritura para la novena columna se establece en la posición cuya dirección es 5, la posición para inicio de escritura para la décima columna se establece en la posición cuya dirección es 5, la posición para inicio de escritura para la onceava columna se establece en la posición cuya

dirección es 5, la posición para inicio de escritura para la doceava columna se establece en la posición cuya dirección es 5, la posición para inicio de escritura para la treceava columna se establece en la posición cuya dirección es 5, la posición para inicio de escritura para la catorceava columna se establece en la posición cuya dirección es 7, la posición para inicio de escritura para la quinceava columna se establece en la posición cuya dirección es 7, la posición para inicio de escritura para la decimosexta columna se establece en la posición cuya dirección es 6, la posición para inicio de escritura para la decimoséptima columna se establece en la posición cuya dirección es 7, la posición para inicio de escritura para la decimoctava columna se establece en la posición cuya dirección es 8, la posición para inicio de escritura para la decimonovena columna se establece en la posición cuya dirección es 8, la posición para inicio de escritura para la vigésima columna se establece en la posición cuya dirección es 10.

[0251]

Donde el múltiplo b es 1 y además, en razón a que, por ejemplo, se adopta 4096QAM como el método de modulación, el número de bit m de un símbolo es 12 bits, de acuerdo a la Figura 24, la memoria 31 tiene doce columnas para almacenar 12 x 1 bits en la dirección de fila y almacena 16,200/(12 x 1) bits en la dirección de columna.

[0252]

Entonces, la posición para inicio de escritura para la primera de las doce columnas de la memoria 31 se establece en la posición cuya dirección es 0, la posición para inicio de escritura para la segunda columna se establece en la posición cuya dirección es 0, la posición para inicio de escritura para la tercera columna se establece en la posición cuya dirección es 0, la posición para inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 2, la posición para inicio de escritura para la quinta columna se establece en la posición cuya dirección es 2, la posición para inicio de escritura para la sexta columna se establece en la posición cuya dirección es 2, la posición para inicio de escritura para la séptima columna se establece en la posición cuya dirección es 3, la posición para inicio de escritura para la octava columna se establece en la posición cuya dirección es 3, la posición para inicio de escritura para la novena columna se establece en la posición cuya dirección es 3, la posición para inicio de escritura para la décima columna se establece en la posición cuya dirección es 6, la posición para inicio de escritura para la onceava columna se establece en la posición cuya dirección es 7, la posición para inicio de escritura para la doceava columna se establece en la posición cuya dirección es 7.

[0253]

Donde el múltiplo b es 2 y además, en razón a que, por ejemplo, se adopta 4096QAM como el método de modulación, el número de bit m de un símbolo es 12 bits, de acuerdo a la

Figura 24, la memoria 31 tiene veinticuatro columnas para almacenar 12 x 2 bits en la dirección de fila y almacena 16,200/(12 x 2) bits en la dirección de columna.

[0254]

Entonces, la posición para inicio de escritura para la primera de las veinticuatro columnas de la memoria 31 se establece en la posición cuya dirección es 0, la posición para inicio de escritura para la segunda columna se establece en la posición cuya dirección es 0, la posición para inicio de escritura para la tercera columna se establece en la posición cuya dirección es 0, la posición para inicio de escritura para la cuarta columna se establece en la posición cuya dirección es 0, la posición para inicio de escritura para la quinta columna se establece en la posición cuya dirección es 0, la posición para inicio de escritura para la sexta columna se establece en la posición cuya dirección es 0, la posición para inicio de escritura para la séptima columna se establece en la posición cuya dirección es 0, la posición para inicio de escritura para la octava columna se establece en la posición cuya dirección es 1, la posición para inicio de escritura para la novena columna se establece en la posición cuya dirección es 1, la posición para inicio de escritura para la décima columna se establece en la posición cuya dirección es 1, la posición para inicio de escritura para la onceava columna se establece en la posición cuya dirección es 2, la posición para inicio de escritura para la doceava columna se establece en la posición cuya dirección es 2, la posición para inicio de escritura para la treceava columna se establece en la posición cuya dirección es 3, la posición para inicio de escritura para la catorceava columna se establece en la posición cuya dirección es 3, la posición para inicio de escritura para la quinceava columna se establece en la posición cuya dirección es 7, la posición para inicio de escritura para la decimosexta columna se establece en la posición cuya dirección es 9, la posición para inicio de escritura para la decimoséptima columna se establece en la posición cuya dirección es 9, la posición para inicio de escritura para la decimoctava columna se establece en la posición cuya dirección es 9, la posición para inicio de escritura para la decimonovena columna se establece en la posición cuya dirección es 10, la posición para inicio de escritura para la vigésima columna se establece en la posición cuya dirección es 10, la posición para inicio de escritura para la vigésima primera columna se establece en la posición cuya dirección es 10, la posición para inicio de escritura para la vigésima segunda columna se establece en la posición cuya dirección es 10, la posición para inicio de escritura para la vigésima tercera columna se establece en la posición cuya dirección es 10, y la posición para inicio de escritura para la vigésima cuarta columna se establece en la posición cuya dirección es 11.

[0255]

Ahora, un proceso de transmisión llevado a cabo por el aparato de transmisión 11 d la Figura 8 se describe con referencia al diagrama de flujo de la Figura 25.

[0256]

La sección que codifica el LDPC 21 espera que los datos del objeto sean suministrados a este y, en la etapa S101, codifica los datos objeto en los códigos LDPC y sumista los códigos LDPC al intercalador de bit 22. Posteriormente, el procesamiento avanza a la etapa S102.

[0257]

En la etapa S101, el intercalador de bit 22 lleva a cabo el intercalado de bit para los códigos LDPC desde el LDPC desde la sección que codifica el LDPC 21 y le suministra la sección de mapeo 26 un símbolo en el cual los código LDPC son simbolizados después del intercalado. Posteriormente, el procesamiento avanza a la etapa S103.

[0258]

En particular, la etapa S102, el intercalador de paridad 23 en el intercalador de bit 22 lleva a cabo el intercalado de paridad para los códigos LDPC desde la sección de codificación LDPC 21 y le suministra los códigos LDPC después del intercalado de paridad al intercalador de giro de columna 24.

[0259]

El intercalador de giro de columna 24 lleva a cabo el intercalado de giro de columna para el código LDPC desde el intercalador de paridad 23 y suministra un resultado del intercalado giro de columna al desmultiplexor 25.

[0260]

El desmultiplexor 25 lleva cabo un proceso de reemplazo de reemplazar los bits de código del código LDPC después del intercalado de giro de columna por el intercalado de giro de columna 24 y convertir los bits de código después del reemplazo en los bits de símbolo (bits representativos de los símbolos) de los símbolos.

[0261]

Aquí, el proceso de reemplazo para el desmultiplexor 25 se puede llevar a cabo de acuerdo con el primer a cuarto método de reemplazo descritos anteriormente con referencia a las Figuras 16 y 17 y además se puede llevar a cabo con una regla de asignación. La regla de asignación es una regla para asignar bits de código de un código LDPC a bits de símbolo representativo de los símbolos y detalles de la regla de asignación se describen posteriormente.

[0262]

Los símbolos obtenidos por el proceso de reemplazo por el desmultiplexor 25 se suministran desde el desmultiplexor 25 a la sección de mapeo 26.

[0263]

En la etapa S103, la sección de mapeo 26 mapea el símbolo del desmultiplexor 25 a los puntos de señal definidos por el método de la modulación ortogonal llevaba a cabo por la sección de modulación ortogonal 27 y suministra el símbolo de mapeo a la sección de modulación ortogonal 27. Luego, el procesamiento avanza a la etapa S104.

[0264]

En la etapa S104, en la sección de modulación ortogonal 27 lleva a cabo la modulación ortogonal de un portador de acuerdo con los puntos de señal desde la sección de mapeo 26. Luego, el procesamiento avanza a la etapa S105, en la cual es transmitida la señal de modulación obtenida como resultado de la modulación ortogonal, posteriormente el procesamiento termina.

[0265]

Cabe notar que el proceso de transmisión de la Figura 25 se lleva a cabo mediante una cadena de procesamiento repetitivamente.

[0266]

Al llevar a cabo el intercalado de paridad y el intercalado de giro de columna como se describió anteriormente, se puede mejorar la tolerancia al borrado y a los errores en ráfaga donde una pluralidad de bits de código de unos códigos LDPC son trasmitidos como un símbolo.

[0267]

Aquí, mientras que en la Figura.8, el intercalador de paridad 23 que es un bloque para llevar a cabo el intercalado de paridad y un intercalado de giro de columna 24 que es un bloque para llevar a cabo el intercalado de giro de columna se configuran separadamente uno del otro para la convencía de la descripción, el intercalador de paridad 23 y el intercalador de giro de columna 24 pueden de otra manera ser configurados integralmente uno con el otro.

[0268]

En particular, tanto para el intercalado de paridad como el intercalado de giro de columna se pueden llevar a cabo al escribir y leer los bits de código en y desde una memoria se pueden representar por medio de una matriz para convertir la dirección (direcciones de escritura) en las cuales escribir los códigos se llevada a cabo en direcciones (direcciones de lectura) desde los cuales son leídos los bits de código a ser llevados a cabo.

[0269]

De acuerdo con esto, si una matriz obtenida al multiplicar una matriz representativa del intercalado de paridad y la matriz representativa al intercalado de giro de columna se determina por adelantado, entonces si la matriz se utiliza para convertir los bits de código, entonces se

puede obtener un resultado donde el intercalado de paridad llevado a cabo y luego los códigos LDPC después del intercalado de paridad son un giro de columna intercalado.

[0270]

Además, además del intercalador de paridad 23 y del intercalador de giro de columna 24, también el desmultiplexor 25 se puede configurar integralmente.

[0271]

En particular, también el proceso de reemplazo llevado a cabo por el desmultiplexor 25 se puede representar mediante una matriz para convertir las direcciones de escritura de la memoria 31 para almacenar el código LDPC en la dirección de lectura.

[0272]

De acuerdo con esto, si una matriz obtenida por multiplicación de una matriz representativa del intercalado de paridad, otra matriz representativa del intercalado de giro de columna y adicionalmente la matriz representativa del proceso de reemplazo se determina por adelantado, entonces se pueden llevar a cabo el intercalado de paridad, el intercalado de giro de columna y el proceso de reemplazo colectivamente mediante la matriz determinada.

[0273]

Cabe notar que es posible llevar a cabo solamente una de o ninguna del intercalado de paridad y el intercalado de giro de columna.

[0274]

Ahora, se describe una simulación llevada a cabo con relación al aparato de transmisión 11 de la Figura 8 para medir el índice de error (índice de error de bit) con referencia a las Figuras 26 a 28.

[0275]

La simulación fue llevada a cabo adoptando una ruta de comunicación que tiene una oscilación cuyo D/U es 0 dB.

[0276]

La Figura. 26 muestra un modelo de la ruta de comunicación adaptada en la simulación.

[0277]

En particular, la Figura 26A muestra un modelo de la oscilación adoptado en la simulación.

[0278]

Mientras tanto, la Figura 26B muestra un modelo de una ruta de comunicación que tiene una oscilación representada por el modelo de la Figura 26A.

[0279]

Cabe notar que, en la Figura 26B, H representa el modelo de la oscilación de una Figura. 26A. Adicionalmente, en la Figura 26B, N representa ICI (Inter Carrier Interference), y la simulación, y el valor esperado E [$N^2$] de la potencia fue aproximada por AWGN.

[0280]

Las Figuras. 27 y 28 ilustran las relaciones entre el índice de error obtenido por la simulación y la frecuencia Doppler $f_d$ de la oscilación.

[0281]

Cabe notar que la Figura 27 ilustra una relación entre el índice de error de la frecuencia Doppler $f_d$ donde el método de *modulación* es 16QAM y el índice de codificación (r) es (3/4) y además el método de reemplazo es el primer método de reemplazo. Mientras tanto, la Figura 28 ilustra la relación entre el indicie de error y la frecuencia Doppler fb donde el método de modulación es 64QAM y el índice del índice de codificación (r) es (5/6) y además el método de reemplazo es el primer método de reemplazo.

[0282]

Además, en las Figuras. 27 y 28 la línea gruesa curva indica la relación entre el índice error y la frecuencia Doppler $f_d$ donde todo el intercalado de paridad, el intercalado de giro de columna y el proceso de reemplazo se llevaron a cabo, y la línea delgada curva indica la relación entre el índice de error y frecuencia Doppler $f_d$ donde el solamente el proceso de reemplazo desde entre el intercalado de paridad, el intercalado de giro de columna y el proceso de reemplazo se llevan a cabo.

[0283]

Tanto en la Figuras. 27 y 28, se puede reconocer que el índice de error mejora (disminuye) donde todo lo del intercalado de paridad, el intercalado de giro de columna y el proceso de reemplazo se llevan a cabo en lugar de donde solamente se lleva a cabo el proceso de reemplazo.

[0284]

Ahora, la sección de codificación LDPC 21 de la Figura 8 se describe adicionalmente.

[0285]

Como se describió con relación a la Figura 11, en el estándar DVB-S.2 la codificación LDPC de las dos longitudes de código diferente N de 64,800 bits y 16,200 bits prescriben.

000357

[0286]

Y, para el código LDPC cuya longitud de código N 645,800 bits, los índices de codificación 11 1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6, 8/9 y 9/10 están prescritos, y para el código LDPC cuya longitud de código N es 16,200 bits, los 10 índices de código 1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6 y 8/9 estan prescritos (Figura. 11B).

[0287]

La sección que codifica el LDPC 21 lleva a cabo la codificación (codificación de corrección de error) en los códigos LDPC de los diferentes índices de codificación cuya longitud de código N es 64,800 bits o 16,200 bits de acuerdo con la matriz de comprobación de paridad H preparada para cada longitud de código N y para cada índice de codificación.

[0288]

La Figura. 29 muestra un ejemplo de una configuración en la sección de codificación LDPC 21 de la Figura.8.

[0289]

La sección de codificación LDPC 21 incluye un bloque de procesamiento de codificación 601 y un bloque de almacenamiento 602.

[0290]

El bloque de procesamiento de codificación 601 incluye una porción de establecimiento de índice de codificación 611, una porción de lectura de tabla de valor inicial 612, una porción de producción de matriz de comprobación de paridad 613, una porción de lectura de bit de información 614, una porción de operación matemática de paridad codificante 615, y una porción de control 616, y lleva a cabo la codificación LDPC un dato de objeto suministrado a la sección de codificación LDPC 21 y suministra un código LDPC obtenido como resultado de la codificación LDPC al intercalador de bit 22 (Figura. 8).

[0291]

En particular, la porción de establecimiento del índice de codificación 611 ajusta una longitud de código N y un índice de codificación para los códigos LDPC, por ejemplo, en respuesta a una operación de un operador.

[0292]

La porción de lectura de la tabla de valor inicial 612 lee una tabla de valor inicial de matriz de comprobación de paridad en lo sucesivo descritas que corresponde a la longitud de código N y a un índice de codificación establecido por la posición de establecimiento de índice de codificación 611 desde el bloque de almacenamiento 602.

[0293]

La presente producción de la matriz revisión paridad 613 coloca, con base en la lectura de la tabla del valor inicial de matriz de comprobación de paridad mediante la porción de lectura de la tabla de valor inicial 612, los elementos del valor 1 de una matriz $H_A$ que corresponde a la longitud de infamación K (= longitud de código N- Longitud de paridad M) que corresponde a la longitud del código N y al conjunte de índice de codificación mediante la porción de estableciendo del índice de codificación 611 en un periodo de 360 columnas (número de columna unitaria P de la estructura cíclica) en la dirección de columna para producir una matriz de comprobación de paridad H, y almacena la matriz de comprobación de paridad H en el bloque de almacenamiento 602.

[0294]

La porción que lee el bit de información 614 lee los bits de información (extractos) para la longitud de información K desde los datos de objeto suministrados o la sección que codifica el LDPC 21.

[0295]

La porción de la operación matemática de paridad codificante 615 lee la matriz de comprobación de paridad H producida por la porción de producción de matriz de comprobación de paridad 613 desde el bloque de almacenamiento 602 y calcula los bits de paridad que corresponden a la lectura de los bits de información por medio de la porción de lectura del bit de información 614 de acuerdo con una expresión predeterminada para producir una palabra código (código LDPC).

[0296]

La producción de control 616 controla los bloques que componen el bloque de procesamiento codificante 601.

[0297]

En el bloque de almacenamiento 602, la pluralidad de las tablas de valor inicial de matriz de comprobación de paridad y así sucesivamente corresponden individualmente a los índices de codificación plural ilustrados en la Figura 11 con relación a los individuales de las dos longitudes de código N de 64,800 bits y 16,200. Además, el bloque de almacenamiento 602 almacena temporalmente los datos necesarios para procesar el bloque de procesamiento codificante 601.

[0298]

La Figura. 30 es un diagrama de flujo que ilustra un proceso de recepción llevado a cabo por el aparato de recepción 12 de la Figura 29.

[0299]

000359

En la etapa S201, la porción que establece el índice de codificación 611 determina (establece) una longitud de código N y un índice de codificación r utilizado para llevar a cabo la codificación LDPC.

[0300]

En la etapa S202, la porción de lectura de la tabla de valor inicial 612 lee desde el bloque de almacenamiento 602 una tabla de valor inicial de matriz de comprobación de paridad predeterminada que corresponde a la longitud de código N y al índice de codificación r determinado por la porción que establece el índice de codificación 611.

[0301]

En la etapa S203, la porción de producción de de matriz de comprobación de paridad 613 determina (produce) una matriz de comprobación de paridad H para un código LDPC que tiene una longitud de código N y el índice de codificación r determinado por la porción que establece el índice de codificación 611 utilizando una lectura de tabla del valor inicial de matriz de comprobación de paridad leída desde el bloque de almacenamiento 602 por medio de la porción de lectura de la tabla de valor inicial 612, y suministra la matriz de comprobación de paridad H al bloque de almacenamiento 602 con el fin de ser almacenada.

[0302]

En la etapa S204, la porción de lectura de bit información 614 lee los bits de información de la longitud de información K (= N x r) que corresponde a la longitud del código N y al índice de codificación r determinado por la porción que establece el índice de codificación 611 de entre los datos del objeto suministrado al sección de codificación LDPC 21 y lee la matriz de comprobación de paridad H determinada por la porción de producción de matriz de comprobación de paridad 613 desde el bloque de almacenamiento 602, y le suministra la información los bits de la matriz de comprobación de paridad H a la porción de operación matemática de paridad de codificación 615.

[0303]

La etapa S205, la porción de operación matemática de paridad de codificación 615 opera matemáticamente de manera sucesiva un bit de paridad de una palabra código c que satisface una expresión (8).

[304]

$$Hc^T = 0 \quad ...(8)$$

[0305]

En la expresión (8), c indica el vector de fila como en la palabra código (código LDPC) y $c^T$ indica la inversión del vector fila c.

000360

[0306]

Aquí, como se describió anteriormente, donde, desde dentro del vector de fila c como un código LDPC (una palabra codigo), una porción que corresponde a los bits de información se representa mediante un vector de fila A y una porción que corresponde a los bits de paridad se representan mediante el vector de fila T, el vector de fila c se puede representar mediante una expresión c = [A|T] desde el vector de fila A en la media como los bits de información y el vector de fila T como los bits de paridad.

[0307]

Es necesario para la matriz de comprobación de paridad H y e vector de fila c = [A|T] como un código LDPC satisface la expresión $Hc^T = 0$, y donde la matriz de paridad HT de la matriz de comprobación de paridad $H = [H_A|H_T]$ tiene una estructura escalonada mostrada en la Figura 10, el vector de fila T tiene los bits de paridad que configuran el vector de fila c = [A|T] que satisface al expresión $Hc^T = 0$ se pude determinar secuencialmente al establecer los elementos de cada fila a cero con el fin de iniciar con elementos en la primera fila del vector de columna $Hc^T$ en la expresión $Hc^T = 0$.

[0308]

Si la porción de la operación matemática de paridad codificante 615 determina un bit de paridad T para un bit de información A, entonces este genera una pala código c = [A|T] representada por el bit de información A y el bit de paridad T como el resultado que codifica el LDPC del bit de información A.

[0309]

Cabe notar que la palabra código c tiene 64,800 bits o 16,200 bits.

[0310]

Posteriormente, en la etapa S206, la porción de control 616 decide si o no se debe terminar la codificación LDPC. Si se decide en la etapa S206 que no se debe terminar la codificación LDPC, esto es, por ejemplo, si permanecen datos del objeto para ser codificados mediante LDPC, entonces el procesamiento regresa la etapa S201, y posteriormente, se repinten los procesos en las etapas S201 y S206.

[0311]

De otro lado, si se decide en la etapa S206 que se debe terminar la codificación LDPC, esto es, por ejemplo, si no permanecen datos de objeto para ser codificados mediante LDPC, la sección de codificación LDPC 21 termina el procesamiento.

[0312]

Como se describió anteriormente, se preparan las tablas de valor inicial de de matriz de comprobación y paridad que corresponden a las longitudes de código N, y a los índices de codificación r, y la sección de codificación LDPC 21 lleva a cabo la codificación LDPC para una longitud de código predeterminada N y un índice de codificación predeterminado r utilizando una matriz de comprobación de paridad H producida de una tabla de valor inicial de matriz de comprobación de paridad que corresponde a la longitud de código predeterminada N y al índice de codificación predeterminado r.

[0313]

Cada tabla de valor inicial de matriz de comprobación y paridad es una tabla que representa la posición de elementos del valor 1 de la matriz de información $H_A$ que corresponde a la longitud de información K que corresponde a la longitud de código N y al índice de codificación r del código LDPC de la matriz de comprobación de paridad H (código LDPC definido por la matriz de comprobación de paridad H) para cada 360 filas (número de columna unitaria P de la estructura periódica), y se produce por adelantado para una matriz de comprobación de paridad H para cada longitud de código N y cada índice de codificación r.

[0314]

Las Figuras 31 a 58 ilustran algunas de las tablas de valor inicial de matriz de comprobación de paridad prescritas en el estándar de DVB-S.2.

[0315]

En particular, la Figura 31 muestra la tabla de valor inicial de matriz de comprobación de paridad para la matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 16200 bits y un índice de codificación r de 2/3.

[0316]

Las Figuras 32 a 34 muestran la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 64.800 bits y un índice de codificación r de 2/3.

[0317]

Cabe notar que la Figura 33 es una vista que continua de la Figura 32 y la Figura 34 es una vista que continua de la Figura 33.

[0318]

La Figura 35 muestra la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 16.200 bits y un índice de codificación r de 3/4.

[0319]

Las Figuras 36 a 39 muestran una tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 64.800 bits y un índice de codificación r de 3/4.

[0320]

Cabe notar que la Figura 37 es una vista que continua de la Figura 36 y la Figura 38 es una vista que continua de la Figura 37. Además, la Figura 39 es una vista que continua de la Figura 38.

[0321]

La Figura 40 muestra la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 16.200 bits y un índice de codificación r de 4/5.

[0322]

Las Figuras 41 a 44 muestran la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 64.800 bits y un índice de codificación r de 4/5.

[0323]

Cabe notar que la Figura 42 es una vista que continua de la Figura 41 y la Figura 43 es una vista que continua de la Figura 42. Además, la Figura 44 es una vista que continua de la Figura 43.

[0324]

La Figura 45 muestra la tabla de valor inicial de matriz de comprobación de paridad para una de valor inicial de matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 que tiene una longitud de código N de 16.200 bita y un índice de codificación de r de 5/6.

[0325]

Las Figuras 46 a 49 muestran la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 64.800 bits y un índice de codificación r de 5/6.

[0326]

Cabe notar que la Figura 34 es una vista que continua de la Figura 46 y la Figura 48 es una vista que continua de la Figura 47. Además, la Figura 49 es una vista que continua de la Figura 48.

[0327]

La Figura 50 muestra la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 16.200 bits y un índice de codificación r de 8/9.

[0328]

Las Figuras 51 a 54 muestran la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 64.800 bits y un índice de codificación r de 8/9.

[0321]

Cabe notar que la Figura 52 es una vista que continua de las Figura 51 y la Figura 56 es una vista que continua de la Figura 52. Además, la Figura 54 es una vista que continua de la Figura 53.

[0330]

Las Figuras 55 a 58 muestran la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 64.800 bits y un índice de codificación r de 9/10.

[0331]

Cabe notar que la Figura 56 es una vista que continua de las Figura 55 y la Figura 57 es una vista que continua de la Figura 56. Además, la Figura 58 es una vista que continua de la Figura 57.

[0332]

La porción de producción de la matriz de comprobación de paridad 613 (Figura 29) determina la matriz de comprobación de paridad H de la siguiente manera utilizando las tablas de valor inicial de matriz de comprobación de paridad.

[0333]

En particular, la Figura 59 ilustra un método para determinar la matriz de comprobación de paridad H de una tabla de valor inicial de matriz de comprobación de paridad.

[0334]

Cabe notar que la Tabla de valor inicial de matriz de comprobación de paridad de la Figura 59 indica la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N igual 16.200 bits y un índice de codificación r de 2/3 mostrado en la Figura 31.

[0335]

Como se describió anteriormente, la Tabla de valor inicial de matriz de comprobación de paridad es la tabla que representa la posición de los elementos del valor 1 de la matriz de información $H_A$ (Figura 9) que corresponde a la longitud de información K que corresponde a la longitud de código N y al índice de codificación r del código LDPC para cada 360 columnas (para cada número de columna unitaria P de la estructura cíclica), y en la primera fila de la tabla de valor inicial de matriz de de revisión de paridad, un número de los número de fila de los elementos del valor 1 en la columna 1+360x(i-1)avo de la matriz de comprobación de paridad H (números de fila donde el número de fila de la primera fila de la matriz de comprobación de paridad H es 0)igual al número de los pesos de columna que tiene la columna 1+360x(i-1)avo.

[0336]

Aquí, en razón a que la matriz de paridad $H_T$ (Figura 9) de la matriz de comprobación de paridad H que corresponde a la longitud de paridad M se determina como se ilustró en la Figura 19 de acuerdo a la tabla de valor inicial de la matriz de comprobación de paridad, se determina la matriz de información $H_A$ (Figura 9) de la matriz de comprobación de paridad H que corresponde a la longitud de información K.

[0337]

El número de fila K+1 de la tabla del valor inicial de matriz de comprobación de paridad difiere dependiendo de la longitud de información K.

[0338]

La longitud de información K y el número de fila K+1 N de la tabla de valor inicial de matriz de comprobación de paridad satisface una relación dada por una expresión (9).

[0339]

$$K = (K + 1) \times 360 \ldots (9)$$

[0340]

Aquí, 360 en la expresión (9) es el número de columna unitario P de la estructura cíclica descrita en referencia a la Figura 20.

[0341]

En la tabla de valor inicial de la matriz de comprobación de paridad de la Figura 59, los 13 valores numéricos se listan en la primera a 13 filas, y los tres valores numéricos se listan en la cuarta K+1avo (en la Figura 59, 30ava (filas).

[0342]

De acuerdo con esto, el número de pesos de columna en la matriz de comprobación de paridad H determinada de la tabla de valor inicial de la matriz de comprobación de paridad de la

Figura 59 es 13 en la primera de 1+360 x(3-1)-1avo filas pero es 3 de 1+360x(3-1)-1avo a kava filas.

[0343]

La primera fila de la tabla de valor inicial de la matriz de comprobación de paridad de la Figura 59 incluye 0, 2084, 1613, 1548, 1286, 1460, 3196, 4297, 2481, 3369, 3451, 4620, y 2622, y esto indica que, en la primera columna de la matriz de comprobación de paridad H, loe elementos en las filas y los números n las columnas de 0, 2084, 1613, 1548, 1286, 1460, 3196, 4297, 2481, 3369, 3451, 4620 y 2622 tienen el valor 1(y además os otros elementos tienen el valor 0).

[0344]

Mientras tanto, la segunda fila de la tabla de valor inicial de la matriz de comprobación de paridad de la Figura 59 incluye 1, 122, 1516, 2448, 2880, 1407, 1847, 3799, 3529, 373, 971, 4358 y 3108, y esto indica que, en la 361ava (=1+360x(2-1)ava columna de la matriz de comprobación de paridad H, de los números de la fila de 1, 122, 1516, 2448, 2880, 1407, 1847, 3799, 3529, 373, 971, 4358 y 3108 tienen el valor 1.

[0345]

Como se dio anteriormente, la tabla de valor inicial de matriz de comprobación de paridad representa la posición de elementos del valor 1 de la matriz de información $H_A$ de la matriz de comprobación de paridad H para cada 360 columnas.

[0346]

Cada una de las columnas de la matriz de comprobación de paridad H diferente de 1+360x(i-1)ava columna, esto es, cada una de las columnas desde la 2+360x(i-1)ava a la 360 x iava columnas, incluye los elementos del valor de 1 obtenido al cambiar cíclicamente los elementos del valor de 1 de 1+360x(i-1)ava columna que depende de la tabla de valor inicial de matriz de comprobación de paridad periódicamente en la dirección hacia abajo (en la dirección hacia abajo de la columna) de acuerdo con la longitud de paridad M.

{0347}

En particular, por ejemplo, la 2+360x(i-1)ava columna es una columna obtenida al cambiar cíclicamente la 1+360x(i-1)ava columna en la dirección hacia abajo por M/360 (= q) y luego 3+360x(i-1)ava es una columna obtenida al cambiar cíclicamente el 1+360x(i-1)ava columna en la dirección hacia abajo por 2 x M/360 (= 2 x q) y luego cambiar cíclicamente la columna cambiada cíclicamente (2x360x(i-1)ava columna en la dirección hacia abajo por M/360 (= q).

[0348]

Ahora, si se asume que el valor de numeral en la columna java (java desde la izquierda) en la fila iava (fila iava desde arriba) de la tabla de valor inicial de matriz de comprobación de paridad se representa por $b_{i,j}$ y el número de fila del elemento javo del valor 1 en la columna wava de la matriz de comprobación de paridad H se representa por $H_{w-j}$, entonces el número de fila $H_{w-j}$, del elemento del valor 1 en la columna wava que es una columna diferente de la columna 1+360x(i-1)avo de la matriz de comprobación de paridad H se puede determinar de acuerdo con una expresión (10).

[0349]

$$H_{w-j} = \mathrm{mod}\{h_{i,j} + \mathrm{mod}((w-1),P) \times q, M\} \quad \ldots\ldots\ldots(10)$$

[0350]

Aquí, mod(x, y) significa un resto cuando x es dividido por y.

[0351]

Mientras tanto, P es un número unitario de columna de la estructura cíclica descrita anteriormente y es, por ejemplo, en el estándar DVB-S.2, como se describió 360. Además, q es un valor M/360 obtenido al dividir la longitud de paridad M por el número de columna unitario P (= 360) de la estructura cíclica.

[0352]

La porción de producción de la matriz de comprobación de paridad 613 (Figura 29) especifica el número de fila de elementos del valor 1 en la 1+360x(i-1)ava columna de la matriz de comprobación de paridad H desde la tabla de valor inicial de la matriz de comprobación de paridad.

[0353]

Además, La porción de producción de la matriz de comprobación de paridad 613 (Figura 29) especifica el número de fila $H_{w-j}$ del elementos del valor 1 en la columna wava que es una columna diferente de la columna 1+360x(i-1)avo de la matriz de comprobación de paridad H de acuerdo con la expresión (10) y produce una matriz de comprobación de paridad H en la cual los elementos de los números de las filas obtenidos por lo anterior tienen el valor 1.

[0354]

Incidentalmente, es conocido que el código LDPC que tiene un índice de codificación de 2/3 prescrito en el estándar DVB-S.2 es inferior (mayor) en el piso de error de ese en comparación con los códigos LDPC de otros índices de codificación.

[0355]

Aquí, un *fenómeno*, (fenómeno de piso de error) que, como el S/N ($E_s/N_0$) se vuelve mayor, y ocurre la caída del índice de error (BER) que se vuelve más deslucido y el índice de error detiene su caída, y el índice de error cuando la caída cae es un piso de error.

[0356]

Si el piso de error se vuelve mayor, entonces generalmente la tolerancia a los errores en la ruta de comunicación 13 cae (Figura 7), y por lo tanto se desea tomar una contramedida para mejorar la tolerancia a los errores.

[0357]

Como una contramedida, para mejorar la tolerancia de los errores por ejemplo, se lleva a cabo un proceso de reemplazo mediante el desmultiplexor 25 (Figura 8) que está disponible.

[0358]

En el proceso de reemplazo, un método de reemplazo para reemplazar los bits de código de un código de LDPC, por ejemplo, el primero a cuarto métodos de reemplazo descritos anteriormente están disponibles. Sin embargo, se demanda proponer un método que tenga una tolerancia mejorada adicional a los errores en comparación con los métodos propuestos ya que incluyen el primer a cuarto métodos de reemplazo.

[0359]

Así, en los multiplexor 25 (Figura 8) se configuró de tal manera que este pudiera llevar a cabo un proceso de reemplazo de acuerdo con una regla de asignación como se describió anteriormente con referencia a la Figura 25.

[0360]

En lo sucesivo, se describe un proceso de reemplazo de acuerdo con una regla de asignación, se describe un proceso de reemplazo mediante los métodos de reemplazo (en lo sucesivo denominados como métodos existentes) ya propuestos.

[0361]

Un proceso de reemplazo donde este asume que el proceso de reemplazo se lleva a cabo de acuerdo con los métodos existentes por el desmultiplexor 25 se describe con referencia a las Figuras 60 y 61.

[0362]

La Figura 60 muestra un ejemplo del proceso de reemplazo de un método existente donde el código LDPC es un código LDPC que tiene una longitud de código N de 64,800 bits y un índice de codificación de 3/5.

000368

[0363]

En particular, la Figura 60 ilustra un ejemplo del método de reemplazo de un método existente donde el código LDPC es un código LDPC que tiene una longitud de código N de 64.800 bits y un índice de codificación de 3/5 y además el método de modulación es 16QAM y el múltiplo b es 2.

[0364]

Donde el método de modulación es 16QAM, 4 (= m) bits de entre los bits de código se mapean como un símbolo a alguno de los 16 puntos de señal prescritos por el 16QAM.

[0365]

Además, donde la longitud de código N es de 64.800 bits y el múltiplo b es 2, la memoria 31 (Figuras 16 y 17) del desmultiplexor 25 tiene ocho columnas para almacenar 4 x 2 (= mb) bits en la dirección de la fila y almacena 64.800 /(4 x 2) bits en la dirección de la columna.

[0366]

En el desmultiplexor 25, cuando los bits del código LDPC se escriben en la dirección de la columna de la memoria 31 y escriben los 64.800 bits de código (una palabra de código) finaliza, los bits de código descritos en la memoria 31 son leídos en una unidad de 4 x 2 (= mb) bits en la dirección de la fila y se suministran a la sección de reemplazo 32 (Figuras 16 y 17).

[0367]

La sección de reemplazo 32 reemplaza, por ejemplo 4 x 2 (= mb) bits de código $b_0$, $b_1$, $b_2$, $b_3$, $b_4$, $b_5$, $b_6$, y $b_7$ leídos de la memoria 31 de tal manera que, como se ve en las Figuras 60A, los bits de código 4 x 2 (= mb) de $y_0$, $y_1$, $y_2$, $y_3$, $y_4$, $y_5$ $y_6$ y $y_7$ de los dos símbolos sucesivos (= b).

[0368]

En particular, la sección de reemplazo 32 lleva a cabo el reemplazo para asignar
el bit de código $b_0$ al bit de código $y_7$,
el bit de código $b_1$ al bit de código $y_1$
el bit de código $b_2$ al bit de código $y_4$
el bit de código $b_3$ al bit de código $y_2$
el bit de código $b_4$ al bit de código $y_5$
el bit de código $b_5$ al bit de código $y_3$
el bit de código $b_6$ al bit de código $y_6$ y
el bit de código $b_7$ al bit de código $y_0$

[0369]

En particular, la Figura 60B ilustra un ejemplo del método de reemplazo de un método existente del código LDPC es un código LDPC que tiene una *longitud* de código N de 64.800 bits y un índice de codificación de 3/5 y además el método de modulación es 64QAM y el múltiplo b es 2.

[0370]

Donde el método de modulación es 64QAM, 6 (= m) bits de entre los bits de código se mapean como un símbolo a algunos de los 64 puntos de señal prescritos por el 64QAM.

[0371]

Además, donde la *longitud de código* N *es* 64,800 bits y el múltiplo b es 2, la memoria 31 (Figuras 16 y 17) del desmultiplexor 25 tiene 12 columnas para almacenar 6 x 2 (= mb) bits en la dirección de la fila y almacena 64,800/(6 x 2) bits en la dirección de la columna.

[0372]

En el desmultiplexor 25, los bits del código del código LDPC se escriben en la dirección de la columna de la memoria 31 y escriben de los 64,800 bits de código (una palabra de código) la finalización, los bits de código descritos en la memoria 31 son leídos en una unidad de 6 x 2 (= mb) bits en la dirección de la fila y suministrada la sección de reemplazo 32 (Figuras 16 y 17).

[0373]

La sección de reemplazo 32 reemplaza, por ejemplo, los bits de código 6 x 2(= mb) $b_0$, $b_1$, $b_2$, $b_3$, $b_4$, $b_5$ $b_6$ y $b_7$ $b_8$, $b_9$, $b_{10}$, y $b_{11}$, leídos de la memoria 31 de tal manera que, como se ven en la Figura 60B, los bits de código 6 x 2 (= mb) los códigos bits $b_0$ a $b_{11}$ son asignados a los bits de símbolos 6 x 2 (= mb) $y_0$, $y_1$, $y_2$, $y_3$, $y_4$, $y_5$ $y_6$ $y_7$ $y_8$, $y_9$, $y_{10}$ Y $y_{11}$, de los dos sucesivos símbolos (= b)

[0374]

En particular, la sección de reemplazo 32 lleva a cabo el reemplazo para asignar

el código $b_0$ al bit de símbolo $Y_{11}$

el bit de código $b_1$ al bit de símbolo $y_7$

el bit de código $b_2$ al bit de símbolo $y_3$

el bit de código $b_3$ al bit de símbolo $y_{10}$

el bit de código $b_4$ al bit de símbolo $y_6$

el bit de código $b_5$ al bit de símbolo $y_2$

el bit de código $b_6$ al bit de símbolo $y_9$

el bit de código $b_7$ al bit de símbolo $y_5$

el bit de código $b_8$ al bit de símbolo $y_1$

el bit de código $b_9$ al bit de símbolo $y_8$

el bit de código $b_{10}$ al bit de símbolo $y_4$ y
el bit de código $b_{11}$ al bit de símbolo $y_0$

[0375]

En particular, la Figura 60 se ilustra un ejemplo del método de reemplazo de un método existente donde el código LDPC es un código LDPC que tiene una longitud de código N de de 64.800 bits y un índice de codificación de 3/5 y además el método de modulación es 256QAM y el múltiple b es 2.

[0376]

Donde el método de modulación es 256QAM, 8 (= m) bits de entre los bits de código se mapean como un símbolo a algunos de los 256 puntos de señal prescritos por 256QAM.

[0377]

Además, donde la longitud de código N es 64.800 bits y el múltiplo b es 2, la memoria 31 (Figuras 16 y 17) del desmultiplexor 25 tiene 16 columnas para almacenar 8 x 2 (= mb) bits en la dirección de la fila y almacén a 64.800 /(8 x 2) bits en la dirección de la columna.

[0378]

En el desmultiplexor 25, cuando los bits de código del código LDPC son descritos en la dirección de columna de memoria 31 y escritos de los bits de códigos de los 64.800 bits de códigos (una palabra de código) termina, los bits de código escritos en la memoria 31 son leídos en una unidad de 8 x 2 (= mb) bits en la dirección de la fila y son suministrados a la sección de reemplazo 32 (Figuras 16 y 17).

[0379]

La sección de reemplazo 32 reemplaza, por ejemplo, los 8 x 2 (= mb) bits de código $b_0$, $b_1$, $b_2$, $b_3$, $b_4$, $b_5$, $b_6$, $b_7$ $b_8$, $b_9$, $b_{10}$, $b_{11}$, $b_{12}$, $b_{13}$, $b_{14}$, y $b_{15}$ leídos de la memoria 31 de tal manera que, como se ve en la Figura 60C, los bits de código 8 x 2 (= mb) $b_0$ a $b_{15}$ se asignan a los bits de símbolo 8 x 2 (= mb) $y_0$, $y_1$, $y_2$, $y_3$, $y_4$, $y_5$ $Y_6$ $y_7$ $y_8$, $y_9$, $y_{10}$ $y_{11}$, $y_2$ $y_{13}$ $y_9$, $y_{114}$ y $y_{15}$ de los dos símbolos sucesivos (= b).

[0380]

En particular, la sección de reemplazo 32 lleva a cabo el reemplazo para asignar
el bit de código $b_0$ al bit de símbolo $Y_{15}$
el bit de código $b_1$ al bit de símbolo $Y_1$
el bit de código $b_2$ al bit de símbolo $y_{13}$
el bit de código $b_3$ al bit de símbolo $y_3$
el bit de código $b_4$ al bit de símbolo $y_8$
el bit de código $b_5$ al bit de símbolo $y_{11}$

el bit de código $b_6$ al bit de símbolo $y_9$
el bit de código $b_7$ al bit de símbolo $y_5$
el bit de código $b_8$ al bit de símbolo $y_{10}$
el bit de código $b_9$ al bit de símbolo $y_6$
el bit de código $b_{10}$ al bit de símbolo $y_4$
el bit de código $b_{11}$ al bit de símbolo $y_7$
el bit de código $b_{12}$ al bit de símbolo $y_{12}$
el bit de código $b_{13}$ al bit de símbolo $y_2$
el bit de código $b_{14}$ al bit de símbolo $y_{14}$
el bit de código $b_{15}$ al bit de símbolo $y_0$

[0381]

La Figura 61 muestra un ejemplo del proceso de reemplazo de un método existente donde el código LDPC es un código LDPC que tiene una longitud de código N de 16.200 bits y un índice de codificación de 3/5.

[0382]

En particular, la Figura 61A ilustra un ejemplo del método de reemplazo de un método existente donde el código LDPC es un código LDPC que tiene una longitud de código N de 16.200 bits y un índice de codificación de 3/5 y además el método de modulación es 16QAM y el múltiplo b es 2.

[0383]

Donde el método de modulación es 16QAM, 4 (= m) bits de entre los bits de código se mapean como un símbolo a algunos de los 16 puntos de señal prescritos por el 16QAM.

[0384]

Además, donde la longitud de código N es 16,200 bits y el múltiplo b es 2, la memoria 31 (Figuras 16 y 17) del desmultiplexor 25 tiene 8 columnas para almacenar 4 x 2 (= mb) bits en la dirección de la fila y almacena 16,200 /(4 x 2) bits en la dirección de la columna.

[0385]

En el desmultiplexor 25, cuando los bits de código del código LDPC son escritos en la dirección de la columna de la memoria 31 y escritos en los 16,200 bits de código (una palabra de código termina) los bits de código escritos en la memoria 31 son leídos en una unidad de 4 x 2 (= mb) bits en la dirección de la fila y se suministran a una sección de reemplazo 32 (Figura 16 y 17).

[0386]

000372

La sección de reemplazos 22 reemplaza, por ejemplo, los bits de código 4 x 2 (= mb) $b_0$, $b_1$, $b_2$, $b_3$, $b_4$, $b_5$, $b_6$, y $b_7$ leídos de la memoria 31 de tal manera que, como se ve en la Figuras 61A, los bits de código 4 x 2 (= mb) $b_0$ a $b_7$ son asignados a los bits de símbolo 4 x 2 (= mb) $y_0$, $y_1$, $y_2$, $y_3$, $y_4$, $y_5$ $y_6$ y $y_7$ de los dos símbolos sucesivos (= b).

[0387]

En particular, la sección de reemplazo 32 lleva a cabo el reemplazo para asignar los bits de código $b_0$ a $y_7$ a los bits de símbolo $b_0$ a $y_7$ como en el caso de la Figura 60A descrita anteriormente.

[0388]

En particular, la Figura 61B ilustra un método de método de reemplazo de un método existente donde el código LDPC es un código LDPC que tiene una longitud de código N de 16,200 bits y un índice de codificación de 3/5 y además el método de modulación es 64QAM y el múltiplo de b es 2.

[0389]

Donde el método de modulación es 64QAM, 6 (=m) bits de entre los bits de código se mapean como un símbolo algunos de los 64 puntos de señal prescritos por el 64QAM.

[0390]

Además, donde la longitud del código N es 16,200 bits y el múltiplo b es 2, la memoria 31 (Figuras 16 y 17) del desmultiplexor 25 tiene 12 columnas para almacenar 6 x 2 (= mb) bits en la dirección de fila y almacena 16,200/(6 x 2) bits en la dirección de columna.

(0391)

En el desmultiplexor 25, cuando los bits del código LDPC se escriben en la dirección de columna de la memoria 31 y escriben los 16,200 bits de código (una palabra de código) termina, los bits de código escrito en la memoria 31 se leen en una unidad de 6 x 2 (= mb) bits en la dirección de fila y se suministran a la sección de reemplazo 32 (Figuras 16 y 17).

[0392]

La sección de reemplazo 32 reemplaza, por ejemplo 6 x 2 (= mb) bits de código $b_0$, $b_1$, $b_2$, $b_3$, $b_4$, $b_5$, $b_6$, $b_7$ $b_8$, $b_9$, $b_{10}$, y $b_{11}$ leídos de la memoria 31 de tal manera que, como se ve en la Figura 61B de los bits de código 6 x 2 (= mb) $b_0$ a $b_{11}$ se asignan los bits de símbolos 6 x 2 (= mb) $y_0$, $y_1$, $y_2$, $y_3$, $y_4$, $y_5$, $Y_6$, $y_7$, $y_8$, $y_9$, $y_{10}$ y $y_{11}$, de los dos sucesivos símbolos (= b).

[0393]

En particular, la sección de reemplazo 32 lleva como reemplazo para asignar los bits de código $b_0$ a $b_{11}$ a los bits de símbolo $y_0$ a $y_{11}$ como en el caso de la Figura 60B descrita anteriormente.

[0394]

En particular, la Figura 61C ilustra un ejemplo del método de reemplazo de un método existente donde el código LDPC es un código LDPC que tiene una longitud de código N de 16,200 bits y un índice de codificación de 3/5 y además el método de modulación es 256QAM y el múltiplo es 1.

[0395]

Donde el método de modulación es 256QAM 8 (= m) bits de entre los bits de código se mapean como un símbolo alguno de los 256 puntos de señal prescritos por 256QAm.

[0396]

Además, donde la longitud de código N es 16,200 bits y el múltiplo es 1, la memoria 31 (Figuras 16 y 17) del desmultiplexor 25 tiene 8 columnas para almacenar 8 x 1 (= mb) bits en la dirección de la fila y almacena 16,200/(8 x 1) bits en la dirección de columna.

[0397]

En el desmultiplexor 25, cuando los bits de código del código LDPC son escritos en la dirección de columna de la memoria 31 y la escritura de los 16,200 bits de código (una palabra de código) termina, los bits de código escritos en la memoria 31 se leen en una unidad de 8 x 1 (= mb) bits en la dirección de la fila se suministran a la sección de reemplazo 32 (Figuras 16 y 17).

[0398]

La sección de reemplazo 32 reemplaza, por ejemplo, los bits de código 8 x 1 (= mb) $b_0$, $b_1$, $b_2$, $b_3$, $b_4$, $b_5$, $b_6$, y $b_7$ leídos desde la memoria 31 de tal manera que, como se ve en la Figura 61C los bits de código 8 x 1 (= mb) $b_0$ a $b_7$ se asignan a los bits de símbolos 8 x 1 (= mb) $y_0$, $y_1$, $y_2$, $y_3$, $y_4$, $y_5$, $Y_6$, y, $y_7$, y los dos sucesivos un símbolos (= b).

[0399]

En particular, la sección de reemplazo 32 lleva a cabo el reemplazo para la asignación.

el bit de código $b_0$ al bit de símbolo $Y_7$

el bit de código $b_1$ al bit de símbolo $Y_3$

el bit de código $b_2$ al bit de símbolo $y_1$

el bit de código $b_3$ al bit de símbolo $y_5$

el bit de código $b_4$ al bit de símbolo $y_2$

el bit de código $b_5$ al bit de símbolo $y_6$

el bit de código $b_6$ al bit de símbolo $y_4$, y

el bit de código $b_7$ al bit de símbolo $y_0$

[0400]

Ahora, se describe un proceso de reemplazo con una regla de asignación (en lo sucesivo denominada también como proceso de reemplazo de acuerdo con el nuevo método de reemplazo).

[0401]

Las Figuras 62 a 64 son vistas que ilustran el nuevo método de reemplazo 402.

[0402]

En el nuevo método de reemplazo, la sección de reemplazo 32 del desmultiplexor 25 lleva a cabo el reemplazo de los bits de código mb de acuerdo con una regla de asignación determinada por adelantado.

[0403]

La regla de asignación es una regla para asignar los bits de código de un código LDPC a los bits de símbolo. En la regla de asignación, un conjunto de grupo que es una combinación de un grupo de bits de código de los bits de código y el grupo de bits de símbolo de los bits de símbolo a los cuales los bits de código del grupo de bits de código son asignados y un número de bits (en lo sucesivo denominado también como un número de bits de grupo) de los bits de código y los bits de símbolo del grupo de bit de código y el grupo de bit de símbolo del conjunto de grupo se prescriben.

[0404]

Aquí, los bits de códigos son diferentes en probabilidad de error entre ellos y también los bits de símbolos son diferentes en probabilidad de error entre ellos como se describió anteriormente. El grupo de bit de código es un grupo en el cual los bits de código son agrupados de acuerdo con la probabilidad de error y el grupo de bit de símbolo es un grupo en el cual los grupos de bit de símbolo es un grupo en el cual los bits de símbolo son agrupados de acuerdo con la probabilidad de error.

[0405]

La Figura 62 ilustra los grupos de bit de código y los grupos de bit de símbolo donde el código LDPC es un código LDPC que tiene una longitud de código N de 64,800 bits y un 2/3 y además un método de modulación es 256QAM y el múltiplo es 2.

[0406]

En este caso, 8 x 2 (= mb) bits de código $b_0$ a $b_{15}$ leídos desde la memoria 31 se puede agrupar en cinco grupos de bits de código $Gb_1$, $Gb_2$, $Gb_3$, $Gb_4$, y $Gb_5$, como se ve en la Figura 62A de acuerdo con la diferencia en la probabilidad de error.

[0407]

Aquí, el grupo de bit de código $Gb_1$ es un grupo en el cual los bits de código que pertenecen al grupo de bit de código $Gb_1$ tienen una probabilidad de error mejor (inferior) en la medida en que el sufijo i de este tenga un valor menor.

[0408]

En la Figura 62A, al grupo de bit de código $Gb_1$, pertenece el bit de código $b_0$, al grupo de bit de código $Gb_2$, pertenece el bit de código $b_1$; al grupo de bit de código $Gb_3$, pertenece los bit de código $b_2$ a $b_9$; al grupo de bit de código $Gb_4$, pertenece el bit de código $b_{10}$, y al grupo de bit de código $Gb_5$, pertenece los bit de código $b_{11}$ a $b_{15}$.

[0409]

Donde el método de modulación es 256QAM y el múltiplo es 2, los bit de símbolo 8 x 2(= mb) $y_0$ a $y_{15}$ se pueden agrupar en cuatro grupos de bit de símbolo $Gy_1$, $Gy_2$, $Gy_3$, y $Gy_4$, como se ve en la Figura 62B de acuerdo con la diferencia en la probabilidad de error.

[0410]

Aquí, el grupo de bit de símbolo $Gy_1$ es un grupo en el cual los bits de símbolo que pertenecen al bit de símbolo $Gy_1$ tienen una probabilidad de error mejor que el sufijo i de este tiene un valor inferior similar al grupo de bit de código.

[0411]

En la Figura 62B, el grupo de bit de símbolo $Gy_1$ pertenece a los bit de símbolo $y_0$, $y_1$, $y_8$, y $y_9$; el grupo de bit de símbolo $Gy_2$, pertenece a los bit del símbolo $y_2$, $y_3$, $y_{10}$, y $y_{11}$; al grupo de bit de símbolo $Gy_3$ pertenecen los bit de símbolo $y_4$, $y_5$, $y_{12}$, y $y_{13}$; y el grupo de bit de símbolo $Gy^4$, pertenece a los bit de símbolo $y_6$, $y_7$, $y_{14}$, y $y_{15}$;

[0412]

La Figura 63 ilustra una regla de asignación donde el código LDPC es un código LDPC que tiene una longitud de código N de 64,800 bits y un índice de codificación de 2/3 y además el método de modulación es de 256QAM y el múltiplo es 2.

[0413]

En la regla de asignación de la Figura 13, la combinación del grupo de bit de código $Gb_1$ y el grupo de bit de símbolo $Gy_4$ se definió en el primero desde la izquierda de la Figura 13 como un conjunto de grupo. Además, el número de bit de grupo del conjunto de grupo se prescribió a un bit.

[414]

En la siguiente descripción, el conjunto de grupo y el número de bit de grupo del conjunto de grupo son denominados colectivamente como una información de conjunto de

grupo. Por ejemplo, el conjunto de grupo del grupo de bit de código $Gb_1$ y el grupo de bit de símbolo $Gy_4$ y un bit que es el número de bit de grupo del conjunto de grupo se describieron como la información de conjunto de grupo ($Gb_1$,$Gy_4$, 1).

En la regla de asignación de la Figura 63, la información del conjunto de grupo ($Gb_2$, $Gy_4$, 1), ($Gb_3$, $Gy_1$, 3), ($Gb_3$, $Gy_2$, 1), ($Gb_3$, $Gy_3$, 2), ($Gb_3$, $Gy_4$, 2), ($Gb_4$, $Gy_3$, 1), ($Gb_5$, $Gy_1$, 1), ($Gb_5$, $Gy_2$, 3), y ($Gb_5$, $Gy_3$, 1) se prescribió además la información de conjunto de grupo ($Gb_1$, $Gy_4$, 1).

[0416]

Por ejemplo, la información de conjunto del grupo del grupo ($Gb_1$, $Gy_4$, 1) significa que un bit de código que pertenece al grupo de bit de código $Gb_1$ se asigna a un bit de símbolo que pertenece al grupo de bit de símbolo $Gy_4$.

[0417]

De acuerdo con la regla de asignación de la Figura 63, se prescribe que,

Dependiendo de la información de conjunto de grupo ($Gb_1$, $Gy_4$, 1) un bit de código del grupo de bit de código $Gb_1$ que es mejor en la probabilidad de error se asignó a un bit de símbolo del grupo de bit de símbolo $Gy_4$, que es el cuarto mejor en la probabilidad de error, que

Dependiendo de la información de conjunto de grupo ($Gb_2$, $Gy_4$, 1), un bit de código del grupo de bit de código $Gb_2$ que es el segundo mejor en la probabilidad de error se asignó a un bit de símbolo del grupo de bit de símbolo $Gy_4$ que es el cuarto mejor en la probabilidad de error, que, dependiendo de la información de conjunto de grupo ($Gb_3$, $Gy_1$, 3) tres bit de código del grupo de bit de código $Gb_3$ que es el tercero mejor en probabilidad de error se asignan a los tres bits de símbolo del grupo de bit de símbolo $Gy_1$ que es mejor en la probabilidad de error, que

Dependiendo de la información de conjunto de grupo ($Gb_3$, $Gy_2$, 1), un bit de código del grupo de bit de código $Gb_3$ que es el tercero mejor en la probabilidad de error se asigna a un bit de símbolo del grupo de bit de símbolo $Gy_2$ que es el segundo mejor en la probabilidad de error, que

Dependiendo de la información de conjunto de grupo ($Gb_3$, $Gy_3$, 2), dos bit de código del grupo de bit de código $Gb_3$ que es el tercero mejor en la probabilidad de error se asigna a los bit de símbolo del grupo de bit de símbolo $Gy_3$ que es el tercero mejor en la probabilidad de error, que

Dependiendo de la información de conjunto de grupo ($Gb_3$, $Gy_4$, 2), dos bit de código del grupo de bit de código $Gb_3$ que es el tercero mejor en la probabilidad de error se asigna a los dos bit de símbolo del grupo de bit de símbolo $Gy_4$ que es el cuarto mejor en la probabilidad de error, que

Dependiendo de la información de conjunto de grupo ($Gb_4$, $Gy_3$, 1), un bit de código del grupo de bit de código $Gb_4$ que es el cuarto mejor en la probabilidad de error se asigna a un bit

de símbolo del grupo de bit de símbolo $Gy_3$ que es el tercero mejor en la probabilidad de error, que

Dependiendo de la información de conjunto de grupo ($Gb_5$, $Gy_1$, 1), un bit de código del grupo de bit de código $Gb_5$ que es el quinto mejor en la probabilidad de error se asigna a un bit de símbolo del grupo de bit de símbolo $Gy_1$ que es mejor en la probabilidad de error, que

Dependiendo de la información de conjunto de grupo ($Gb_5$, $Gy_2$, 3), tres bit de código del grupo de bit de código $Gb_5$ que es el quinto mejor en la probabilidad de error se asigna a los tres bit de símbolo del grupo de bit de símbolo $Gy_2$ que es el segundo mejor en la probabilidad de error, y que

Dependiendo de la información de conjunto de grupo ($Gb_5$, $Gy_3$, 1), un bit de código del grupo de bit de código $Gb_5$ que es el quinto mejor en la probabilidad de error se asigna a un bit de símbolo del grupo de bit de símbolo $Gy_3$ que es el tercero mejor en la probabilidad de error.

[0418]

Como se describió anteriormente, el grupo de bit de código es un grupo en el cual los bit de código se agrupan de acuerdo con la probabilidad de error, y el grupo de bit de símbolo es un grupo en el cual los bits de símbolo se agrupan de acuerdo con la probabilidad de error. De acuerdo con esto, también se puede considerar que la regla de asignación prescribe una combinación de la probabilidad de error de los bits de código y la probabilidad de error de los bits de símbolo a los cuales se asignan los bits de código.

[0419]

De esta manera la regla de asignación que prescribe una combinación de la probabilidad de error de los bits de código y la probabilidad de error de los bits de símbolo al cual son asignados los bits de código se determina de tal manera que la tolerancia de los errores (tolerancia al ruido) es mejor hecha, por ejemplo, a través de unas simulaciones donde el BER se mide o similar.

[0420]

Se debe notar, que aún si la destinación de asignación del bit de código de un cierto grupo de bit de código es cambiado entre los bits del mismo grupo de bit del símbolo, la tolerancia a los errores no es influenciada de esta manera (poco).

[0421]

De acuerdo con esto con el fin de mejorar la tolerancia de los errores, la información de conjunto de grupo que hace el BER (Bit Error Rate) que incluye el piso de error inferior, en particular, combinaciones (conjunto de grupos) de los grupos de bit de código de los bits de código y los grupos de bit de símbolo de los bit de símbolo a los cuales los bit de código de los grupos de bit de código van a ser asignados y los números de bit (números de bit de grupos) de los bit de código de los grupos de bit de código y los grupos de bit de símbolo de los conjunto

000378

de grupo y los bits de símbolo, se deben definir como una regla de asignación, y el reemplazo de los bits de código se deben llevar a cabo de tal manera que los bits de código se asignan a los bit de símbolo de acuerdo con la regla de asignación.

[0422]

Sin embargo, un método de asignación particular con relación al cual el símbolo de cada bit de código se debe asignar de acuerdo con la regla de asignación se requiere determinar por adelantado entre el aparato de transmisión 11 y el aparato de recepción 12 (Figura 7).

[0423]

La Figura 64 ilustra un ejemplo de reemplazo de los bits de acuerdo con la regla de asignación de la Figura 63.

[0424]

En particular, la Figura 64A ilustra un primer ejemplo de reemplazo de los bits de código de acuerdo con la regla de asignación de la Figura 63 donde el código LDPC es un código LDPC que tiene una longitud de código N de 64,800 bits y un índice de codificación de 2/3 y además el método de modulación es 256QAm y el múltiplo es 2.

[0425]

Donde el código LDPC es un código LDPC que tiene una longitud de código N de 64,800 bits y un índice de codificación de 2/3 y además el método de modulación de 256QAM y el m+múltiplo es 2, en el desmultiplexor 25, los bits de código escritos en la memoria 31 para (64,800/(8 x 2)) x (8 x 2) bits en la dirección de la columna por la dirección de la fila son leídos en una unidad de 8 x 2 (= mb) bits en la dirección de la fila y son suministrados en la dirección de reemplazo 32 (Figuras 16 y 17).

[0426]

La sección de reemplazo 32 remplaza los bits 8 x 2 (= mb) bits de código b0 a b15 leídos de la memoria 31 de acuerdo con la regla de asignación de la Figura 63 de tal manera que los bits de código 8 x 2 (= mb) $y_0$ a $y_{15}$ son asignados, por ejemplo, a los bits de símbolo 8 x 2 (= mb) $y_0$ a $y_{15}$ de dos (= b) símbolos sucesivos como se ve en la Figura 64A.

[0427]

En particular, la sección de reemplazo 32 lleva a cabo reemplazo para la asignación.

el bit de código $b_0$ al bit de símbolo $Y_{15}$

el bit de código $b_1$ al bit de símbolo $Y_7$

el bit de código $b_2$ al bit de símbolo $y_1$

el bit de código $b_3$ al bit de símbolo $y_5$

el bit de código $b_4$ al bit de símbolo $y_6$

000379

el bit de código $b_5$ al bit de símbolo $y_{13}$
el bit de código $b_6$ al bit de símbolo $y_{11}$
el bit de código $b_7$ al bit de símbolo $y_9$
el bit de código $b_8$ al bit de símbolo $Y_8$
el bit de código $b_9$ al bit de símbolo $Y_{14}$
el bit de código $b_{10}$ al bit de símbolo $y_{12}$
el bit de código $b_{11}$ al bit de símbolo $y_3$
el bit de código $b_{12}$ al bit de símbolo $y_0$
el bit de código $b_{13}$ al bit de símbolo $y_{10}$
el bit de código $b_{14}$ al bit de símbolo $y_4$, y
el bit de código $b_{15}$ al bit de símbolo $y_2$.

[0428]

La Figura 64B ilustra un segundo ejemplo de reemplazo de los bits de código de acuerdo con la regla de asignación de la Figura 63 donde el código LDPC es un código LDPC que tiene una longitud de código N de 64,800 bits y un índice de codificación de 2/3 y además el método de modulación es 256QAM y el múltiplo b es 2.

[0429]

De acuerdo con la Figura 64B, la sección de reemplazo 32 lleva a cabo el reemplazo para la asignación de los códigos de bits 8 x 2 (= mb) $b_0$ a $b_{15}$ leídos de la memoria 31 de acuerdo con la regla de asignación de la Figura 63 de tal manera de asignar.
el bit de código $b_0$ al bit de símbolo $Y_{15}$
el bit de código $b_1$ al bit de símbolo $Y_{14}$
el bit de código $b_2$ al bit de símbolo $y_8$
el bit de código $b_3$ al bit de símbolo $y_5$
el bit de código $b_4$ al bit de símbolo $y_6$
el bit de código $b_5$ al bit de símbolo $y_4$
el bit de código $b_6$ al bit de símbolo $y_2$
el bit de código $b_7$ al bit de símbolo $y_1$
el bit de código $b_8$ al bit de símbolo $Y_9$
el bit de código $b_9$ al bit de símbolo $Y_7$
el bit de código $b_{10}$ al bit de símbolo $y_{12}$
el bit de código $b_{11}$ al bit de símbolo $y_3$
el bit de código $b_{12}$ al bit de símbolo $y_{13}$
el bit de código $b_{13}$ al bit de símbolo $y_{10}$
el bit de código $b_{14}$ al bit de símbolo $y_0$ y
el bit de código $b_{15}$ al bit de símbolo $y_{011}$.

[0430]

Aquí, los métodos de asignación de los bits de código bi a los bits de símbolo yi ilustrados en la Figura 64A y la Figura 64B observan la regla de asignación de la Figura 63 (seguida por la regla de asignación).

[0431]

La Figura 65 ilustra un resultado de una simulación del BER (Bit Error Rate) en el caso e donde el proceso de reemplazo del nuevo sistema de reemplazo descrito anteriormente con referencia a las Figuras 62 a 64 se lleva a cabo y en otro caso en donde el proceso de reemplazo descrito anteriormente con referencia a la Figura 60C desde de entre los métodos existentes se lleva a cabo.

[0432]

En particular, la Figura 15 ilustra el BER donde el código LDPC que es prescrito en el DVB-S.2 y tiene una longitud de código N de 64,800 y un índice de codificación de 2/3 se determina como un objeto y además 256QAM se adopta como el método de modulación y dos se adopta como el múltiplo b.

[0433]

Cabe notar que, en la Figura 65, el eje de las abscisas indica el $E_s/N_0$ y el eje de las ordenadas indica el BER. Además, la marca redonda representa el BER donde el proceso de reemplazo del nuevo método de reemplazo se lleva a cabo, y el asterisco (marca estrella) representa el BER donde el proceso de reemplazo del método existente se lleva a cabo.

[0434]

De la Figura 65, se puede reconocer que, de acuerdo con el proceso de reemplazo el nuevo método de reemplazo, el piso del error cae significativamente en comparación con aquel del proceso de reemplazo del método existente y se mejora la tolerancia a los errores.

[0435]

Cabe notar que, mientras que, en la presente modalidad, la sección de reemplazo 32 en el desmultiplexor 25 lleva a cabo el proceso de reemplazo para la lectura de los bits de código desde la memoria 31 para la conveniencia de la descripción, el proceso de reemplazo se puede llevar a cabo al controlar la escritura o la lectura de los bits de código en o desde la memoria 31.

[0436]

En particular, el proceso de reemplazo se puede llevar a cabo, por ejemplo, al controlar la dirección (dirección de lectura) para leer el bit de código de tal manera que la lectura de los bits de código desde la memoria 31 se lleva a cabo en orden de los bits de código después del reemplazo.

000381

[0437]

Ahora, está disponible una contramedida para mejorar la tolerancia de los errores, un método de adoptar un código LDPC que disminuye el piso del error además del método que adopta el proceso de reemplazo del método de reemplazo que disminuye el piso de error.

[0438]

Así, la sección que codifica LDPC 21 (Figura 8) se puede llevar a cabo codificando un código LDPC que tiene una longitud de código N de 64,800 bits y un índice de codificación r de 2/3 en el código LDPC de un alto desempeño al adoptar una tabla de valor inicial de matriz de comprobación de paridad que es diferente de las tablas de valor inicial de matriz de comprobación de paridad prescrita en el estándar de DVB-S.2 y de la cual la matriz de comprobación de paridad H se determina y utilizando una matriz de comprobación de paridad determinada de la tabla de valor inicial de la matriz de comprobación de paridad.

[0439]

Aquí, la matriz de comprobación de paridad apropiada H es una matriz de comprobación de paridad que satisface una condición predeterminada para hacer el BER (Bit Error Rate) inferior cuando la señal de modulación de un código LDPC obtenido de una matriz de comprobación de paridad se transmite a un $E_s/N_0$ bajo (índice de potencia de señala potencia de ruido por un símbolo) o $E_b/N_0$ (índice de potencia de señal a potencia de ruido por un bit). Además, el código LDPC de un alto desempeño es un código LDPC obtenido de una matriz de comprobación de paridad apropiada.

[0440]

La matriz de comprobación de paridad apropiada H se puede determinar, por ejemplo, al llevar a cabo una simulación del BER cuando la señal de modulación de un código LDPC obtenido de varias matrices de comprobación de paridad que satisfacen una condición predeterminada se convirtió a un $E_s/N_0$.

[0441]

La condición predeterminada que la matriz de comprobación de paridad apropiada H debe satisfacer es, por ejemplo, que el resultado de un análisis obtenido mediante un método de análisis de un desempeño de un código denominado evolución de densidad es bueno, que la matriz de comprobación de paridad H no incluye un ciclo de elementos del valor 1 denominado ciclo 4, que la matriz de comprobación de paridad H no incluye un ciclo 6, y así sucesivamente.

[0442]

Aquí, la evolución de la densidad y la incorporación del mismo se describen, por ejemplo, en S. Y. Chung, G. D. Forney, T. J. Richardson and R. Urbanke, "On the Designo f

Low-Density Parity-Check Codes within 0,0045 dB of the Shannon Limit", IEEE Communications Leggers VOL. 5. No. 2, Feb.2001.

[0443]

Por ejemplo, si el valor de varianza del ruido se incrementa gradualmente desde cero a un canal de AWGN, entonces aunque el valor esperado de la probabilidad de error del código LDPC cero primero, este se vuelve diferente de cero si el valor de varianza del ruido se vuelve mayor que cierto valor umbral (umbral).

[0444]

De acuerdo con la evolución de la densidad, el valor esperado de la probabilidad de error del mismo se vuelve diferente de cero. Al comparar el valor del umbral del valor de la varianza (en lo sucesivo denominado como el valor de umbral de desempeño) de ruido, se puede determinar si o no el desempeño del código LDPC (apropiado de la matriz de comprobación de paridad) es bueno. Aquí el valor de umbral de desempeño, el $E_b/N_0$ cuando el BER inicia para caer (disminución).

[0445]

Si el valor del umbral de desempeño obtenido mediante el análisis de evolución de densidad con relación al código LDPC que se definió en el estándar DVB-S.2 y tiene una longitud de código N de 64,800 y un índice de codificación r de 2/3 (tal código LDPC es denominado aquí también como código estándar) es representado por V, luego en la simulación, un código LDPC (matriz de comprobación de paridad) una longitud de código N de de 64,800 y un índice de codificación r de 2/3 y exhibe un valor umbral de desempeño inferior de $V + \Delta$ obtenido al agregar un margen predeterminado $\Delta$ a V se selección como el código LDPC que tiene un buen desempeño.

[0446]

Las Figuras 66 a 68 ilustran una tabla de valor inicial de la matriz de comprobación de paridad para unos códigos LDPC cuyos $E_b/N_0$ como el valor del umbral de desempeño es inferior de $V + \Delta$ (código LDPC que tiene una longitud de código N de 64,800 y un índice de codificación r de 2/3).

[0447]

Cabe notar que la Figura 47 es una vista que continua la Figura 66, y la Figura 68 es una vista que continúa la Figura 67.

[0448]

En una matriz de comprobación de paridad H determinada de la tabla de valor inicial de matriz de comprobación de paridad de las Figuras 66 a 68, ni el ciclo 4 ni el ciclo 6 existen

[0449]

La Figura 69 ilustra un resultado de la simulación de BER con relación al código LDPC de una matriz de comprobación de paridad H determinada de la tabla de valor inicial de la matriz de comprobación de paridad de las Figuras 66 a 68 (tal código LDPC es denominado en lo sucesivo también como un código propuesto).

[0450]

En particular, la Figura 69 ilustra, donde el método de modulación es 256QAM el BER con respecto al $E_s/N_0$ del código estándar (en la Figura, el BER se indica mediante una marca redonda) y el BER para el $E_s/N_0$ del código propuesto (en la figura, el BER se indicó mediante una marca cuadrada).

[0451]

De la Figura 69, se puede reconocer que el código propuesto es mejor en el desempeño que el código estándar y que particularmente el piso del error se mejora significativamente.

[0452]

Cabe notar que la condición predeterminada de que la matriz de comprobación de paridad apropiada H debe satisfacer se puede determinar adecuadamente desde tal punto de vista como un mejoramiento de desempeño de decodificación de un código LDPC, la facilidad (simplificación) de un proceso de decodificación de un código LDPC y así sucesivamente.

[0453]

La Figura 70 es un diagrama de bloque que muestra un ejemplo de una configuración del aparato de recepción 12 de la Figura 7.

[0454]

En relación a la Figura 70, el aparato de recepción 12 es un aparato de procesamiento de datos para recibir una señal de modulación del aparato de transmisión 11 (Figura 7) e incluye una sección de demodulación ortogonal 51, una sección de desmapeo 52, un desintercalador 53 y una sección de decodificación LDPC 56.

[0455]

La sección de demodulación ortogonal 51 recibe una señal de modulación desde el aparato de transmisión 11 y lleva a cabo la demodulación ortogonal, y luego suministra símbolos obtenidos como resultado de la demodulación ortogonal (valores sobre los ejes I e Q) a la sección de desmapeo 52.

[0456]

000384

La sección de desmapeo 52 lleva a cabo el desmapeo de convertir los puntos de señal desde la sección de demodulación ortogonal 51 a los bits de código del código LDPC para ser símbolos simbolizados y suministra los bits de código al desintercalador 53.

[0457]

El desintercalador 53 incluye un multiplexor (MUX) 54 y un desintercalador giro de columna 55 y lleva a cabo el desintercalado de los símbolos de los bits de símbolo desde la sección de desmapeo 52.

[0458]

En particular, el multiplexor 54 lleva a cabo el proceso de reemplazo inverso (proceso inverso al proceso de reemplazo) que corresponde al proceso de reemplazo llevado a cabo por el desmultiplexor 25 de la Figura 8 para los símbolos de los bits de símbolos de la sección de desmapeo 52, que es, un proceso de reemplazo inverso del regresar las posiciones de los bits de código (bits de símbolo) de los códigos de reemplazo LDPC reemplazados por el proceso de reemplazo de las posiciones originales. Luego, el multiplexor 54 suministra un código LDPC obtenido como resultado del proceso de reemplazo inverso al desintercalador de giro de columna 55.

[0459]

El desintercalador de giro de columna 55 lleva a cabo el desintercalado de giro de columna (proceso inverso al intercalado de giro de columna) que corresponde al intercalado de giro de columna como el proceso de re-arreglo llevado a cabo por el desintercalador de giro de columna 24 de la Figura 8, esto es, por ejemplo, el desintercalado de giro de columna como el proceso de re-arreglo inverso de regresar el re-arreglo de los bits de código del código LDPC que tiene un arreglo cambiado por el intercalado de giro de columna como el proceso de re-arreglo al arreglo original, para el código LDPC desde el multiplexor 54.

[0460]

En particular, el desintercalador del giro de columna 55 lleva a cabo el desintercalado de giro de columna al escribir los bits de código del código LDPC en y leyendo los bits de código escritos desde la memoria para el desintercalado, la memoria está configurada de manera similar a la memoria 31 mostrada en la Figura 22 y así sucesivamente.

[0461]

Cabe notar que, en el desintercalador de giro de columna 55, escribir los bits de código se lleva a cabo en la dirección de fila de la memoria para desintercalar utilizando direcciones de lectura luego de leer los códigos desde la memoria 31 como direcciones de escritura. Mientras tanto, la lectura de los bits de código se lleva a cabo en la dirección de columna de la memoria

para desintercalar utilizando la dor4cción de escritura luego de escribir los bits de código en la memoria 31 como direcciones de lectura.

[0462]

Los códigos LDPC obtenidos como resultado del intercalado de giro de columna se suministran desde el desintercalador de giro de columna 55 a la sección de decodificación de LDPC 56.

[0463]

Aquí, mientras que el código LDPC suministrado desde la sección de desmapeo 52 al desintercalador 53 se ha obtenido mediante el intercalado de paridad, el intercalado de giro de columna y el proceso de reemplazo llevado a cabo en este orden para este, el desintercalador 53 lleva a cabo solamente un proceso de reemplazo inverso que corresponde al proceso de reemplazo y el desintercalado de giro de columna corresponde al intercalado de giro de columna. De acuerdo con esto, el desintercalado de paridad corresponde al intercalado de paridad (proceso inverso al intercalado de paridad, esto es, el desintercalado de paridad que regresa al re-arreglo de los bits de código de los códigos LDPC, cuyo arreglo se ha variado por el intercalado de paridad, al arreglo original, este no se lleva a cabo.

[0464]

De acuerdo con esto, el código LDPC para el cual el proceso de reemplazo inverso y el intercalado de giro de columna se han llevado a cabo pero el desintercalado de paridad no se ha llevado a cabo se suministra desde el (desintercalador de giro de columna 55 del) desintercalador 53 para la sección de decodificación LDPC 56.

[0465]

La sección de decodificación LDPC 56 lleva a cabo la decodificación LDPC del código LDPC desde el desintercalador 53 utilizando una matriz de comprobación de paridad de conversión, obtenida al llevar a cabo al menos un reemplazo de columna que corresponde al desintercalado de paridad para la matriz de comprobación de paridad H utilizada para el LDPC que codifica mediante la sección de codificación LDPC 21 de la Figura 8, y genera datos obtenidos como resultado de la decodificación LDPC como un resultado de decodificación de los datos de objeto.

[0466]

La Figura 71 es un diagrama de flujo que ilustra un proceso de recepción llevado a cabo mediante el aparato de recepción 12 de la Figura 70.

[0467]

000386

La sección de demodulación ortogonal 51 recibe una señal de modulación desde el aparato de transmisión 11 en la etapa S111. Luego, los avances de procesamiento de la etapa S112, en la cual la sección de demodulación ortogonal 51 lleva a cabo la demodulación ortogonal de la señal de modulación. La sección de demodulación ortogonal 51 suministra los puntos de señal obtenidos como resultado de la demodulación ortogonal a la sección de desmapeo 52, posteriormente los avances de procesamiento en la etapa S112 a la etapa S113.

[0468]

En la etapa S113, la sección de desmapeo 52 lleva a cabo el desmapeo de convertir los puntos de señal desde la sección de demodulación ortogonal 51 a los símbolos y suministra los bits de código al desintercalador 53, posteriormente el proceso avanza a la etapa S114.

[0469]

La etapa S114, el desintercalador 53 lleva a cabo el desintercalado de los símbolos de los bits de símbolos desde la sección de desmapeo 52, posteriormente el procesamiento avanza a la etapa S115.

[0470]

En particular, en la etapa S114, el multiplexor 54 en el desintercalador 53 lleva a cabo un proceso de reemplazo inverso para los símbolos de los bits de símbolos desde la sección de desmapeo 52 y suministra el código LDPC obtenido como resultado del proceso de reemplazo inverso al desintercalador de giro de columna 55.

[0471]

El desintercalador de giro de columna 55 lleva a cabo el desintercalado de giro de columna para el código LDPC desde el multiplexor 54 y suministra un código LDPC obtenido como resultado del desintercalado de giro de columna a la sección de decodificación LDPC 56.

[0472]

La etapa S115, la sección de decodificación LDPC 56 lleva a cabo la decodificación LDPC desde del código LDPC desde el desintercalador de giro de columna 55 utilizando una matriz de comprobación de paridad de conversión obtenida al llevar a cabo al menos un reemplazo de columna que corresponde al intercalado de paridad para la matriz de comprobación de paridad H utilizada para el LDPC que codifica mediante la sección de codificación LDPC 21 de la Figura 8, y genera datos obtenidos por el LDPC que decodifica como un resultado de decodificante de los datos de objeto. Posteriormente, el procesamiento finaliza.

[0473]

Cabe notar que el proceso de recepción de la Figura 71 se lleva a cabo repetitivamente.

[0474]

También en la Figura 70, el multiplexor 54 para llevar a cabo el proceso de reemplazo inverso y el desintercalador de giro de columna 55 para llevar a cabo el desintercalado de giro de columna se configuran separadamente uno del otro para la conveniencia de la descripción similarmente como en el caso de la Figura 8. Sin embargo, el multiplexor 54 y el desinitercalador de giro de columna 55 de columna 55 se pueden configurar integralmente el uno con el otro.

[0475]

Además, donde el aparato de transmisión 11 de la Figura 8 no lleva a cabo el desintercalado de giro de columna, no es necesario suministrar el desintercalador de giro de columna 55 en el aparado de recepción 12 de la Figura 70.

[0476]

Ahora, la decodificación LDPC llevada a cabo mediante la sección de decodificación LDPC 56 de la Figura 70 se describe adicionalmente.

[0477]

La sección de decodificación LDPC 56 de la Figura 70 lleva a cabo la decodificación LDPC de un código LDPC, para lo cual el proceso de reemplazo inverso del desintercalado y giro de columna se ha llevado a cabo pero el desintercalado de paridad no se ha llevado a cabo, desde el desintercalador de giro de columna 55 como se describió anteriormente utilizando una matriz de comprobación de paridad de conversión obtenida al llevar a cabo al menos el reemplazo de columna correspondiente al desintercalado de paridad para la matriz de comprobación de paridad H utilizada para la codificación LDPC mediante la sección de codificación LDPC 21 de la Figura 8.

[0478]

Aquí, la codificación LDPC que puede suprimir la frecuencia de operación dentro de un rango suficientemente implementable aunque suprimiendo la escala de circuito al llevar a cabo la codificación LDPC utilizando una matriz de comprobación de paridad de conversión se ha propuesto anteriormente (refiérase a, por ejemplo, Patente Japonesa abierta No. 2004-343170).

[0479]

Así, la anteriormente propuesta de codificación LDPC que utiliza una matriz de comprobación de paridad de conversión se describió primero con referencia a las Figuras 72 a 75.

[0480]

000388

La Figura 72 muestra un ejemplo de la matriz de comprobación de paridad H de un código LDPC cuya longitud de código N es 90 y el índice de codificación es 2/3.

[0481]

Cabe notar que, en la Figura 72, 0 está representado por un punto (.) (esto aplica similarmente también en las Figuras 73 y 74 descritas posteriormente).

[0482]

En la matriz de comprobación de paridad H de la Figura 72, la matriz de paridad tiene una estructura escalonada.

[0483]

La Figura 73 ilustra una matriz de comprobación de paridad H' obtenida al aplicar el reemplazo de fila de una expresión (11) y un reemplazo de columna de una expresión (12) a la matriz de comprobación de paridad H de la Figura 72.

[0484]

El reemplazo de fila: fila 6s+t+1avo→5t+s+1th

...(11)

[0485]

El reemplazo de columna: columna 6x+y+61avo→5y+x+61avo

...(12)

[0486]

Sin embargo, en las expresiones (11) y (12), s, t, x y y son enteros dentro de los rangos de 0 ≤ s □ 5, 0 ≤ t □ 6, 0 ≤ x □ 5 y 0 ≤ t □ 6, respectivamente.

[0487]

De acuerdo con el reemplazo de fila de la expresión 11, el reemplazo se lleva a cabo de tal manera que la primera, séptima, treceava, diecinueveava, y veinticincoava filas cada uno de cuyos números indican un resto de uno donde este se divide por 6 son reemplazadas por la primera, segunda, tercera, cuarta, quinta filas, y la segunda, octava, catorceava veinteava y veintiseisava filas cada uno de cuyos números indica un resto de dos donde este se divide por 6 se reemplazan en la sexta, séptima, octava, novena y décima filas.

[0488]

De otra parte, de acuerdo con el reemplazo de columna de la expresión (12), el reemplazo se lleva a cabo para la primera y las columnas exitosa (matriz de paridad) tal como la

000939

sexagésima primera, sexagésima séptima, septuagésima tercera, septuagésima novena y octogésima quinta columnas cada uno de cuyos números indican un resto de uno donde este se divide por 6 son reemplazados por la sexagésima primera, sexagésima segunda, sexagésima tercera, sexagésima cuarta y sexagésima quinta columnas, y la sexagésima segunda, sexagésima octava, septuagésima cuarta, octogésima y octogésima sexta columnas cada uno de cuyos números indican un resto de 2 este se divide por 6 son reemplazados por la sexagésima sexta, sexagésima séptima, sexagésima octava, sexagésima novena y septuagésima columnas.

[0489]

Una matriz obtenida al llevar a cabo el reemplazo de las filas de las columnas por la matriz de comprobación de paridad H de la Figura 72 es una matriz de comprobación de paridad H´ de las Figuras 73.

[0490]

Aquí, aún si el reemplazo de columna de la matriz de comprobación de paridad H se lleva a cabo, esta no tiene una influencia en el arreglo de los bits de código LDPC.

[0491]

Mientas tanto, el reemplazo de la columna de la expresión (12) corresponde al intercalado de paridad cuando la longitud de información k, el número de columna unitaria P de la estructura cíclica y el divisor q (= M/P) de la longitud de paridad M (aquí, 30) en el intercalado de paridad del intercalamiento de intercalado del k+qx+y+1avo bit de código a la posición del k+Py+x+1avo bit de código se establecen en 60, 5 y 6, respectivamente.

[0492]

Sí la matriz de comprobación de paridad H´(en lo sucesivo denominada para adecuadamente reemplazar la matriz de comprobación de paridades) de la Figura 73 es multiplicada por el resultado de reemplazar la misma como aquella de la expresión (12) para el código LDPC de la matriz de comprobación de paridad H (en lo sucesivo referida como adecuada como la matriz de comprobación de paridad original) de la Figura 72, entonces se genera el vector 0. En particular, donde el vector de fila obtenido al aplicar el reemplazo de columna a la expresión (12) para el vector de fila C como el código LDPC (una palabra de código) de la matriz de comprobación de paridad original H se representa como C´, en razón a que $Hc^T$ se devuelve el vector 0 sobre la base de la característica de la matriz de comprobación de paridad, también $H'C'^T$ naturalmente se convierte en el vector 0.

[0493]

Desde lo anterior, la matriz de comprobación de paridad de conversión H´ de la Figura 73 se convierte en la matriz de comprobación de paridad del código LDPC C´ obtenido al llevar

000390

a cabo el reemplazo de columna de la expresión 12 para el código LDPC c de la matriz de comprobación de paridad original H.

[0494]

De acuerdo con esto, al llevar a cabo el reemplazo de columna de la expresión (12) para el código LDPC c de la matriz de comprobación de paridad original H, de codificar (decodificación LDPC) el código LDPC c' después del reemplazo de columna utilizando la matriz de comprobación de paridad H' de la Figura 73 y luego llevando a cabo el reemplazo inverso al reemplazo de columna de la expresión (12) para el resultado de la decodificación, un resultado de decodificación similar a aquel obtenido donde el código LDPC de la matriz de comprobación de paridad original H es decodificado utilizando la matriz de comprobación de paridad H se puede obtener.

[0495]

La Figura 74 muestra la matriz de comprobación de paridad de conversión H' de la Figura 73 en donde el espacio se suministra antes las unidades de 5 x 5 matrices.

[0496]

En la Figura 74, la matriz de comprobación de paridad de conversión H' está representada por una combinación de una matriz unitaria de 5 x 5 elementos, otra matriz (en lo sucesivo denominada adecuada como matriz cuasiunitaria) que corresponde a la matriz unitaria cuyo elemento o elementos son de 1 son cambiados en un elemento o elementos de 0, una matriz adicional (en lo sucesivo denominada adecuada como matriz de cambio) que corresponde a la matriz unitaria o a la matriz cuasiunitaria después de que esta se cambia cíclicamente (cambio cíclico), una matriz aún adicional (en lo sucesivo denominada como adecuada como matriz de suma) de dos o más de la matriz unitaria, matriz cuasiunitaria y matriz de cambio, y una matriz 0 de 5 x 5 elementos.

[0497]

Se puede considerar que la matriz de comprobación de paridad de conversión H' de la Figura 74 esta compuesta de una matriz unitaria, una matriz cuasiunitaria, una matriz de cambio, una matriz de suma y una matriz 0 de 5 x 5 elementos. Por lo tanto, las matrices de 5 x 5 elementos que compone la matriz de comprobación de paridad de conversión H' son denominadas en lo sucesivo como matrices componente.

[0498]

Para decodificar un código LDPC representado por una matriz de comprobación de paridad representada por una matriz de P X P componentes, se puede utilizar una arquitectura que lleva a cabo la operación matemática del nodo de revisión y una operación matemática del nodo variable simultáneamente para los nodos de revisión P y los nodos variables P.

[0499]

La Figura 75 es un diagrama de bloque que muestra un ejemplo en la configuración de un aparato de codificación que lleva a cabo tal decodificación tal como se describió.

[0500]

En particular, la Figura 75 muestra un ejemplo de una configuración de un aparato de decodificación que lleva a cabo la decodificación de los códigos LDPC de la matriz de comprobación de paridad original H de la Figura 72 utilizando la matriz de comprobación de paridad de conversión H´ de la Figura 74 obtenida al llevar a cabo al menos el reemplazo de columna de la expresión (12).

[0501]

El aparato de decodificación de una Figura 75 incluye una memoria de almacenamiento de datos de borde 300 que incluye seis FIFO $300_1$, a $300_6$, un selector 301, para seleccionar los FIFO $300_1$, a $300_6$, una sección de cálculo de nodo de revisión 302, dos circuitos de cambio cíclico 303 y 308, una memoria de almacenamiento de datos de borde 304 que incluye 18 FIFO $304_1$, a $304_{18}$, un selector 305 para seleccionar los FIFO $304_1$, a $304_{18}$, una memoria de datos de recepción 306 para almacenar la información de recepción, una sección de cálculo de nodo variable 307, una sección de cálculo de palabra decodificada 309, una sección de arreglo de datos de recepción 310, y una sección de rearreglo de datos decodificados 311.

[0502]

Primero, se describe un método de almacenamiento de datos en las memorias de almacenamiento de datos de borde
300 y 304.

[0503]

La memoria de almacenamiento de datos de borde 300 incluye los seis FIFO $300_1$, a $300_6$, cuyo número es igual a un cociente cuando el número de fila 300 y la matriz de comprobación de paridad de conversión H´ de la Figurab74 se divide por el número de filas 5 de las matrices componente. Cada uno de los seis FIFO $300_y$, (y = 1, 2, ...6) tiene una pluralidad de etapas de regiones de almacenamiento tal que los mensajes que corresponden a los 5 bordes cuyo número es igual al número de filas y al número de columnas de las matrices componentes se puede leer de o escribir en regiones de almacenamiento en cada etapa al mismo tiempo. Además, el número de etapas de las regiones de almacenamiento de cada FIFO $300_y$, es nueve el cual es el número máximo del de 1s (peso Hamming) en la dirección de fila de la matriz de comprobación de paridad de conversión de la Figuran74.

[0504]

En la Figura$300_1$, los datos (mensajes $v_i$ de de los nodos variables) que corresponden a las posiciones en el valor 1 en la primera a quinta filas en la matriz de comprobación de paridad de conversión H' de la Figura 74 se almacenan en una forma cerrada en la dirección horizontal en las filas individuales (en la forma en donde 0 se ignora). En particular, si un elemento en la fila j de la columna iava se representa como (j, i) entonces las regiones de almacenamiento en la primera etapa del FIFO $300_1$, los datos que corresponden a las posiciones del valor 1 de la matriz unitaria de 5 x 5 elementos de (1, 1) a (5, 5) de la matriz de comprobación de paridad de conversión H' se almacenan. En las regiones de almacenamiento en la segunda etapa, los datos que corresponden a las posiciones del valor 1 de una matriz de cambio desde (1, 21) a (5, 25) de la matriz de comprobación de paridad de conversión H' una matriz de cambio obtenida al cambiar cíclicamente la matriz unitaria de 5 x 5 elementos por tres en la dirección hacia la derecha). También en las regiones de almacenamiento en la tercera y octava etapa, los datos son almacenados en una relación asociada con la matriz de comprobación de paridad de conversión H'. Luego, en las regiones de almacenamiento en la novena etapa, los datos que corresponden a las posiciones del valor de la matriz de cambio de (1, 86) a (5, 90) de la matriz de comprobación de paridad de conversión H' (una matriz de cambio obtenida al reemplazar el valor 1 en la primera fila de la matriz unitaria de 5 x 5 elementos con el valor 0 y luego cambiar cíclicamente la matriz unitaria después del reemplazo por uno en la dirección hacia la izquierda) se almacenan.

[0505]

En el FIFO $300_2$, se almacenan los datos que corresponde a las posiciones del valor uno desde la sexta a décimas filas de la matriz de comprobación de paridad de conversión H' de la Figura 74. En particular, la región de almacenamiento de la primera etapa del FIFO $300_2$ los datos que corresponden a las posiciones del valor 1 de la primera matriz de cambio que forman una matriz de suma desde (6, 1) a (10, 5) de la matriz de comprobación de paridad de conversión H'(una matriz de suma que es la suma de una primera matriz de cambio obtenida al cambiar cíclicamente la matriz unitaria de 5 x 5 elementos por una de la dirección hacia la derecha y una segunda matriz de cambio obtenida al cambiar cíclicamente la matriz unitaria de 5 x 5 elementos por dos en la dirección hacia la derecha) se almacenan. Además, en la región de almacenamiento en la segunda etapa, se almacenan los datos que corresponden a las posiciones del valor 1 de la segunda matriz de cambio que forman la matriz de suma desde (6, 1) a (10, 5) de la matriz de comprobación de paridad de conversión H'.

[0506]

En particular, con relación a la matriz componente cuyo peso es dos o más, donde la matriz componente está representada en la forma de la suma de plurales desde entre una matriz unitaria de P x P elementos que tiene el peso 1 y una matriz unitaria que corresponde a la matriz unitaria cuyos 1 o más elementos tienen el valor 1 son reemplazados con 0 y una matriz de cambio obtenida al cambiar cíclicamente la matriz unitaria o la matriz cuasiunitaria, los

datos que corresponde a las posiciones del valor 1 de la matriz unitaria, matriz cuasiunitaria o en la matriz de cambio cuyo peso es 1 (mensajes que corresponden a los bordes que pertenecen a la matriz unitaria, matriz cuasiunitaria o matriz de cambio) se almacenan los datos que corresponden a las a las posiciones del valor 1 de la matriz unitaria (los mensajes que corresponde a los bordes que pertenecen a la matriz unitaria, matriz cuasiunitaria o matriz de cambio en la misma dirección (el mismo FIFO desde entre los FIFO $300_1$ a $300_6$).

[0507]

También en las regiones de almacenamiento en la tercera a novena etapas, son almacenados los datos en una relación asociada con la matriz de comprobación de paridad de conversión H´.

[0508]

También los datos almacenados FIFO $300_3$ a $300_6$ en una relación asociada con la matriz de comprobación de paridad de conversión H´.

[0509]

La memoria de almacenamiento de datos de borde 304 incluye 18 FIFO $304_1$ a $304_{18}$ cuyo número es igual al cociente cuando número de columna 90 de la matriz de comprobación de paridad de conversión H´ se divide por el número de columnas 5 de la matriz componente. Cada memoria de almacenamiento de datos de borde $304_x$ (x=1, 2, ...18) incluye una pluralidad de etapas de regiones de almacenamiento, y mensajes que corresponden a 5 bordes cuyo número es igual al número de filas y el número de columnas de la matriz de comprobación de paridad de conversión H´ se pueden leer de o escribir en las regiones de almacenamiento de cada etapa al mismo tiempo.

[0510]

En el FIFO $504_1$, los datos que corresponden a las posiciones del valor 1 desde la primera quinta columnas de la matriz de comprobación de paridad de conversión H´ de la Figura 74 (mensajes uj desde los nodos de revisión) se almacenan en una forma cerrada en la dirección vertical en las columnas individuales (en la forma en donde 0 se ignora). En particular, en las regiones de almacenamiento en la primera etapa de FIFO $304_1$, se almacenan los datos que corresponden a las posiciones del valor 1 de la matriz unitaria de 5 x 5 elementos desde (1, 1) a (5, 5) de la matriz de comprobación de paridad de conversión H´. En las regiones de almacenamiento en la segunda etapa, se almacenan los datos que corresponden a las posiciones del valor de una primera matriz de cambio que forma una matriz de suma desde (6, 1) a (10, 5) de de la matriz de comprobación de paridad vertical H´ (una matriz de suma que es la suma de una primera matriz de cambio obtenida al cambiar cíclicamente la matriz unitaria de 5 x 5 elementos por una a la derecha de una segunda matriz de cambio obtenida al cambiar cíclicamente la matriz unitaria de 5 x 5 elementos por dos a la derecha). Además, en las

000394

regiones de almacenamiento en la tercera etapa, los datos que corresponde a las posiciones del valor 1 de la segunda matriz de cambio que forma la matriz de suma desde (6, 1) a (10, 5) de la matriz de comprobación de paridad vertical H'.

[0511]

En particular, con relación a una matriz componente cuyo peso es 2 o más, donde la matriz componente está representada en la forma de la suma de los plurales desde entre una matriz unitaria de P X P elementos que tiene el peso 1, a una matriz cuasiunitaria que corresponde a la matriz unitaria cuyos 1 o más elementos tienen el valor 1 son reemplazados con 0 y una matriz de cambio obtenida al cambiar cíclicamente la matriz unitaria o la matriz cuasiunitaria, los datos que corresponden a las posiciones del valor 1 de la matriz unitaria, matriz cuasiumitaria, o matriz de cambio cuyo peso es 1 (mensajes que corresponde a los bordes que pertenecen a la matriz unitaria, la matriz cuasiunitaria, y la matriz de cambio) se almacenan en las mismas direcciones (el mismo FIFO desde entre los FIFO $304_1$ a $304_{18}$).

[0512]

También con relación a las regiones de almacenamiento en la cuarta y quinta etapas, los datos son almacenados en una relación asociada con la matriz de comprobación de paridad y conversión H'. El número de etapas de las regiones de almacenamiento del FI$304_1$ es 5 el cual es un número máximo del número de 1s (peso Hamming) en la dirección de fila en la primera a quinta columna de la matriz de comprobación de paridad de conversión H'.

[0513]

También los datos de almacenamiento FIFO $304_2$ y $304_3$ en una relación asociada con la matriz de comprobación de paridad de conversión H' similarmente, y cada longitud (número de etapas) de los FIFO $304_2$ y $304_3$ es 5. También los datos de almacenamiento FIFO $304_4$ y $304_{12}$ en una relación asociada con la matriz de comprobación de paridad de conversión H' similarmente, y cada longitud de los FIFO $304_4$ y $304_{12}$ es 3. También los datos de almacenamiento FIFO $304_{13}$ a $304_{18}$ en una relación asociada con la matriz de comprobación de paridad de conversión H' similarmente, y cada longitud de los FIFO $304_{13}$ y $304_{18}$ es 2.

[0514]

Ahora, se describe la operación del aparato de decodificación de la Figura 75.

[0515]

La memoria de almacenamiento de datos de borde 300 incluye los FIFO $300_1$ y $300_6$ y los FIFO en el cual los datos van a ser almacenados se seleccionan entre los 3FIFO $300_1$ A $300_6$ de acuerdo con la información (datos de matriz) D312 que representan a la fila a la que pertenece la matriz de comprobación de paridad de conversión H' 5 mensajes D311 suministrados desde el circuito de cambios cíclicos 311 en la etapa precedente. Entonces, los

cinco mensajes D311 son almacenados colectivamente y en orden en los FIFO seleccionados. Además, cuando los datos van a ser leídos, la memoria de almacenamiento de datos de borde 300 lee los cinco mensajes $D300_1$ en orden desde el FIFO $300_1$ y suministra los cinco mensajes $300_1$ al selector 301 en la etapa de éxito. Después de la lectura de los mensajes desde los terminales del FIFO $300_1$, la memoria de almacenamiento de datos de borde 300 lee los mensajes en orden también desde los FIFO $330_2$ a $300_6$ y suministra los mensajes de lectura al selector 301.

[0516]

El selector 301 selecciona los cinco mensajes desde los FIFO desde cuyos datos son habitualmente leídos entre los FIFO $300_1$ A $300_6$ de acuerdo con una señal de selección D301 y suministra los cinco mensajes como mensajes D302 a la sección de cálculo de nodo de revisión 302.

[0517]

La sección de cálculo de nodo de revisión 302 incluye cinco calculadoras de nodo de revisión $302_1$ a $302_5$ y lleva a cabo la operación matemática de nodo de revisión de acuerdo con la expresión (7) utilizando los mensajes D302 ($D302_1$ a $D302_5$) (mensajes vi de la expresión (7)) suministrada a esta a través del selector 301. Entonces, la sección de cálculo de nodo de revisión 302 suministra cinco mensajes D303 ($D303_1$ a $D303_5$) mensajes uj de la expresión (7)) obtenida como resultado de la operación matemática de nodo de revisión al circuito de cambio cíclico 303.

[0518]

El circuito de cambio cíclico 303 cambia cíclicamente los cinco mensajes $D303_1$ a $303_5$ determinada por la sección de cálculo de nodo de revisión 302 con base en la información (datos de matriz) D305 con relación a que número de matrices unitarias originales los bordes correspondientes son cíclicamente cambiados en la matriz de comprobación de paridad de conversión H' y suministran resultado del cambio cíclico como un mensaje D304 a la memoria de almacenamiento de datos de borde 304.

[0519]

La memoria de almacenamiento de datos de borde 304 incluye 18 FIFO $304_1$ a $304_{18}$. La memoria de almacenamiento de datos de borde 304 selecciona un FIFO en el cual son almacenados los datos de entre los FIFO $304_1$ a $304_{18}$ de acuerdo con la información D305 con relación a cual fila de la matriz de comprobación de paridad de conversión H' pertenecen los cinco mensajes D304 suministrados desde el circuito de cambio cíclico 303 en la etapa precedente y almacena colectivamente los cinco mensajes D304 en orden en el FIFO seleccionado. De otro lado, cuando los datos van a ser leídos, la memoria de almacenamiento de datos de borde 304 lee los cinco mensajes $D306_1$ en orden desde el FIFO $304_1$ y suministra

los mensajes de $306_1$ al selector 305 en la etapa de éxito. Después de leer los datos desde que terminan los FIFO $304_1$, la memoria de almacenamiento de datos de borde 304 lee los mensajes en orden también desde los FIFO $304_2$ a $304_{18}$ y suministra los mensajes al selector 305.

[0520]

El selector 305 selecciona los cinco mensajes desde los FIFO desde cuyos datos son habitualmente leídos desde los FIFO $304_1$ a $304_{18}$ de acuerdo con una señal de selección D307 y suministra los mensajes seleccionados como mensajes D308 a la sección de cálculo de nodo variable 307 y la sección de cálculo de palabra decodificada 309.

[0521]

De otro lado, la sección de rearreglo de datos de recepción 310 lleva a cabo el reemplazo de columna de la expresión (12) al rearreglo para reareglar un código LDPC de 313 recibido a través de una ruta de comunicación y suministra el código LDPC rearreglado D313 como los datos de recepción D314 a la memoria de datos de recepción 306. la memoria de datos de recepción 306 calcula y almacena un LLR de recepción (Índice de Probabilidad Logarítmica) desde los datos de recepción D314 suministrados a esta desde la sección de rearreglo de los datos de recepción 310 y recolecta y suministra cada cinco de los LLR de recepción como valores de sección D309 a la sección de cálculo de nodo variable 307 y la sección de cálculo de palabra decodificada 309.

[0522]

La sección de cálculo de nodo variable 307 incluye cinco calculadoras de nodo variable $307_1$ a $307_5$ y lleva a cabo ola operación matemática de nodo variable de acuerdo con la expresión (1) utilizando los mensajes D308 ($308_1$ a $308_5$) (mensajes uj de la expresión (1)) suministrada esta a través de un selector 305 y los cinco valores de recepción D309 (valores de recepción $u_{oi}$ de la expresión (1)) suministrada esta desde la memoria de datos de recepción 306. Entonces, la sección de cálculo de nodo 307 suministra los mensajes D310 ($D301_1$ a $D310_5$) n(mensajes vi de la expresión (1)) obtenida como resultado de la operación matemática al circuito de cambio cíclico 308.

[0523]

El circuito de cambio cíclico 308 cambia cíclicamente los mensajes $D310_1$ a $D310_5$ calculada mediante la sección de cálculo de nodo variable 307 con base en la información con relación a que número de las matrices unitarias originales el correspondiente borde cíclicamente cambiado de la matriz de comprobación de paridad de conversión H´, y suministra un resultado del cambio cíclico como un mensaje D311 a la memoria de almacenamiento de dato de borde 300.

[0524]

Al llevar a cabo la secuencia de operaciones descritas anteriormente, se puede llevar a cabo la decodificación en un ciclo de un código LDPC. En el aparato de decodificación de la Figura 75, después de que e código LDPC es decodificado por un número predeterminado de veces, se determina un resultado de decodificación final por la sección de cálculo de palabra decodificada 309 y la sección de rearreglo de datos decodificado 311 y luego genera.

[0525]

En particular, la sección de cálculo de palabra decodificada 309 incluye cinco calculadoras de palabra decodificadas $309_1$ a $309_5$ y actúa una etapa final en una pluralidad de ciclos de decodificación para calcular un resultado de decodificación (palabra decodificada) de acuerdo con la expresión (5) utilizando los cinco mensajes D308 ($308_1$ a $308_5$)(mensaje $u_j$ de la expresión (5)) generados desde el selector 305 y los cinco valores de recepción D309 (valores de recepción $u_{oi}$ de la expresión (5)) generada desde la memoria de datos de recepción 306. Entonces, la sección de cálculo de palabra decodificada 309 suministra los datos decodificados D315 obtenidos como r3sultado del cálculo a la sección de rearreglo de datos decodificado 311.

[0526]

La sección de rearreglo de datos de decodificado 311 lleva a cabo el reemplazo inverso al reemplazo de columna de loa expresión (12) para los datos decodificado D315 suministrados a esta desde la sección de cálculo de palabra decodificada 309 para rearreglar el orden de los datos decodificados D315 y generar los datos decodificado rearreglados D315 como un resultado decodificante D316.

[0527]

Como se describió anteriormente, al aplicar uno o ambos reemplazos de fila y reemplazo de columna a la matriz de comprobación de paridad (matriz de comprobación de paridad original) para convertir la matriz de comprobación de paridad en una matriz de comprobación de paridad (matriz de comprobación de paridad de conversión) que se puede representar mediante una combinación de la matriz unitaria de P X P elementos, una matriz cuasiunitaria que corresponde a la matriz unitaria cuyos elementos D1 son cambiados en un elemento o elementos de 0, una matriz de cambio que corresponde a la matriz unitaria o matriz cuasiunitaria después de que esta es ciclicamente cambiada, una matriz de suma de dos o más de la matriz unitaria, matriz cuasiunitaria y matriz de cambio, y la matriz 0 de P x P elementos como se describió anteriormente, se vuelve posible adoptar para la decodificación del código LDPC una arquitectura que lleva a cabo la operación matemática de nodo de revisión y la operación matemática de nodo variable simultáneamente para los nodos de revisión P y los nodos de variable P. Consecuentemente, al llevar a cabo la operación matemática de nodo simultáneamente para los nodos P, es posible suprimir la frecuencia de operación dentro de un rango implementable para llevar a cabo la decodificación LDPC.

[0528]

La sección de decodificación LDPC 56 que compone el aparato de recepción 12 de la Figura 70 es llevada a cabo la operación matemática de nodo de revisión y la operación matemática de nodo variable simultáneamente para los nodos de revisión P y los nodos variables P para llevar a cabo la decodificación LDPC similarmente al aparato de decodificación de la Figura 75.

[0529]

En particular, se asume ahora simplificar la descripción de que la matriz de comprobación de paridad de un código LDPC generado desde la sección de codificación LDPC 21 que compone el aparato de transmisión 11 de la Figura 8 es, por ejemplo, la matriz de comprobación de paridad H donde la matriz de paridad tiene una estructura escalonada mostrada en la Figura 72. en este caso, el intercalador de paridad 23 del aparato de transmisión 11 lleva a cabo el intercalado de paridad para intercalar el bit de código k+qx+y+1avo a la posición del bit de código k+py+x+1avo con la longitud de información k establecida en 60, con el número de columna unitario P del juego de estructura cíclico en cinco y con el divisor q (= M/P) de la longitud de paridad M a 6.

[0530]

En razón a que el intercalado de paridad corresponde al reemplazo de columna de la expresión (12), la sección de decodificación LDPC 56 no necesita llevar a cabo el reemplazo de columna de la expresión (12).

[0531]

Por lo tanto, en el aparato de recepción 12 de la Figura 70, el código LDPC para el cual el desintercalado de paridad no ha sido llevado a cabo, esto es, el código LDPC en un estado donde el reemplazo de columna de la expresión para (12) se lleva a cabo se suministra desde el desintercalador de giro de columna 55 a la sección de decodificación LDPC 56 como se describió anteriormente. La sección de decodificación LDPC 56 lleva a cabo un procesamiento similar a aquel del aparato de decodificación de la Figura 75 excepto el reemplazo de columna de la expresión (12) no se lleva a cabo.

[0532]

En particular, la Figura 76 muestra un ejemplo de una configuración de la sección de decodificación LDPC de la Figura 70.

[0533]

En referencia a la Figura 76, la sección de decodificación LDPC 56 se configura de manera similar a aquella del aparato de decodificación de la Figura 75 excepto que la recepción de de re-arreglos de datos de recepción 310 de la Figura 75 no se suministra y lleva a cabo un procesamiento similar a aquel del aparado de decodificación de la Figura 75 excepto que el

reemplazo de columna de la expresión (12) no se lleva a cabo. Por lo tanto, la descripción de la sección de decodificación LDPC 56 se omite aquí.

[0534]

En razón a que la sección de decodificación LDPC 56 se puede configurar sin incluir la sección de re-arreglo de datos de recepción 310 como se describió anteriormente, esto se puede reducir en escala en comparación con el aparato de decodificación de la Figura 75.

[0535]

Cabe notar que, aunque, en las Figuras. 72 a 76, se asumen que la longitud del código N del código LDPC es 90; la longitud de información K es 60; el número de columna unitaria P(el número de fila y número de columna de una matriz componente) de la estructura cíclica es 5; y el divisor q (= M/P) de la longitud de paridad M es 6, para la descripción simplificada, la longitud de código N, la longitud de información K, el número de columna unitaria P de la estructura cíclica y el divisor q (= M/P) no están individualmente limitados a los valores específicos dados anteriormente.

[0536]

En particular, aunque la sección de codificación LDPC 21 en el aparato de trasmisión 11 de la Figura 8 genera un código LDPC en donde, por ejemplo, la longitud de código N es 64,800 o 16,200, longitud de información K es N – Pq (= N - M), el número de columna unitario P de la estructura cíclica es 360 y el divisor q es M/P, la sección de decodificación LDPC 56 de la Figura 76 se pude aplicar también donde el LDPC de decodificación se lleva a cabo al llevar a cabo la operación matemática del nodo de revisión y la operación matemática del nodo variable simultáneamente para los nodos de revisión P y los nodos variables P con relación a tal código LDPC tal como se describió.

[0537]

Mientras que la serie de procesos descritos anteriormente se pueden ejecutar mediante equipo, este se puede de otra manera ejecutar mediante software. Donde las series de proceso se ejecutan mediante software, se instala un programa que construye el software en una computadora para uso universal o similar.

[0538]

La Figura. 77 muestra un ejemplo de una configuración de una modalidad de una computadora en la cual se instala un programa para ejecutar una seria de procesos descritos anteriormente.

[0539]

El programa se puede gravar por adelantado en un disco duro 705 o en un ROM 703 como un medio de grabación incluido en la computadora.

[0540]

O, el programa se pude almacenar (gravar) temporalmente o permanentemente o en un medio de grabación removible 711 tal como un disco flexible, un CD-ROM (Memoria de Solo Lectura de Disco Compacto) un disco MO (Disco Magnético), un DVD (Disco versátil Digital), o un disco magnético o una memoria semiconductora. Tal medio de grabación removible 711 como se describió se puede suministrar como el llamado software de empaque.

[0541]

Cabe notar que el programa no solamente se puede instalar en tal medio de grabación removible 711 como se describió anteriormente en la computadora si no también se puede instalar en el disco duro 705 llevado en la computadora donde este es transferido a este y recibido por una sección de comunicación 708. En este caso, el programa se puede transferir a la computadora mediante comunicación inalámbrica desde un sitio de descarga a través de un satélite artificial para la difusión satelital digital o ser trasferido a una computadora mediante comunicación alámbrica a través de una red tal como una LAN (Red de Área Local) o el Internet.

[0542]

La computadora tiene una CPU (Unidad de Procesamiento Central) 702 construida en esta. Una interfaz entrada/salida 7410 se conecta a la CPU 702 mediante un bus 701, y es ingresada una extrusión a la CPU 702 a través de la interfaz de entrada/salida 710 cuando la sección de entrada 707 configurada desde un teclado, un ratón, un micrófono y así sucesivamente se opera mediante un usuario o en un caso similar, la CPU 702 ejecuta el programa almacenado en la ROM (Memoria de Solo Lectura) 703. O, la CPU 702 carga un programa almacenado en el disco duro 705, el programa trasferido desde un satélite o una red, recibido por la sección de comunicación 708 e instalado en el disco duro 705 o un programa leído desde el medio de registro removible 711 cargado en una unidad 709 e instalado en el disco duro 705 en una RAM (Memoria De Acceso Aleatoria) 704 y ejecuta el programa. Consecuentemente, la CPU 702 lleva a cabo el procesamiento de acuerdo con el diagrama de flujo descrito anteriormente o el procesamiento llevado a cabo mediante la configuración del diagrama de bloque descrito anteriormente. Entonces, la CPU 702 genera un resultado del procesamiento de una sección de generación 706 configurado desde un LCD (Pantalla de Cristal Liquido), un parlante y así sucesivamente y trasmite el resultado de procesamiento desde la sección de comunicación 708 a través de la interfaz de entrada/salida 710 o registra un resultado de procesamiento en el disco duro 705 en la media en que la ocasión lo demande.

[0543]

Aquí, en la presente especificación, las etapas de procesamiento que describen el programa para hacer que la computadora lleve a cabo varios procesos no requiere necesariamente ser procesados en una serie de tiempo de acuerdo con el orden descrito como un diagrama de flujo si no que incluyen aquellos procesos para ser ejecutados en paralelo o individualmente (por ejemplo, procesos en paralelo o procesos por un objeto).

[0544]

Además, el programa se puede procesar mediante una computadora única o se puede procesar mediante procesamiento distribuido por una pluralidad computadores. Además, el programa se puede transferir y ejecutar mediante una computadora en un sitio remoto.

[0545]

Ahora, se describe adicionalmente el proceso para leer LDPC que codifica la recepción de codificación del LDPC 21 del aparato de trasmisión 11.

[0546]

Por ejemplo, en el estándar DVB-S.2, el LDPC que codifica loas dos diferentes longitudes de código N de 64,800 bits y 16,200 bits que están prescritas.

[0547]

Y, para el código LDPC cuya longitud de código N es de 64,800 bits, los índices de codificación 11 1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6, 8/9 y 9/10 están prescritos, y para los códigos LDPC cuya longitud de código N es 16,200 bits, los 10 índices de codificación 1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6 y 8/9 están prescritos.

[0548]

La sección de codificación LDPC 21 lleva a cabo la codificación (codificación de corrección de error) en los códigos LDPC de los diferentes índices de codificación cuya longitud de código N es 64,800 bits o 16,200 bits de acuerdo con la matriz de comprobación de paridad H preparada para cada longitud de código N y para cada índice de codificación.

[0549]

En particular, la sección de codificación LDPC 21 almacena una tabla de valor inicial de matriz de comprobación de paridad descrita en lo sucesivo para producir una matriz de comprobación de paridad H para cada longitud de código N y para cada índice de codificación.

[0550]

Aquí, en el estándar DVB-S.2, los códigos LDPC de las dos diferentes longitudes de código N de 64,800 y 16,200 bits están prescritas como se describió anteriormente, y los 11 diferentes índices de codificación están prescritos para el código LDPC cuya longitud de código

N es 64,800 bits y los 10 diferentes índices de codificación están prescritos por el código LDPC cuya longitud de código N es de 16,200 bits.

[0551]

De acuerdo con esto, donde el aparato de trasmisión 11 es un aparato que lleva a cabo el procesamiento e incumplimiento con el estándar DCB-S.2, las tablas de valor inicial de matriz de comprobación de paridad corresponden individualmente a los 11 diferentes índices de codificación para el código LDPC cuya longitud de código N es 64,800 bits y las tablas de valor inicial de matriz de comprobación de paridad corresponden individualmente a los 10 diferentes índices de codificación para el código LDPC cuya longitud de código N es 16,200 bits son almacenadas en la sección de codificación LDPC 21.

[0552]

La sección de codificación LDPC 21 establece la longitud de código N un índice de codificación r para los códigos LDPC, por ejemplo, en respuesta a una operación de un operador. La longitud de código N y en índice de codificación r establecidos mediante la sección de codificación LDPC 21 son denominados en lo sucesivo como adecuados para ajustar una longitud de código N y establecer el índice de codificación r, respectivamente.

[0553]

La sección que codifica el LDPC coloca, con base en las tablas de valor inicial de matriz de comprobación de paridad que corresponde a la longitud de código establecida N y el índice de codificación establecido r, elementos del valor 1 de una matriz de información HA que corresponde a la longitud de información K (= Nr = longitud de código N – longitud de paridad M) que corresponde a la longitud de código establecida N y al índice de codificación establecido r en un periodo de 360 columnas (número de columna unitario P de la estructura cíclica) en la dirección de columna para producir la matriz de comprobación de paridad H.

[0554]

Entonces, la sección de codificación LDPC 21 extrae bits de información para la longitud de información K desde los datos del objeto que son un objeto de trasmisión tal como datos de imágenes o datos de sonidos suministrados desde el aparato de transmisión 11. Además, la sección de codificación LDPC 21 calcula los bits de paridad que corresponden a los bits de información con base en la matriz de comprobación de paridad H para producir una palabra de código (código LDPC) para una longitud de código.

[0555]

En otras palabras, la sección de codificación LDPC 21 lleva a cabo sucesivamente una operación matemática de un bit de paridad de la palabra de código c que satisfaga la siguiente expresión.

000403

[0556]

$Hc^T = 0$

[0557]

Aquí, en l expresión anterior, c indica un vector de fila como la palabra código (código LDPC), y se $c^T$ indica la invención del vector de fila C.

[0558]

Donde, desde dentro del vector de fila c como un código LDPC (una palabra de código), una porción que corresponde a los bits de información se representa por un vector de fila A y una porción que corresponde a los bits de paridad se representa por un vector de fila T, el vector de fila c se puede representar mediante una expresión c = [A|T] donde el vector de fila A como los bits de información al vector de fila T como lo bits de paridad.

[0559]

Mientras tanto, la matriz de comprobación de paridad H se puede representar, desde la matriz de información $H_A$ de aquellos de los bits del código LDPC que corresponden a los bits de información y la matriz de paridad $H_T$ de aquellos de os bits de código del código LDPC que corresponde a los bits de paridad mediante una expresión $H = [H_A|H_T]$ (matriz en donde los elementos de la matriz de información $H_A$ son elementos sobre el lado izquierdo y los elementos de la matriz de paridad $H_T$ son elementos al lado derecho).

[0560]

Además, por ejemplo, en el estándar DVB-S.2, la matriz de comprobación de paridad HT de la matriz de comprobación $H = [H_A|H_T]$ tiene una estructura escalonada.

[0561]

Es necesario para la matriz de comprobación de paridad H y el vector de fila c = [A|T] como un código LDPC satisfacer la expresión $Hc^T = 0$, y donde la matriz paridad HT de la matriz de comprobación de paridad $H = [H_A|H_T]$ tiene una estructura escalonada, y el vector de fila T como los bits de paridad que configuran el vector de fila c = [A|T] que satisface la expresión $Hc^T = 0$ se puede determinar secuencialmente al establecer elementos de cada fila en cero en orden iniciando con los electos en la primera fila del vector de columna en la expresión $Hc^T = 0$.

[0562]

Si la sección de codificación LDPC 21 determina un bit de paridad T para un bit de información A, entonces este genera una palabra código c = [A|T] representada por el bit de información A y el bit de paridad T como el resultado que codifica LDPC del bit de información A.

[0563]

Como se describió anteriormente, la sección de codificación LDPC 21 almacena las tablas de valor inicial de matriz de comprobación de paridad que corresponden a las longitudes de código N y a los índices de codificación r y no por adelantado en esta y llevan a cabo la codificación LDPC de la longitud de código de conjunto N y el índice de codificación de conjunto r utilizando una matriz de comprobación de paridad H producida desde las tablas de valor inicial de matriz de comprobación de paridad que corresponden a la longitud de código establecida N y al índice de codificación establecido r.

[0564]

Cada tabla de valor inicial de matriz de comprobación de paridad es una tabla que representa la posición de los elementos del valor 1 de la matriz de información $H_A$ que corresponden a la longitud de información K que corresponde a la longitud de código N y el índice de codificación r del código LDPC de la matriz de comprobación de paridad H (código LDPC definido por la matriz de comprobación de paridad H) para cada 360 filas (número de columna unitario P de la estructura periódica), y se produce por adelantado para una matriz de comprobación de paridad H para cada longitud de código N y cada índice de codificación r.

[0565]

Las Figuras 78 a 123 ilustran las tablas de valores iniciales de la matriz de comprobación de paridad para producir varias matrices de comprobación de paridad H que incluyen las tablas de valor inicial de matriz de comprobación de paridad prescritas en el estándar DVB-S.2.

[0566]

En particular, la Figura 78 muestra la tabla de valor inicial de matriz de comprobación de paridad para la matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 16,200 bits y un índice de codificación r de 2/3.

[0567]

Las Figuras 79 a 81 muestran la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita el estándar DVB-S.2 y que tiene una longitud de código N de 16,200 bits y un índice de codificación r de 2/3.

[0568]

Cabe notar que la Figura 80 es una vista que continúa desde la Figura 79 y la Figura 81 es una vista que continúa en la Figura 80.

[0569]

000405

La Figura 82 muestra la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita el estándar DVB-S.2 y que tiene una longitud de código N de 16,200 bits y un índice de codificación r de 3/4.

[0570]

Las Figuras 83 a 86 muestran la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita el estándar DVB-S.2 y que tiene una longitud de código N de 64,800 bits y un índice de codificación r de 3/4.

[0571]

Cabe notar que la Figura 84 es una vista que continúa de la Figura 83 y la Figura 85 es una vista que continúa de la Figura 84. Además, la Figura 86 es una vista que continúa de la Figura 85.

[0572]

La Figura 87 muestra la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita el estándar DVB-S.2 y que tiene una longitud de código N de 16,200 bits y un índice de codificación r de 4/5.

[0573]

Las Figuras. 88 a 91 muestran la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita el estándar DVB-S.2 y que tiene una longitud de código N de 64,800 bits y un índice de codificación r de 4/5.

[0574]

Cabe notar que la Figura 89 es una vista que continúa de la Figura 88 y la Figura 90 es una vista que continúa de la Figura 89. Además, la Figura 91 es una vista que continúa de la Figura 90.

[0575]

La Figura. 92 muestra la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita el estándar DVB-S.2 y que tiene una longitud de código N de 16,200 bits y un índice de codificación r de 5/6.

[0576]

Las Figuras. 93 a 96 muestran la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita el estándar DVB-S.2 y que tiene una longitud de código N de 64,800 bits y un índice de codificación r de 5/6.

[0577]

000406

Cabe notar que la Figura 94 es una vista que continúa de la Figura 93 y la Figura 95 es una vista que continúa de la Figura 94. Además, la Figura 96 es una vista que continúa de la Figura 95.

[0578]

La Figura. 97 muestra la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita el estándar DVB-S.2 y que tiene una longitud de código N de 16,200 bits y un índice de codificación r de 8/9.

[0579]

Las Figuras. 98 a 101 muestran la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita el estándar DVB-S.2 y que tiene una longitud de código N de 64,800 bits y un índice de codificación r de 8/9.

[0580]

Cabe notar que la Figura 99 es una vista que continúa de la Figura 98 y la Figura 100 es una vista que continúa de la Figura 99. Además, la Figura 101 es una vista que continúa de la Figura 100.

[0581]

Las Figuras. 102 a 105 muestran la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita el estándar DVB-S.2 y que tiene una longitud de código N de 64,800 bits y un índice de codificación r de 9/10.

[0582]

Cabe notar que la Figura 103 es una vista que continúa de la Figura 102 y la Figura 104 es una vista que continúa de la Figura 103. Además, la Figura 105 es una vista que continúa de la Figura 104.

[0583]

Las Figuras. 106 a 107 muestran la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita el estándar DVB-S.2 y que tiene una longitud de código N de 64,800 bits y un índice de codificación r de 1/4.

[0584]

Cabe notar que la Figura 107 es una vista que continúa de la Figura 106.

[0585]

000407

Las Figuras. 108 a 109 muestran la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita el estándar DVB-S.2 y que tiene una longitud de código N de 64,800 bits y un índice de codificación r de 1/3.

[0586]

Cabe notar que la Figura 109 es una vista que continúa de la Figura 108.

[0587]

Las Figuras. 110 a 111 muestran la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita el estándar DVB-S.2 y que tiene una longitud de código N de 64,800 bits y un índice de codificación r de 2/5.

[0588]

Cabe notar que la Figura 111 es una vista que continúa de la Figura 110.

[0589]

Las Figuras. 112 a 114 muestran la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita el estándar DVB-S.2 y que tiene una longitud de código N de 64,800 bits y un índice de codificación r de 1/2.

[0590]

Cabe notar que la Figura 113 es una vista que continúa de la Figura 112 y la Figura 114 es una vista que continúa de la Figura 113.

[0591]

Las Figuras. 115 a 117 muestran la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita el estándar DVB-S.2 y que tiene una longitud de código N de 64,800 bits y un índice de codificación r de 3/5.

[0592]

Cabe notar que la Figura 116 es una vista que continúa de la Figura 115 y la Figura 117 es una vista que continúa de la Figura 116.

[0593]

La Figura. 118 muestra la tabla de valor inicial de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita el estándar DVB-S.2 y que tiene una longitud de código N de 16,200 bits y un índice de codificación r de 1/4.

[0594]

000409

[0602]

Como se describió anteriormente, la tabla de valor inicial de matriz de comprobación de paridad es una tabla que representa la posición de los elementos del valor 1 de la matriz de información HA que corresponden a la longitud de información acá que corresponde a la longitud de código N y el índice de codificación r del código LDPC para cada 630 columnas (para cada número de columna unitario P de la estructura cíclica), y en la primera fila de la tabla de valor inicial de matriz de comprobación de paridad, un número de fila números de elementos del valor 1 en la columna 1+360x(i-1)ava de la matriz de comprobación de paridad H (los número de fila donde el número de fila de la primera fila de la matriz de comprobación de paridad H es igual a 0) igual al número de pesos de columna que tiene la columna 1+360x(i-1)ava.

[0603]

Aquí, se asume que la matriz de paridad $H_T$ de la matriz de comprobación de paridad H que corresponde a la longitud de paridad M tiene una estructura en escalera y se determina por adelantado. De acuerdo con la tabla de valor inicial de la matriz de comprobación de paridad, se determina la matriz de información $H_A$ corresponde a la longitud de información K desde dentro de la matriz de comprobación de paridad H.

[0604]

En número de fila K+1 de la tabla de valor inicial de matriz de comprobación de paridad difiere dependiendo de la longitud de información K.

[0605]

La longitud de información K y el número de fila K+1 de la tabla de valor inicial de matriz de comprobación de paridad satisface una relación dada por la siguiente expresión.

[0606]

$$K = (k + 1) \times 360$$

[0607]

Aquí, 360 en la expresión anterior es el número de columna unitario en P en la estructura cíclica.

[0608]

En la tabla de valor inicial de matriz de comprobación de paridad de la Figura 124, se enlistan 13 valores numéricos en la primera a tercera fila, y los tres valores numéricos son listados en la cuarta a K+1ava (en la Figura 124, 30ava) filas.

[0609]

paridad periódicamente en la división hacia abajo (en la dirección hacia abajo de columna) de acuerdo con longitud de paridad M.

[0614]

En particular, por ejemplo, 2+360x(i-1)ava columna es una columna obtenida al cambiar cíclicamente la 1+360x(i-1)ava columna en la dirección hacia abajo por M/360(= q), y la siguiente 1+360x(i-1)ava es una columna obtenida al cambiar cíclicamente la 1+360×(i-1)ava columna en la dirección hacia abajo por 2 × M/360 (= 2 × q) y luego cambiar cíclicamente (2+360×(i-1)ava columna)en la dirección hacia abajo por M/360 (= q).

[0615]

000411

Ahora, si se asume que el valor numérico en la columna java (java desde la izquierda) en la fila iva (iava desde arriba) de la tabla de valor inicial de matriz de comprobación de paridad se representa por $b_{i,j}$ y el número de fila del elemento java del valor 1 de la columna wava de la matriz de comprobación de paridad H se representa por $H_{w-j}$, entonces el número de fila $H_{w-j}$ del elemento del valor 1 en la columna wava que es una columna diferente de la columna 1+360x(i-1)ava de la matriz de comprobación H se puede determinar de acuerdo con la siguiente expresión.

[0616]

$$H_{w-j} = \mathrm{mod}\{h_{i,j} + \mathrm{mod}((w-1),P) \times q, M\}$$

[0617]

Aquí, mod(x, y) significa un resto cuando x es dividido por y.

[0618]

Mientras tanto, P es u número unitario de columna de la estructura cíclica descrita anteriormente y es, por ejemplo, en el estándar DVB-S.2, 360. Además, q es un valor M/360 obtenido al dividir la longitud de paridad M por el número de columna unitario P (= 360) de la estructura cíclica.

[0619]

La sección de codificación LDPC 21 especifica en número de fila de los elementos del valor 1 en la 1+360(i-1) ésimo columna de la matriz de comprobación de paridad H desde la tabla del valor inicial de matriz de comprobación de paridad.

[0620]

Además, la sección de codificación LDPC 21 determina el número de fila Hw-j el elemento del valor 1 en la columna wava que es una columna diferente de la columna 1+360(i-1)ava columna de la matriz de comprobación de paridad H y produce una matriz de comprobación de paridad H en la cual los elementos de los números de fila obtenidos por lo anterior tienen el valor 1.

[0621]

Ahora se describen variaciones del método de reemplazo de los bits de código del código LDPC en el proceso de reemplazo por la sección de reemplazo 32 del desmultiplexor 25 en el aparato de transmisión 11, esto es, el patrón de asignación (de lo sucesivo denominado como patron de asignación de bit) de los bits de código de un código LDPC y los bits de símbolo representativos de un símbolo.

[0622]

000412

En el desmultiplexor 25, los bits de código del código LDPC se escriben en la dirección de la columna de la memoria 31, que almacena (N/(mb)) x (mb) bits en la dirección de la columna por dirección de fila. Posteriormente, los bits de código son leídos en una unidad de mb bits en la dirección de fila. Además, en el desmultiplexor 25, la sección de reemplazo 32 reemplazo los mb bits de código leídos en la dirección de fila de la memoria 31 y determinan los bits de código después del reemplazo como los mb bits de símbolo de los (sucesivos) símbolos b.

[0623]

En particular, la sección de reemplazo 32 determina el i+1ava bit desde el bit más significativo de los mb bits de código leídos en la dirección de fila de la memoria 31 como el bit código $b_i$ y determina el bit i+1ava desde el bit más significativo desde los mb bits de símbolo de los símbolos b (sucesivos) como el bit de símbolo $y_i$, y luego reemplaza los bits de código mb $b_0$ a $b_{mb-1}$ de acuerdo con un patrón de asignación de bit predeterminado.

[0624]

La Figura. 125 muestra un ejemplo de un factor de asignación de bit que se puede adoptar donde el código LDPC es un código LDPC cuya longitud de código N es 64,800 bits y cuyo índice de codificación es 5/6 o 9/10 y además el método de modulación es 4096QAM y el múltiplo b es 1.

[0625]

Donde el código LDPC es un código LDPC cuya longitud de código N es 64,800 bits y cuyo índice de codificación es 5/6 o 9/10 y además el método de modulación s 4096QAM y l múltiplo es 1, el desmultiplexor 25, los bits de código descritos en la memoria 31 para almacenar (64,800/(12 x 1)) x (12 x 1) bits en la dirección de columna por dirección de fila son leídos e una unidad de 12 x 1 (= mb) bits en la dirección de fila y suministrados a la sección de reemplazo 32.

[0626]

La sección de reemplazo 32 reemplaza 12 x 1 (= mb) bits de código $b_0$ a $b_{11}$ tal que los 12 x 1 (= mb) bits de código $b_0$ a $b_{11}$ son leídos desde la memoria 31 para ser asignados a los 12 x 1 (= mb) bits de símbolo $y_0$ a $y_{11}$ de un símbolos (= b) como se ve en la Figura 125.

[0627]

En particular, de acuerdo a la Figura 125, la sección de reemplazo 32 lleva cabo, con relación a ambos de un código LDPC que tiene un índice de codificación de 5/6 y un código LDPC que tiene un índice de codificación de 9/10 desde entre los códigos LDPC que tienen una longitud de código N de 64,800 bits, reemplazo para asignar

El bit de código $b_0$ al bit de símbolo $y_8$,

El bit de código $b_1$ al bit de símbolo $y_0$,
El bit de código $b_2$ al bit de símbolo $y_6$,
El bit de código $b_3$ al bit de símbolo $y_1$,
El bit de código $b_4$ al bit de símbolo $y_4$,
El bit de código $b_5$ al bit de símbolo $y_5$,
El bit de código $b_6$ al bit de símbolo $y_2$,
El bit de código $b_7$ al bit de símbolo $y_3$,
El bit de código $b_8$ al bit de símbolo $y_7$,
El bit de código $b_9$ al bit de símbolo $y_{10}$,
El bit de código $b_{10}$ al bit de símbolo $y_{11}$, y
El bit de código $b_{11}$ al bit de símbolo $y_9$.

[0628]

La Figura. 226 muestra un ejemplo de un patrón de asignación de bit que se puede adoptar donde el código LDPC es un código LDPC cuya longitud de código N es 64,800 bits y cuyo índice de codificación es 5/6 o 9/10 y además el método de modulación es 4096QAM y el múltiplo b es 2.

[0629]

Donde el código LDPC es un código LDPC cuya longitud de código N es 64,800 bits y cuyo índice de codificación es 5/6 o 9/10 y además el método modulación es 4096QAM y el múltiplo b es 2, en el desmultiplexor 25, los bits de código escritos en la memoria 31 para almacenar (64,800/(12 x 2)) x (12 x 2) bits en la dirección de columna x la dirección de fila son leídos en una unidad de 12 x 2 (= mb) bits en la dirección de fila y suministrados a la sección de reemplazo 32.

[0630]

La sección de reemplazo 32 reemplaza 12 x 2 (= mb) bits de código $b_0$ a $b_{23}$ de tal forma que los 12 x 2 (= mb) bits de código $b_0$ a $b_{23}$ a ser leídos desde la memoria 31 se pueden asignar a los 12 x 2 (=mb) bits de símbolo $y_0$ a $y_{23}$ de los dos (= mb) símbolos sucesivos como se en la Figura 126.

[0631]

En particular, de acuerdo con la Figura 126, la sección de reemplazo 32 lleva a cabo, con relación a ambos de un código LDPC que tienen un índice de codificación de 5/6 y un código LDPC que tiene un índice de codificación de 9/10 de entre códigos LDPC que tienen la longitud de código N de 64,800 bits, reemplazo para asignar.

El bit de código $b_0$ al bit de símbolo $y_8$,
El bit de código $b_2$ al bit de símbolo $y_0$,
El bit de código $b_4$ al bit de símbolo $y_6$,

000414

El bit de código $b_6$ al bit de símbolo $y_1$,
El bit de código $b_8$ al bit de símbolo $y_4$,
El bit de código $b_{10}$ al bit de símbolo $y_5$,
El bit de código $b_{12}$ al bit de símbolo $y_2$,
El bit de código $b_{14}$ al bit de símbolo $y_3$,
El bit de código $b_{16}$ al bit de símbolo $y_7$,
El bit de código $b_{18}$ al bit de símbolo $y_{10}$,
El bit de código $b_{20}$ al bit de símbolo $y_{11}$,
El bit de código $b_{22}$ al bit de símbolo $y_9$,
El bit de código $b_1$ al bit de símbolo $y_{20}$,
El bit de código $b_3$ al bit de símbolo $y_{12}$,
El bit de código $b_5$ al bit de símbolo $y_{18}$,
El bit de código $b_7$ al bit de símbolo $y_{13}$,
El bit de código $b_9$ al bit de símbolo $y_{16}$,
El bit de código $b_{11}$ al bit de símbolo $y_{17}$,
El bit de código $b_{13}$ al bit de símbolo $y_{14}$,
El bit de código $b_{15}$ al bit de símbolo $y_{15}$,
El bit de código $b_{17}$ al bit de símbolo $y_{19}$,
El bit de código $b_{19}$ al bit de símbolo $y_{22}$,
El bit de código $b_{21}$ al bit de símbolo $y_{23}$, y
El bit de código $b_{23}$ al bit de símbolo $y_{21}$.

[0632]

Aquí, el patrón de asignación de bit de la Figura 126 utiliza el patrón de asignación de bit de la Figura 125 en donde el múltiplo b es 1 sin ninguna modificación. En particular, en la Figura 126, la asignación de los bits de código $b_0$, $b_2$, ..., $b_{22}$ a los bits de símbolo $y_i$ en la asignación de $b_1$, $b_2$, ..., $b_{23}$ a los a los bits de símbolo $y_i$ son similares a la asignación de los bits de código $b_0$ a $b_{11}$ en los bits de símbolo $y_1$ de la Figura 125.

[0633]

La Figura. 127 muestra un ejemplo de un patrón de asignación de bit que se puede adoptar donde el método de modulación es 1024QAM y el código LDPC es un código LDPC cuya longitud de código N es 64,800 bits y cuyo índice de codificación es 3/4, 5/6 u 8/9 y además el múltiplo b es 2 y también donde el método de modulación es 1024QAM y el código LDPC es un código LDPC cuya longitud de código N es 64,800 bits y cuya longitud de codificación es 3/4, 5/6 o 9/10 y además el múltiplo b es 2.

[0634]

Donde el código LDPC es un código LDPC cuya longitud de código N es 16,200 bits y cuyo índice de codificación es 3/4, 5/6 u 8/9 y además el método modulación es 1024QAM y

además el múltiplo b es 2, en el desmultiplexor 25, los bits de código escritos en la memoria 31 para almacenar (16,200/(10 x 2)) x (10 x 2) bits en la dirección de columna x la dirección de fila son leídos en una unidad de 10 x 2 (= mb) bits en la dirección de fila y suministrados a la sección de reemplazo 32.

[0635]

De otro lado, donde el código LDPC es un código LDPC cuya longitud de código N es 64,800 bits y cuyo índice de codificación es 3/4, 5/6 u 9/10 y además el método modulación es 1024QAM y además el múltiplo b es 2, en el desmultiplexor 25, los bits de código escritos en la memoria 31 para almacenar (64,800/(10 x 2)) x (10 x 2) bits en la dirección de columna x la dirección de fila son leídos en una unidad de 10 x 2 (= mb) bits en la dirección de fila y suministrados a la sección de reemplazo 32.

[0636]

La sección de reemplazo 32 reemplaza 10 x 2 (= mb) bits de código $b_0$ a $b_{19}$ de tal forma que los 10 x 2 (= mb) bits de código $b_0$ a $b_{19}$ a ser leídos desde la memoria 31 se pueden asignar a los 10 x 2 (=mb) bits de símbolo $y_0$ a $y_{19}$ de los dos (= mb) símbolos sucesivos como se en la Figura 127.

[0637]

En particular, de acuerdo con la Figura 127, la sección de reemplazo 32 lleva a cabo, con relación a todos los códigos LDPC que tienen un índice de codificación de 3/4, los códigos LDPC tiene un índice de codificación de 5/6 y los códigos LDPC tienen un índice de codificación opcional de 8/9 de entre los códigos LDPC la longitud de código N de 16,200 bits, así como también el código LDPC que tiene un índice de codificación de 3/4, los códigos LDPC tiene un índice de codificación de 5/6 y los códigos LDPC tienen un índice de codificación opcional de 9/10 de entre los códigos LDPC la longitud de código N de 16,200 reemplazo por asignar.

El bit de código $b_0$ al bit de símbolo $y_8$,

El bit de código $b_1$ al bit de símbolo $y_3$,

El bit de código $b_2$ al bit de símbolo $y_7$,

El bit de código $b_3$ al bit de símbolo $y_{10}$,

El bit de código $b_4$ al bit de símbolo $y_{19}$,

El bit de código $b_5$ al bit de símbolo $y_4$,

El bit de código $b_6$ al bit de símbolo $y_9$,

El bit de código $b_7$ al bit de símbolo $y_5$,

El bit de código $b_8$ al bit de símbolo $y_{17}$,

El bit de código $b_9$ al bit de símbolo $y_6$,

El bit de código $b_{10}$ al bit de símbolo $y_{14}$,

El bit de código $b_{11}$ al bit de símbolo $y_{11}$,

El bit de código $b_{12}$ al bit de símbolo $y_2$,

El bit de código $b_{13}$ al bit de símbolo $y_{18}$,
El bit de código $b_{14}$ al bit de símbolo $y_{16}$,
El bit de código $b_{15}$ al bit de símbolo $y_{15}$,
El bit de código $b_{16}$ al bit de símbolo $y_0$,
El bit de código $b_{17}$ al bit de símbolo $y_1$,
El bit de código $b_{18}$ al bit de símbolo $y_{13}$, y
El bit de código $b_{19}$ al bit de símbolo $y_{12}$.

[0638]

La Figura. 128 muestra un ejemplo de un patrón de asignación puede adoptar donde el método de modulación es 4096QAM y el código LDPC es un código LDPC cuya longitud de código N es 16,200 bits y cuyo índice de codificación es 5/6 u 8/9 y además el múltiplo b es 2 y también donde el método de modulación es 4096QAM y el código LDPC es un código LDPC cuya longitud de código N es 64,800 bits y cuya longitud de codificación es 5/6 o 9/10 y además el múltiplo b es 2.

[0639]

Donde el código LDPC es un código LDPC cuya longitud de código N es 16,200 bits y cuyo índice de codificación es 5/6 u 8/9 y el método modulación es 1024QAM y además el múltiplo b es 2, en el desmultiplexor 25, los bits de código escritos en la memoria 31 para almacenar (16,200/(12 x 2)) x (12 x 2) bits en la dirección de columna x la dirección de fila son leídos en una unidad de 12 x 2 (= mb) bits en la dirección de fila y suministrados a la sección de reemplazo 32.

[0640]

De otro lado, donde el código LDPC es un código LDPC cuya longitud de código N es 64,800 bits y cuyo índice de codificación es 5/6 u 9/10 y el método modulación es 1024QAM y además el múltiplo b es 2, en el desmultiplexor 25, los bits de código escritos en la memoria 31 para almacenar (64,800/(12 x 2)) x (12 x 2) bits en la dirección de columna x la dirección de fila son leídos en una unidad de 12 x 2 (= mb) bits en la dirección de fila y suministrados a la sección de reemplazo 32.

[0641]

La sección de reemplazo 32 reemplaza 12 x 2 (= mb) bits de código $b_0$ a $b_{23}$ de tal forma que los 12 x 2 (= mb) bits de código $b_0$ a $b_{23}$ a ser leídos desde la memoria 31 se pueden asignar a los 12 x 2 (=mb) bits de símbolo $y_0$ a $y_{23}$ de los dos (= mb) símbolos sucesivos como se en la Figura 128.

[0642]

000427

En particular, de acuerdo con la Figura 128, la sección de reemplazo 32 lleva a cabo, con relación a todos los códigos LDPC que tienen un índice de codificación de 5/6, y unos códigos LDPC que tiene el índice de codificación de 8/9 desde entre los códigos LDPC tienen una longitud de código de 16,200 bits, así como también los código LDPC que tienen el índice de codificación de 5/6, y los códigos LDPC que tienen el índice de codificación de 8/9 de entre los códigos LDPC que tienen otra longitud de código N de 64,800, reemplazo para asignar.

El bit de código $b_0$ al bit de símbolo $y_{10}$,

El bit de código $b_1$ al bit de símbolo $y_{15}$,

El bit de código $b_2$ al bit de símbolo $y_4$,

El bit de código $b_3$ al bit de símbolo $y_{19}$,

El bit de código $b_4$ al bit de símbolo $y_{21}$,

El bit de código $b_5$ al bit de símbolo $y_{16}$,

El bit de código $b_6$ al bit de símbolo $y_{23}$,

El bit de código $b_7$ al bit de símbolo $y_{18}$,

El bit de código $b_8$ al bit de símbolo $y_{11}$,

El bit de código $b_9$ al bit de símbolo $y_{14}$,

El bit de código $b_{10}$ al bit de símbolo $y_{22}$,

El bit de código $b_{11}$ al bit de símbolo $y_5$,

El bit de código $b_{12}$ al bit de símbolo $y_6$,

El bit de código $b_{13}$ al bit de símbolo $y_{17}$,

El bit de código $b_{14}$ al bit de símbolo $y_{13}$,

El bit de código $b_{15}$ al bit de símbolo $y_{20}$,

El bit de código $b_{16}$ al bit de símbolo $y_1$,

El bit de código $b_{17}$ al bit de símbolo $y_3$,

El bit de código $b_{18}$ al bit de símbolo $y_9$,

El bit de código $b_{19}$ al bit de símbolo $y_2$,

El bit de código $b_{20}$ al bit de símbolo $y_7$,

El bit de código $b_{21}$ al bit de símbolo $y_8$,

El bit de código $b_{22}$ al bit de símbolo $y_{12}$, y

El bit de código $b_{23}$ al bit de símbolo $y_0$.

[0643]

De acuerdo con los patrones de asignación de bit mostrados en la Figura 125 a 128, se puede adoptar el mismo patrón de asignación de bit para una pluralidad de clase de códigos LDPC, y además, se puede ajustar la tolerancia a los errores a un desempeño deseado con relación a todas las clases plurales de códigos LDPC.

[0644]

En particular, las Figuras. 129 a 132 ilustran los resultados de las simulaciones del BER (Bit Error Rate) donde se lleva a cabo un proceso de reemplazo de acuerdo con los patrones de asignación de bit de las Figuras. 125 a 128.

[0645]

Cabe notar que, en las Figuras. 129 a 132, el eje de las abscisas representa ES/N0 (índice de potencia de señal a potencia de ruido por un símbolo) y el eje de las abscisas ordenas representa el BER.

[0646]

Además, la curva de líneas sólidas representa el BER donde se lleva a cabo el proceso de reemplazo y una línea punteada larga y corta alternante representa el BER donde el proceso de reemplazo no se lleva cabo.

[0647]

La Figura. 129 ilustra el BER donde el proceso de reemplazo de acuerdo con el patrón de asignación de bit de la Figura 125 se lleva a cabo para los códigos LDPC cuya longitud de código N es de 64,800 y cuyo índice de codificación es 5/6 y 9/10 adoptando el 4096QAM como el método de modulación y estableciendo el múltiplo b en 1.

[0648]

La Figura. 130 ilustra el BER donde el proceso de remplazo de acuerdo con el patrón de asignación de bit de la Figura 126 se lleva a cabo para los códigos LDPC cuya longitud de código N es 64,800 y cuyo índice de codificación es 5/6 y 9/10 adoptando el 4096QAM como el método de modulación y estableciendo el múltiplo b en 2.

[0649]

Cabe notar que como en las Figuras. 129 y 130, una gráfica que tiene una marca triangular aplicada a esta representa el BER con relación al código LDPC que tiene el índice de codificación de 5/6, y una gráfica que tiene un asterisco aplicado a esta representa el BER con relación al código LDPC que tiene el índice de codificación de 9/10.

[0650]

La Figura. 131 ilustra el BER donde el proceso de reemplazo de acuerdo con el patrón de asignación bit de la Figura.127se lleva cabo para los códigos LDPC cuya longitud de código N es 16,200 y cuyo índice de codificación es 3/4, 5/6 y 8/9 y para los códigos LDPC cuya longitud de código N es 64,800 y cuyo índice de codificación es 3/4, 5/6 y 9/10 adaptando el 1024QAM como el método de modulación y estableciendo el múltiplo b en 2.

[0651]

000429

Cabe notar que en la Figura 131, una gráfica que tiene un asterisco aplicada a esta representa el BER con relación al código LDPC que tienen la longitud de código N de 64,800 y el índice de codificación de 9/10, y una gráfica que tiene una marca triangular dirigida hacia arriba aplicada a esta representa el BER con relación al código LDPC que tienen la longitud de código N de 64,800 y el índice de codificación de 5/6. Además, una gráfica que tiene una marca cuadrada aplicada a esta representa el BER con relación al código LDPC que tienen la longitud de código N de 64,800 y el índice de codificación de 3/4.

[0652]

Además, en la Figura 131 una marca redondeada aplicada a esta representa el BER con relación al código LDPC que tienen la longitud de código N de 16,200 y el índice de codificación de 8/9, y una gráfica que tiene una marca triangular dirigida hacia arriba aplicada a esta representa el BER con relación al código LDPC que tienen la longitud de código N de 16,200 y el índice de codificación de 5/6. Además. Una gráfica que tiene una marca de más aplicada a esta representa el BER con relación al código LDPC que tienen la longitud de código N de 16,200 y el índice de codificación de 3/4.

[0653]

La Figura 132 ilustra el BER donde el proceso de reemplazo de acuerdo con el patrón de asignación bit de la Figura 128 se lleva cabo para los códigos LDPC cuya longitud de código N es 16,200 y cuyo índice de codificación es 5/6 y 8/9 y para los códigos LDPC cuya longitud de código N es 64,800 y cuyo índice de codificación es 5/6 y 9/10 adaptando el 4096QAM como el método de modulación y estableciendo el múltiplo b en 2.

[0654]

Cabe notar que en la Figura 132, una gráfica que tiene un asterisco aplicada a esta representa el BER con relación al código LDPC que tienen la longitud de código N de 64,800 y el índice de codificación de 5/6.

[0655]

Además, en la Figura 132 una gráfica que tiene marca redondeada aplicada a esta representa el BER con relación al código LDPC que tienen la longitud de código N de 16,200 y el índice de codificación de 8/9, y una gráfica que tiene una marca triangular dirigida hacia abajo aplicada a esta representa el BER con relación al código LDPC que tienen la longitud de código N de 16,200 y el índice de codificación de 5/6.

[0656]

De acuerdo a las Figuras 129 a 132, el mismo patrón de asignación de bit se puede adaptar con relación a una pluralidad de clases de códigos LDPC. Además, la tolerancia a los

000420

errores se puede establecer en un desempeño deseado con relación a todas las clases plurales de códigos LDPC.

[0657]

En particular, en donde el patrón de asignación de bit para uso exclusivo se adopta para cada una de una pluralidad de clases de códigos LDPC que tienen diferentes longitudes y diferentes índices de cosificación, la tolerancia al error se puede elevar a un desempeño muy alto. Sin embargo, es necesario cambiar el patrón de asignación de bit para cada una de una pluralidad de clases de códigos LDPC.

[0658]

De otro lado, de acuerdo a los patrones de asignación de bit de las Figuras. 125 a 128, se puede adoptar el mismo patrón de asignación de bit para una pluralidad de clases de códigos LDPC que tienen diferentes longitudes de consignados y diferentes índices de codificación, y se elimina la necesidad de cambiar el patrón de asignación de bit para cada una de una de una pluralidad de clases de los códigos LDPC como en el caso en donde un patrón de asignación de bit para uso exclusivo se adopta para cada una de una puridad de clases de códigos LDPC.

[0659]

Además, de acuerdo a los patrones de asignación de bit de las Figuras 125 a 128, la tolerancia a los errores se puede elevar a un desempeño alto aunque este es un poco inferior que aquella cuando el patrón de asignación de bit para los exclusivos se adopta para cada una de una pluralidad de clases de códigos LDPC.

[0660]

En particular, por ejemplo, donde el método de modulación es 4096QAM, el mismo patrón de asignación de bit en las Figuras. 125 o 126 se pueden utilizar para todos los códigos LDPC que tienen la longitud de código N de 64,800 y el índice de codificación de 5/6 y 9/10. Aun cuando se adopta el mismo patrón de asignación de bit de esta manera, se puede elevar la tolerancia a los errores a un alto desempeño.

[0661]

Además, por ejemplo, cuando el método de modulación es 1024QAM el mismo patrón de asignación de bit en la Figura 127 se puede adoptar para todos los códigos LDPC que tienen la longitud de código N de 16,200 y el índice de codificación de 3/4, 5/6 y 8/9 y los códigos LDPC que tiene la longitud de código N de 64,800 y el índice de codificación de 3/4, 5/6 y 9/10. Entonces, aun si se adopta el mismo patrón de asignación de bit de esta manera, la tolerancia a los errores se puede elevar a un alto desempeño.

000421

[0662]

Mientras tanto, por ejemplo, cuando el método de modulación es 4096QAM, se puede adoptar el mismo patrón de asignación de bit de la Figura 128 para todos los códigos LDPC que tienen una longitud de código N de 16,200 y el índice de codificación de 5/6 y 8/9 y los códigos LDPC que tienen la longitud de código N de 64,800 y el índice de codificación de 5/6 y 9/10. Entonces, aun si se adopta el mismo patrón de asignación de bit de esta manera, la tolerancia a los errores se puede elevar a un alto desempeño.

[0663]

Las variaciones del patrón de asignación de bit se describen adicionalmente.

[0664]

La Figura 133 ilustra un ejemplo de un patrón de asignación de bit que se pueda adoptar donde el código LDPC es un código LDPC que tiene una longitud de código N de 16,200 o 64,800 bits y uno de los índices de codificación para el código LDPC definido por una matriz de comprobación de paridad H producida, por ejemplo, de cualquiera de las tablas de valor inicial de matriz de comprobación de paridad mostradas en las Figuras 78 a 123 diferentes del índice de codificación de 3/5 y además el método de modulación es QPSK y el múltiplo b es 1.

[0665]

Donde el código LDPC es un código LDPC que tiene la longitud de código N de 16,200 o 64,800 bits y tiene el índice de codificación diferente de 3/5 y además el método de modulación es QPSK y el múltiplo b es 1, el desmultiplexor 25 lee los bits de código escritos en la memoria 31 para almacenar (N/(2 x1)) x (2 x 1) bits en la dirección de la columna x la dirección de fila en una unidad de 2 x 1 (= mb)bits en la dirección de la fila y suministra la lectura de los bits de códigos a la sección de reemplazo 32.

[0666]

La sección de reemplazo 32 reemplaza el 2 x 1 (= mb) bits de código $b_0$ y $b_1$ leídos de la memoria 31 de tal manera que el 2 x 1 (= mb) bits de código $b_0$ y $b_1$ se asigna a los 2 x 1 (= mb) bits de símbolo a $y_0$ a $y_1$ de un (= b) símbolo como se ve en la Figura 133.

[0667]

En particular, de acuerdo a la Figura 133, la sección de reemplazo 32 lleva cabo el reemplazo para asignar

El bit de código $b_0$ al bit de símbolo $y_{10}$, y

El bit de código $b_1$ al bit de símbolo $y_1$.

[0668]

000422

Cabe notar que, en este caso, también es posible reconsiderar que el reemplazo no se lleva a cabo y que los bits de código $b_0$ y $b_1$ son determinados en la medida en tanto que ellos sean los bits de símbolo $y_0$ y $y_1$, respectivamente.

[0669]

La figura 134 muestra un ejemplo de un patrón de asignación de bit que se puede adoptar donde el código LDPC es un código LDPC que tiene una longitud de código N de 16,200 o 64,800 bits y tiene un índice de codificación diferente de 3/5 y además el método de modulación es 16QAM y el múltiplo b es 2.

[0670]

Donde el código LDPC en un código LDPC que tiene una longitud de código N de 16,200 o 64,800 bits y tiene el índice de codificación diferente de 3/5 y además el método de modulación es 16QAM y el múltiplo b es 2, el en el desmultiplexor 25, lee los bits de código escritos en la memoria 31 para almacenar (N/(4 x 2)) x (4 x 2) bits en la dirección de columna x la dirección de fila son leídos en una unidad de 4 x 2 (= mb) bits en la dirección de fila y suministrada los bits de código de lectura para a la sección de reemplazo 32.

[0671]

La sección de reemplazo 32 reemplaza los 4 x 2 (= mb) bits de código $b_0$ a $b_7$ leídos desde la memoria 31 de tal manera que los 4 x 2 (= mb) bits de código son asignados a los 4 x 2 (= mb) bits de símbolo $y_0$ a $y_7$ de dos (= mb) símbolo sucesivos como se ven en la Figura 134.

[0672]

En particular, de acuerdo con la Figura 134 en la sección de reemplazo 32 lleva a cabo reemplazo para asignar.

El bit de código $b_0$ al bit de símbolo $y_7$,
El bit de código $b_1$ al bit de símbolo $y_1$,
El bit de código $b_2$ al bit de símbolo $y_4$,
El bit de código $b_3$ al bit de símbolo $y_2$,
El bit de código $b_4$ al bit de símbolo $y_5$,
El bit de código $b_5$ al bit de símbolo $y_3$,
El bit de código $b_6$ al bit de símbolo $y_6$, y
El bit de código $b_7$ al bit de símbolo $y_0$.

[0673]

La Figura. 135 muestra un ejemplo de un patrón de asignación de bit que se pueda adoptar donde el método de modulación es 64QAMM y el código LDPC es un código LDPC cuya longitud de código es 16,200 o 64,800 bits y cuyo índice de codificación es diferente de 3/5 y además el múltiplo b es 2.

[0674]

Donde el LDPC es un código LDPC cuya longitud de código es 16,200 o 64,800 bits y cuyo índice de codificación es diferente de 3/5 y el método de modulación es 64QAMM y además el múltiplo b es 2, en el desmultiplexor 25, los bits de código escritos en la memoria 31 para almacenar (N/(6 x 2)) x (6 x 2) bits en la dirección de columna x la dirección de fila son leídos en una unidad de 6 x 2 (= mb) bits en la dirección de fila y se suministran a la sección de reemplazo 32.

[0675]

La sección de reemplazo 32 reemplaza los 6 x 2 (= mb) bits de código $b_0$ a $b_{11}$ leídos desde la memoria 31 de tal manera que los 6 x 2 (= mb) bits de código son asignados a los 6 x 2 (= mb) bits de símbolo $y_0$ a $y_{11}$ de dos (= mb) símbolo sucesivos como se ven en la Figura 135.

[0676]

En particular, de acuerdo con la Figura 135 en la sección de reemplazo 32 lleva a cabo el reemplazo para asignar.

El bit de código $b_0$ al bit de símbolo $y_{11}$,
El bit de código $b_1$ al bit de símbolo $y_7$,
El bit de código $b_2$ al bit de símbolo $y_3$,
El bit de código $b_3$ al bit de símbolo $y_{10}$,
El bit de código $b_4$ al bit de símbolo $y_6$,
El bit de código $b_5$ al bit de símbolo $y_2$,
El bit de código $b_6$ al bit de símbolo $y_9$,
El bit de código $b_7$ al bit de símbolo $y_5$,
El bit de código $b_8$ al bit de símbolo $y_1$,
El bit de código $b_9$ al bit de símbolo $y_8$,
El bit de código $b_{10}$ al bit de símbolo $y_4$, y
El bit de código $b_{11}$ al bit de símbolo $y_0$.

[0677]

La Figura 136 muestra un ejemplo de un patrón de asignación de bit que se pueda adoptar donde el método de modulación es 256QAMM y el código LDPC es un código LDPC cuya longitud de código es 64,800 bits y cuyo índice de codificación es diferente de 3/5 y además el múltiplo b es 2.

[0678]

Donde el LDPC es un código LDPC cuya longitud de código es 64,800 bits y cuyo índice de codificación es diferente de 3/5 y el método de modulación es 256QAMM y además el múltiplo b es 2, en el desmultiplexor 25, los bits de código escritos en la memoria 31 para

almacenar (64,800/(8 x 2)) x (8 x 2) bits en la dirección de columna x la dirección de fila son leídos en una unidad de 8 x 2 (= mb) bits en la dirección de fila y se suministran a la sección de reemplazo 32.

[0679]

La sección de reemplazo 32 reemplaza los 8 x 2 (= mb) bits de código $b_0$ a $b_{15}$ leídos desde la memoria 31 de tal manera que los 8 x 2 (= mb) bits de código $b_0$ a $b_{15}$ se pueden asignar a los 8 x 2 (= mb) bits de símbolo $y_0$ a $y_{15}$ de dos (= mb) símbolo sucesivos como se ven en la Figura 136.

[0680]

En particular, de acuerdo con la Figura 136, la sección de reemplazo 32 lleva a cabo el reemplazo para asignar.

El bit de código $b_0$ al bit de símbolo $y_{15}$,
El bit de código $b_1$ al bit de símbolo $y_1$,
El bit de código $b_2$ al bit de símbolo $y_{13}$,
El bit de código $b_3$ al bit de símbolo $y_3$,
El bit de código $b_4$ al bit de símbolo $y_8$,
El bit de código $b_5$ al bit de símbolo $y_{11}$,
El bit de código $b_6$ al bit de símbolo $y_9$,
El bit de código $b_7$ al bit de símbolo $y_5$,
El bit de código $b_8$ al bit de símbolo $y_{10}$,
El bit de código $b_9$ al bit de símbolo $y_6$,
El bit de código $b_{10}$ al bit de símbolo $y_4$,
El bit de código $b_{11}$ al bit de símbolo $y_7$,
El bit de código $b_{12}$ al bit de símbolo $y_{12}$,
El bit de código $b_{13}$ al bit de símbolo $y_2$,
El bit de código $b_{14}$ al bit de símbolo $y_{14}$,
El bit de código $b_{15}$ al bit de símbolo $y_0$.

[0681]

La Figura 137 muestra un ejemplo de un patrón de asignación de bit que se pueda adoptar donde el método de modulación es 256QAMM y el código LDPC es un código LDPC cuya longitud de código es N 16,200 bits y cuyo índice de codificación es diferente de 3/5 y además el múltiplo b es 1.

[0682]

Donde el LDPC es un código LDPC cuya longitud de código es N 16,200 bits y cuyo índice de codificación es diferente de 3/5 y el método de modulación es 256QAMM y además el múltiplo b es 1, en el desmultiplexor 25, los bits de código escritos en la memoria 31 para

000425

almacenar (16,200/(8 x 1)) x (8 x 1) bits en la dirección de columna x la dirección de fila son leídos en una unidad de 8 x 1 (= mb) bits en la dirección de fila y se suministran a la sección de reemplazo 32.

[0683]

La sección de reemplazo 32 reemplaza los 8 x 1 (= mb) bits de código $b_0$ a $b_7$ leídos desde la memoria 31 de tal manera que los 8 x 1 (= mb) bits de código $b_0$ a $b_7$ se pueden asignar a los 8 x 1 (= mb) bits de símbolo $y_0$ a $y_7$ de un (= mb) símbolo como se ven en la Figura 137.

[0684]

En particular, de acuerdo con la Figura 137, la sección de reemplazo 32 lleva a cabo el reemplazo para asignar.

El bit de código $b_0$ al bit de símbolo $y_7$,
El bit de código $b_1$ al bit de símbolo $y_3$,
El bit de código $b_2$ al bit de símbolo $y_1$,
El bit de código $b_3$ al bit de símbolo $y_5$,
El bit de código $b_4$ al bit de símbolo $y_2$,
El bit de código $b_5$ al bit de símbolo $y_6$,
El bit de código $b_6$ al bit de símbolo $y_4$, y
El bit de código $b_7$ al bit de símbolo $y_0$,

[0685]

Figura. 138 muestra un ejemplo de un patrón de asignación de bit que se pueda adoptar donde el código LDPC es un código LDPC cuya longitud de código es 16,200 o 64,800 bits y cuyo índice de codificación es diferente de 3/5 y además el método de modulación es QPSK y el múltiplo b es 1.

[0686]

Donde el LDPC es un código LDPC cuya longitud de código N es de 16,200 o 64,800 bits y cuyo índice de codificación es diferente de 3/5 y además el método de modulación es QPSK y el múltiplo b es 1, en el desmultiplexor 25, los bits de código escritos en la memoria 31 para almacenar (N/(2 x 1)) x (2 x 1) bits en la dirección de columna x la dirección de fila son leídos en una unidad de 2 x 1 (= mb) bits en la dirección de fila y se suministran a la sección de reemplazo 32.

[0687]

La sección de reemplazo 32 reemplaza los 2 x 1 (= mb) bits de código $b_0$ a $b_1$ leídos desde la memoria 31 de tal manera que los 2 x 1 (= mb) bits de código $b_0$ a $b_1$ se pueden

asignar a los 2 x 1 (= mb) bits de símbolo $y_0$ a $y_1$ de un (= mb) símbolo como se ven en la Figura 138.

[0688]

En particular, de acuerdo con la Figura 138, la sección de reemplazo 32 lleva a cabo el reemplazo para asignar.

El bit de código $b_0$ al bit de símbolo $y_0$, y

El bit de código $b_1$ al bit de símbolo $y_2$.

[0689]

Se debe notar, en este caso, también es posible considerar que el reemplazo no se lleve a cabo y que los bits de código $b_0$ y $b_1$ se determinen en tanto ellos sean los bits de símbolo $y_0$ y $y_1$, respectivamente.

[0690]

Figura. 139 muestra un ejemplo de un patrón de asignación de bit que se pueda adoptar donde el código LDPC es un código LDPC cuya longitud de código es N 64,800 bits y cuyo índice de codificación es 3/5 y además el método de modulación es 16QAM y el múltiplo b es 2.

[0691]

Donde el LDPC es un código LDPC cuya longitud de código N es de 64,800 bits y cuyo índice de codificación es 3/5 y además el método de modulación es 16QAM y el múltiplo b es 2, en el desmultiplexor 25, los bits de código escritos en la memoria 31 para almacenar (64,800/(4 x 2)) x (4 x 2) bits en la dirección de columna x la dirección de fila son leídos en una unidad de 4 x 2 (= mb) bits en la dirección de fila y se suministran a la sección de reemplazo 32.

[0692]

La sección de reemplazo 32 reemplaza los 4 x 2 (= mb) bits de código $b_0$ a $b_7$ leídos desde la memoria 31 de tal manera que los 4 x 2 (= mb) bits de código $b_0$ a $b_7$ se pueden asignar a los 4 x 2 (= mb) bits de símbolo $y_0$ a $y_7$ de dos (= mb) símbolos sucesivos como se ven en la Figura 139.

[0693]

En particular, de acuerdo con la Figura 139, la sección de reemplazo 32 lleva a cabo el reemplazo para asignar.

El bit de código $b_0$ al bit de símbolo $y_0$,

El bit de código $b_1$ al bit de símbolo $y_5$,

El bit de código $b_2$ al bit de símbolo $y_1$,

El bit de código $b_3$ al bit de símbolo $y_2$,

El bit de código $b_4$ al bit de símbolo $y_4$,

El bit de código $b_5$ al bit de símbolo $y_7$.

El bit de código $b_6$ al bit de símbolo $y_3$, y

El bit de código $b_7$ al bit de símbolo $y_6$.

[0694]

La Figura. 140 muestra un ejemplo de un patrón de asignación de bit que se pueda adoptar donde el código LDPC es un código LDPC cuya longitud de código es N 16,200 bits y cuyo índice de codificación es 3/5 y además el método de modulación es 16QAM y el múltiplo b es 2.

[0695]

Donde el LDPC es un código LDPC cuya longitud de código N es de 16,200 bits y cuyo índice de codificación es 3/5 y además el método de modulación es 16QAM y el múltiplo b es 2, en el desmultiplexor 25, los bits de código escritos en la memoria 31 para almacenar (16,200/(4 x 2)) x (4 x 2) bits en la dirección de columna x la dirección de fila son leídos en una unidad de 4 x 2 (= mb) bits en la dirección de fila y se suministran a la sección de reemplazo 32.

[0696]

La sección de reemplazo 32 reemplaza los 4 x 2 (= mb) bits de código $b_0$ a $b_7$ leídos desde la memoria 31 de tal manera que los 4 x 2 (= mb) bits de código $b_0$ a $b_7$ se pueden asignar a los 4 x 2 (= mb) bits de símbolo $y_0$ a $y_7$ de dos (= b) símbolos sucesivos como se ven en la Figura 240.

[0697]

En particular, de acuerdo con la Figura 140, la sección de reemplazo 32 lleva a cabo el reemplazo para asignar.

El bit de código $b_0$ al bit de símbolo $y_7$,

El bit de código $b_1$ al bit de símbolo $y_1$,

El bit de código $b_2$ al bit de símbolo $y_4$,

El bit de código $b_3$ al bit de símbolo $y_2$.

El bit de código $b_4$ al bit de símbolo $y_5$,

El bit de código $b_5$ al bit de símbolo $y_3$,

El bit de código $b_6$ al bit de símbolo $y_6$, y

El bit de código $b_7$ al bit de símbolo $y_0$.

[0698]

La Figura. 141 muestra un ejemplo de un patrón de asignación de bit que se pueda adoptar donde el método de modulación es 16QAM y el código LDPC es un código LDPC cuya longitud de código es N 64,800 bits y cuyo índice de codificación es diferente de 3/5 y además el múltiplo b es 2.

[0699]

Donde el LDPC es un código LDPC cuya longitud de código N es de 64,800 bits y cuyo índice de codificación es 3/5 y el método de modulación es 64QAM y el múltiplo b es 2, en el desmultiplexor 25, los bits de código escritos en la memoria 31 para almacenar (64,800/(6 x 2)) x (6 x 2) bits en la dirección de columna x la dirección de fila son leídos en una unidad de 6 x 2 (= mb) bits en la dirección de fila y se suministrado a la sección de reemplazo 32.

[0700]

La sección de reemplazo 32 reemplaza los 6 x 2 (= mb) bits de código $b_0$ a $b_{11}$ leídos desde la memoria 31 de tal manera que los 6 x 2 (= mb) bits de código $b_0$ a $b_{11}$ se pueden asignar a los 6 x 2 (= mb) bits de símbolo $y_0$ a $y_{11}$ de dos (= b) símbolos sucesivos como se ven en la Figura 141.

[0701]

En particular, de acuerdo con la Figura 141, la sección de reemplazo 32 lleva a cabo el reemplazo para asignar.

El bit de código $b_0$ al bit de símbolo $y_2$,
El bit de código $b_1$ al bit de símbolo $y_7$,
El bit de código $b_2$ al bit de símbolo $y_6$,
El bit de código $b_3$ al bit de símbolo $y_9$,
El bit de código $b_4$ al bit de símbolo $y_0$,
El bit de código $b_5$ al bit de símbolo $y_3$,
El bit de código $b_6$ al bit de símbolo $y_1$,
El bit de código $b_7$ al bit de símbolo $y_8$,
El bit de código $b_8$ al bit de símbolo $y_4$,
El bit de código $b_9$ al bit de símbolo $y_{11}$,
El bit de código $b_{10}$ al bit de símbolo $y_5$, y
El bit de código $b_{11}$ al bit de símbolo $y_{10}$.

[0702]

La Figura. 142 muestra un ejemplo de un patrón de asignación de bit que se pueda adoptar donde el método de modulación es 64QAM y el código LDPC es un código LDPC cuya longitud de código es N 16,200 bits y cuyo índice de codificación es 3/5 y además el múltiplo b es 2.

[0703]

Donde el LDPC es un código LDPC cuya longitud de código es de 16,200 bits y cuyo índice de codificación es 3/5 y el método de modulación es 64QAM y además el múltiplo b es 2, en el desmultiplexor 25, los bits de código escritos en la memoria 31 para almacenar (16,200/(6 x 2)) x (6 x 2) bits en la dirección de columna x la dirección de fila son leídos en una

000429

unidad de 6 x 2 (= mb) bits en la dirección de fila y se suministrado a la sección de reemplazo 32.

[0704]

La sección de reemplazo 32 reemplaza los 6 x 2 (= mb) bits de código $b_0$ a $b_{11}$ leídos desde la memoria 31 de tal manera que los 6 x 2 (= mb) bits de código $b_0$ a $b_{11}$ se pueden asignar a los 6 x 2 (= mb) bits de símbolo $y_0$ a $y_{11}$ de dos (= b) símbolos sucesivos como se ven en la Figura 142.

[0705]

En particular, de acuerdo con la Figura 142, la sección de reemplazo 32 lleva a cabo el reemplazo para asignar.

El bit de código $b_0$ al bit de símbolo $y_{11}$,

El bit de código $b_1$ al bit de símbolo $y_7$,

El bit de código $b_2$ al bit de símbolo $y_3$,

El bit de código $b_3$ al bit de símbolo $y_{10}$,

El bit de código $b_4$ al bit de símbolo $y_6$,

El bit de código $b_5$ al bit de símbolo $y_2$,

El bit de código $b_6$ al bit de símbolo $y_9$,

El bit de código $b_7$ al bit de símbolo $y_5$,

El bit de código $b_8$ al bit de símbolo $y_1$,

El bit de código $b_9$ al bit de símbolo $y_8$,

El bit de código $b_{10}$ al bit de símbolo $y_4$, y

El bit de código $b_{11}$ al bit de símbolo $y_0$.

[0706]

La Figura. 143 muestra un ejemplo de un patrón de asignación de bit que se pueda adoptar donde el método de modulación es 256QAM y el código LDPC es un código LDPC cuya longitud de código es N 64,800 bits y cuyo índice de codificación es 3/5 y además el múltiplo b es 2.

[0707]

Donde el LDPC es un código LDPC cuya longitud de código es de N es 64,800 bits y cuyo índice de codificación es 3/5 y el método de modulación es 256QAM y además el múltiplo b es 2, en el desmultiplexor 25, los bits de código escritos en la memoria 31 para almacenar (64,800/(8 x 2)) x (8 x 2) bits en la dirección de columna x la dirección de fila son leídos en una unidad de 8 x 2 (= mb) bits en la dirección de fila y se suministrados a la sección de reemplazo 32.

[0708]

000430

La sección de reemplazo 32 reemplaza los 8 x 2 (= mb) bits de código $b_0$ a $b_{15}$ leídos desde la memoria 31 de tal manera que los 8 x 2 (= mb) bits de código $b_0$ a $b_{15}$ se pueden asignar a los 8 x 2 (= mb) bits de símbolo $y_0$ a $y_{15}$ de dos (= b) símbolos sucesivos como se ven en la Figura 143.

[0709]

En particular, de acuerdo con la Figura 143, la sección de reemplazo 32 lleva a cabo el reemplazo para asignar.

El bit de código $b_0$ al bit de símbolo $y_2$,
El bit de código $b_1$ al bit de símbolo $y_{11}$,
El bit de código $b_2$ al bit de símbolo $y_3$,
El bit de código $b_3$ al bit de símbolo $y_4$,
El bit de código $b_4$ al bit de símbolo $y_0$,
El bit de código $b_5$ al bit de símbolo $y_9$,
El bit de código $b_6$ al bit de símbolo $y_1$,
El bit de código $b_7$ al bit de símbolo $y_8$,
El bit de código $b_8$ al bit de símbolo $y_{10}$,
El bit de código $b_9$ al bit de símbolo $y_{13}$,
El bit de código $b_{10}$ al bit de símbolo $y_7$,
El bit de código $b_{11}$ al bit de símbolo $y_{14}$,
El bit de código $b_{12}$ al bit de símbolo $y_6$,
El bit de código $b_{13}$ al bit de símbolo $y_{15}$,
El bit de código $b_{14}$ al bit de símbolo $y_5$, y
El bit de código $b_{15}$ al bit de símbolo $y_{12}$.

[0710]

La Figura 143 muestra un ejemplo de un patrón de asignación de bit que se pueda adoptar donde el método de modulación es 256QAM y el código LDPC es un código LDPC cuya longitud de código es N 16,200 bits y cuyo índice de codificación es 3/5 y además el múltiplo b es 1.

[0711]

Donde el LDPC es un código LDPC cuya longitud de código es de N es 16,200 bits y cuyo índice de codificación es 3/5 y el método de modulación es 256QAM y además el múltiplo b es 1, en el desmultiplexor 25, los bits de código escritos en la memoria 31 para almacenar (16,200/(8 x 1)) x (8 x 1) bits en la dirección de columna x la dirección de fila son leídos en una unidad de 8 x 1 (= mb) bits en la dirección de fila y se suministran a la sección de reemplazo 32.

[0712]

La sección de reemplazo 32 reemplaza los 8 x 1 (= mb) bits de código $b_0$ a $b_7$ leídos desde la memoria 31 de tal manera que los 8 x 1 (= mb) bits de código $b_0$ a $b_7$ se pueden asignar a los 8 x 1 (= mb) bits de símbolo $y_0$ a $y_7$ de dos (= b) símbolo como se ven en la Figura 144.

[0713]

En particular, de acuerdo a la Figura 143, la sección de reemplazo 32 lleva a cabo el reemplazo para asignar.

El bit de código $b_0$ al bit de símbolo $y_7$,

El bit de código $b_1$ al bit de símbolo $y_3$,

El bit de código $b_2$ al bit de símbolo $y_1$,

El bit de código $b_3$ al bit de símbolo $y_5$,

El bit de código $b_4$ al bit de símbolo $y_2$,

El bit de código $b_5$ al bit de símbolo $y_6$,

El bit de código $b_6$ al bit de símbolo $y_4$, y

El bit de código $b_7$ al bit de símbolo $y_0$.

[0714]

Ahora, el se describe desintercalador 53 que componen el aparato de recepción. 12

[0715]

La Figura. 145 es una vista que ilustra el procesamiento del multiplexor 54 que componen el desintercalador 53.

[0716]

En particular, la Figura 145ª muestra un ejemplo de una configuración funcional del multiplexor 54.

[0717]

El multiplexor 54 se compone de una sección de reemplazo 1001 y una memoria 1002.

[0718]

El multiplexor determina los bits se símbolo de los símbolos suministrados desde la sección de desmapeo 52 a la etapa precedente como un objeto de procesamiento de esta y lleva a cabo un proceso de reemplazo inverso que corresponde al proceso de reemplazo llevado a cabo por el desmultiplexor 25 y el aparato de transmisión 11 (proceso inverso al proceso de reemplazo), esto es, un proceso de reemplazo inverso de regresar las posiciones de los bits de código (bits de símbolo) del código LDPC remplazado por el proceso de reemplazo. Entonces, el multiplexor 54 suministra un código LDPC obtenedlo como resultado del proceso de reemplazo del desintercalador de giro de columna 55 en la etapa de éxito.

000432

[0719]

En particular, el multiplexor 54, los bits de símbolo mb $y_0$, $y_1$, ..., $y_{mb-1}$ de los símbolos b se suministran en una unidad de símbolos b (sucesivos) a la sección de reemplazo inversa 1001.

[0720]

La sección de reemplazo inversa 1001 lleva cabo el reemplazo inverso de regresar el arreglo de los mb bits de símbolo $y_0$ a $y_{mb-1}$ al arreglo original de los mb bits de código $b_0$, $b_1$, ..., $b_{mb-1}$ (el arreglo de los bits de código $b_0$, a $b_{mb-1}$ se lleva a cabo antes del reemplazo mediante la sección de reemplazo 32 que componen el desmultiplexor 25 sobre en el lado del aparato de trasmisión 111). La sección de reemplazo inversa 1001 genera los bits de código $b_0$ a $b_{mb-1}$ obtenidos como resultado del reemplazo inverso.

[0721]

La memoria 1002 tiene la capacidad de almacenamiento para almacenar los mb bits en la dirección de fila (horizontal) y almacenar N/ (mb) bits en la dirección de columna (vertical) similarmente a la memoria 31 que compone el desmultiplexor 25 del lado del aparato de trasmisión 11.En otras palabras, la sección de reemplazo inversa 1001 se configura desde mb columnas cada una que almacena N/ (mb) bits.

[0722]

Sin embrago, en la memoria 1002, la escritura de los bits de código de los códigos LDPC generada de la sección de reemplazo inversa 1001 se lleva cabo en una dirección en la cual la lectura de los bits de código desde la memoria 31 de desmultiplexor 25 del aparato de transmisión 11 se lleva cabo, y la lectura de los bits de código escrita en la memoria 1002 se lleva a a cabo en una dirección en la cual se lleva la escritura de los bits de código hacia la memoria 31.

[0723]

En particular, el multiplexor 54 del aparto de recepción 12 lleva cabo sucesivamente la escritura de los bits de código de un código LDPC generado de la sección de reemplazo inversa 1001 en una unidad de mb bits en la dirección de fila que inicia en la primera fila de la memoria 1002 hacia un bajo inferior como se ve en la Figura 145A.

[0724]

Entonces, cuando la escritura de los bits de código para una longitud de código termina el multiplexor 54 lee los bits de código en la dirección de columna desde la memoria 1002 y suministra los bits de código al desintercalador de equipo de columna 55 en la etapa de éxito.

[0725]

Aquí, la Figura.145B es una vista que ilustra la lectura de los bits de código desde la memoria 1002.

[0726]

El multiplexor 54 lleva a cabo la lectura de los bits de código de un código LDPC en una dirección hacia abajo (dirección de columna) desde arriba de una columna que compone la memoria 1002 que inicia con la columna más a la izquierda hacia una columna al lado derecho.

[0727]

Ahora, el procesamiento del desintercalador de giro de columna 55 que compone el desintercalador 53 del aparato de recepción 12 se describió con referencia a la Figura.146.

[0728]

La Figura.146. Muestra un ejemplo de una configuración de la memoria 1002 del multiplexor 54.

[0729]

La memoria 1002 tiene una capacidad de almacenamiento para almacenar mb bits en la dirección de la columna (vertical) y almacena N/ (mb) bits en la dirección de la fila (horizontal) y se componen de mb columnas.

[0730]

El desintercalador de giro de columna describe bits de código de un código LDPC en la dirección de fila y la memoria 1002 y controla la posición en la cual se inicia la lectura cuando los bits de código son leídos en la dirección de la columna para llevar a cabo el desintercalado de giro de columna.

[0731]

En particular, el desintercalado de giro de columna 55 lleva cabo un proceso de re-arreglo inverso de cambiar adecuadamente la posición de inicio de lectura en la cual va a iniciar la lectura de lo bits de código con reloacion a cada una de una pluralidad de columnas para regresar el arreglo los bits de código re-arreglados mediante el desintercalado de giro de columna al arreglo original.

[0732]

Aquí, la Figura 146 muestra un ejemplo de una configuración de la memoria 1002 donde el método de modulación es 16QAM y el múltiplo b es 1. De acuerdo con esto, el número bit m de un símbolo es 4 bits, y la memoria 1002 incluye cuatro (= mb) columnas.

[0733]

000434

Desintercalado de giro de columna 55 lleva cabo (en el lugar del multiplexor 54), la escritura de los bits de código de un código LDPC generado desde la sección de reemplazo 1001 en la dirección de fila sucesivamente hacia la memoria 1002 que inicia con la primera fila hacia la fila más baja.

[0734]

Entonces, si la escritura de los bits de código para una longitud de código termina, entonces el desintercalado de giro de columna 55 lleva a cabo la lectura de los bits de código en la dirección hacia abajo (dirección de columna) desde la parte superior de la memoria 1002 iniciando con la columna más a la izquierda hacia la columna del lado de la derecha.

[0735]

Sin embargo, el desintercalado de giro de columna 55 lleva a cabo la lectura de los bits de código desde la memoria 1002 terminando la posición de inicio de escritura luego de escribir los bits de código mediante desintercalado de giro de columna 24 en el lado del aparto de transmisión 11 a una posición de inicio de lectura de los bits de código.

[0736]

En particular, si la dirección de la posición de la parte superior de cada columna se determina como 0 y la dirección de cada posición en la dirección de columna esta representa por un entero dado en un orden ascendente, entonces donde el método de modulación es 16QAM y el múltiplo b es 1, el desintercalado de giro de columna 55 establece una posición de inicio de lectura para la columna más a la izquierda a la posición cuya dirección es 0, establece en la posición de inicio de lectura para la segunda columna (desde la izquierda) a la posición cuya dirección es 2, establecen la posición de inicio de lectura para tercera columna a la posición cuya dirección es 4, y establece la posición de inicio de lectura para la cuarta columna a la posición cuya dirección es 7.

[0737]

Cabe notar que, con relación a cada una de aquellas columnas cuya posición de inicio de lectura tiene una dirección diferente de 0, la lectura de los bits de código se lleva a cabo de tal manera que, después de que se lleva a cabo lectura hacia abajo a la posición más bajo la posición de lectura se regresa a la parte superior (posición cuya dirección es 0) de la columna y la lectura se lleva a cabo hacia abajo en la posición inmediatamente precedente a la posición de inicio de lectura. Entonces, después de eso, se lleva a cabo la lectura desde la siguiente (derecha) columna.

[0738]

000435

Al llevar a cabo tal intercalado de giro de columna como describió anteriormente, el arreglo de los bits de código re-arreglados por intercalado de giro de columna se regresa al arreglo origina.

[0739]

La Figura 147, es un diagrama de bloque que muestra otro ejemplo de la configuración del aparato de recepción 12.

[0740]

En relación a la Figura.147, el aparato de recepción 12 es un aparato de procesamiento de datos que recibe una señal de modulación desde el aparato de traslación 11 e incluye una sección de demodulación ortogonal 51, una sección de desmapeo 52, un desintercalador 53 y una sección de decodificación LDPC 1021.

[0741]

La sección de demodulación ortogonal 51 recibe una señal de modulación desde el aparato de transmisión 11, lleva a cabo la demodulación ortogonal y suministra símbolos (valores en las direcciones I y Q) obtenidas como resultado de la demodulación ortogonal a la sección de desmapeo 52.

[0742]

La sección de desmapeo 52 lleva cabo el desmapeo de convertir los símbolos desde la sección demodulación ortogonal 51 hacia los bits de código de un código LDPC y suministra los bits de código al desintercalador 53.

[0743]

El desintercalador 53 incluye un multiplexor (MUX) 54, un desintercalador de giro de columna 55 y un desintercalador de paridad 1011 lleva a cabo el desintercalado de los bits de código desde el código LDPC desde la sección de desmapeo.

[0744]

En particular, el multiplexor 54 determina un código LDPC desde la sección de desmapeo 52 como un objeto del procesamiento de este y lleva a cabo el proceso de reemplazo inverso que corresponde el proceso de reemplazo llevado a cabo por el desmultiplexor 25 del aparato de transmisión 11 (proceso inverso al proceso de reemplazo), esto es, un proceso de reemplazo de inverso de regresar las posiciones de los bits de código reemplazados por el proceso de reemplazo a las posiciones originales. Entonces, el multiplexor 54 suministra un código LDPC obtenido como resultado del proceso de reemplazo inverso al desintercalador de giro de columna.

000436

[0745]

El desintercalador de giro de columna 55 determina el código LDPC desde el multiplexor 54 con un objeto del procesamiento y lleva a cabo el desintercalado de giro de columna que corresponde al intercalado de giro de columna en un proceso de re-arreglo llevado a cabo por el intercalador de giro de columna 24 del aparato de transmisión 11.

[0746]

El código LDPC contenido como resultado del desintercalado de giro de columna se suministra del desintercalador de giro de columna 55 al desintercalador de paridad 1011.

[0747]

El desintercalador de paridad 1011 determina los bits de código después del desintercalado de giro de columna mediante el desintercalador de giro de columna 55 como un objeto de procesamiento del mismo y lleva a cabo el desintercalado de paridad que corresponde al intercalado de paridad llevado a cabo por el desintercalador de paridad 23 del aparato de trasmisión 11 (proceso inverso al intercalado de paridad), esto es, el desintercalador de paridad de regresar el arreglo de los bits de código del código LDPC cuyo arreglo se cambio por el intercalado de paridad al arreglo original.

[0748]

El código LDPC obtenido como resultado del desintercalador de paridad se suministro desde el desintercalador de paridad 1011 a la sección de decodificación LDPC 1021.

[0749]

De acuerdo con esto, en el aparato de recepción 12 de la Figura 147, el código LDPC para el cual el proceso de reemplazo inverso, el desintercalador de giro de columna y el desintercalador de paridad se a llevado a cabo, esto es, un código LDPC obtenido mediante la codificación LDPC de acuerdo con la matriz de comprobación de paridad H, cuando suministra a la sección de decodificación LDPC 1021.

[0750]

La sección de decodificación 1021 lleva a cabo la decodificación LDPC del código LDPC del desintercalador 53 utilizando un matriz de comprobación de paridad H en si misma utilizada para la codificación LDPC mediante la sección de codificación LDPC 21 del aparato de transmisión 11 o una matriz de comprobación de paridad de conversión obtenida al llevar a cabo al menos la conversión columna que corresponde el intercalado de paridad para la matriz de comprobación de paridad H. Entonces, la sección de decodificación LDPC 1021 genera datos obtenidos mediante la decodificación LDPC como un resultado de decodificación de los datos de objeto.

000437

[0751]

Aquí, en el aparato de recepción 12 de la Figura 147, en razón a que el código LDPC obtenido por la codificación LDPC de acuerdo con la matriz de comprobación de paridad H se suministra desde el (desintercalador de paridad 1011 de) el desintercalador 53 a la sección de decodificación LDPC 1021, donde la decodificación LDPC del código LDPC se lleva a cabo utilizando una matriz de comprobación de paridad H en sí misma utilizada para la codificación LDPC mediante la sección de codificación LDPC 21 del aparato de trasmisión 11, la sección de decodificación LDPC 1021 se puede configurar, por ejemplo, desde un aparato de decodificación que lleva a cabo la decodificación LDPC de acuerdo con un método de decodificación en serie completo en donde la operación matemática de mensajes (mensajes de nodo de revisión y mensajes de nodo variable) se lleva a cabo para uno o más nodos y otro aparato de decodificación en donde la decodificación LDPC se lleva a cabo y concuerda con un método de decodificación LDPC paralelo completo en donde se lleva a cabo la operación matemática de los mensajes simultáneamente (en paralelo) para todos los nodos.

[0752]

Además, donde una decodificación LDPC de un código LDPC se lleva a cabo utilizando una matriz de comprobación de paridad de conversión obtenida al llevar a cabo al menos el reemplazo correspondiente a la intercalación de paridad para la matriz de comprobación de paridad H utilizada en la codificación LDPC mediante la sección de codificación LDPC 21 del aparto de transmisión 11, la sección de decodificación LDPC 1021 se puede confirmar desde un aparato de decodificación de una arquitectura que lleva a cabo la operación matemática de nodo de revisión y la operación matemática de nodo variable simultáneamente para P (o un divisor de P diferente de 1) los nodos de revisión y los nodos variables P y que tienen una sección de re-arreglo de datos recepción 310 para llevar a cabo un reemplazo de columna similar al reemplazo de columna para obtener una matriz de comprobación de paridad de compresión para el código LDPC para re-arreglar los bits de código de los códigos LDPC.

[0753]

Cabe notar que, mientras, en la Figura 147, el multiplexor 54 para llevar a cabo el proceso de reemplazo inverso, el desintercalador de giro de columna 55 para llevar a cabo el desintercalado de giro de columna y el desintercalador de paridad 1011 para llevara a cabo el desintercalado de paridad se configuran separadamente uno del otro por conveniencia de la descripción, dos o más de los multiplexores 54, el desintercalador de giro de columna 55 y el desintercalador de paridad 1011 se puede configurar integralmente de manera similar al intercalador de paridad 23, el intercalador de giro de columna 24 y el desmultiplexor 25 del aparato de transmisión 11.

[0754]

000438

La Figura. 148 es un diagrama de bloque que muestra un primer ejemplo de una configuración de un sistema de recepción que se puede aplicar al aparato de recepción 12.

[0755]

En relación a la Figura 148, incluye una sección de adquisición 1101, una sección de procesamiento de decodificación de línea de transmisión 1102 y una sección de procesamiento de decodificación de fuente de información 1103.

[0756]

La sección de adquisición 1101 adquiere una señal que incluye un código LDPC obtenido al menos mediante los datos de objeto de la codificación LDPC tal como datos de imagen y datos de música de un programa a través de una línea de transmisión tal como, por ejemplo, la difusión digital terrestre, la difusión digital satelital, una red CAT, el Internet o alguna otra red. Entonces, la sección de adquisición 1101 suministra la señal adquirida a la sección de procesamiento de decodificación de línea de transmisión 1102.

[0757]

Aquí, donde la señal adquirida por la sección de adquisición 1101 es difundida, por ejemplo, desde una estación de difusión a través de las ondas terrestres, ondas satelitales, un CATV (Televisión Por Cable) o similar, la sección la adquisición 1101 se configura desde un sintonizador, un STB (decodificador) o similar. De otra parte, donde la señal adquirida por la sección de adquisición 1101 se transmitió en un estado multidifusión como en el IPTV (Televisión por Protocolo Internacional) por ejemplo, desde un servidor de la red, la sección de adquisición 11 se configura desde una red I/F (Inter Fase)tal como, por ejemplo, una NIC (Network Interface Card).

[0758]

La sección de procesamiento de decodificación de línea de transmisión 1102 lleva a cabo un proceso de decodificación de línea de transmisión que incluye al menos un proceso para corregir los errores producidos en la línea de transmisión para la señal adquirida a través de la línea de transmisión mediante la sección de adquisición 1101 y suministra una señal obtenida como resultado de la línea del proceso de decodificación de la línea a la sección de procesamiento de descodificación de fuente de información 1103.

[0759]

En particular, la señal adquirida a través de la línea de transmisión mediante la sección de adquisición 1101 es de señal obtenida al llevar a cabo al menos la codificación de la corrección del error para corregir los errores producidos en la línea de transmisión, y para tal como se describió la sección de procesamiento de descodificación de línea de transmisión 1102

lleva a cabo un proceso de decodificación de línea de transmisión tal como, por ejemplo, un proceso de corrección de error.

[0760]

Aquí, la codificación de la corrección del error, por ejemplo, la codificación LDPC, la codificación Reed-Solomon y así sucesivamente están disponibles. Aquí, como la codificación de corrección de error, al menos se lleva a cabo la codificación LDPC.

[0761]

Además, el proceso de decodificación de línea de transmisión algunas veces incluye la desmodulación de la señal de modulación y así sucesivamente.

[0762]

La sección de procesamiento de decodificación de la fuente de información 1103 lleva a cabo un proceso de decodificación diferente de información que incluye al menos un proceso para descomprimir la información comprimida en la información original para la señal para lo cual se ha llevado a cabo el proceso de decodificación de la línea.

[0763]

En particular, la señal adquirida a través de la línea de transmisión mediante la sección de adquisición 1101 algunas veces a sido procesada mediante la codificación de compresión para la comprimir la información con el fin de reducir la cantidad de datos tales como imágenes, sonido y así sucesivamente como información. En este caso, la sección de procesamiento de decodificación y fuente de información 1103 lleva cabo un proceso de decodificación de fuente de información tal como un proceso (proceso de descompresión) para descomprimir la información comprimida en la información original para una señal para lo cual el proceso de decodificación de la línea de transmisión se ha llevado a cabo.

[0764]

Cabe notar que, donde la señal adquirida a través de la línea de transmisión mediante la sección de adquisición 1101 no se ha llevado a cabo la codificación de compresión, la sección de procesamiento de decodificación de fuente de información 1103 no lleva a cabo el proceso de descomprimir la información comprimida en la información original.

[0765]

Aquí, como el proceso de descompresión, por ejemplo, está disponible la decodificación MPEG y así sucesivamente. Además, el proceso de decodificación de línea de transmisión algunas veces incluye des mezclar además del proceso de descompresión.

[0766]

En sistema de recepción configurado de tal manera como se describió anteriormente, la sección de adquisición 1101 recibe la señal obtenida al llevar a cabo la codificación de compresión tal como la codificación LDPC para los datos de, por ejemplo, imágenes, sonido y así sucesivamente y llevar a cabo adicionalmente la corrección del error que codifica tal codificación LDPC para los datos codificados de compresión a través de una línea de transmisión. La señal se suministra a la sección de procesamiento de decodificación de línea de transmisión 1102.

[0767]

En la sección de procesamiento de decodificación de línea de transmisión 1102, se llevan a cabo procesos similares a aquellos llevados a cabo, por ejemplo, mediante la sección de demodulación ortogonal 51, la sección de desmapeo 52, el desintercalador 53 y la sección de decodificación LDPC 56 (o la sección de decodificación LDPC 1021) como el proceso de decodificación de línea de transmisión para la señal de sección de adquisición 1101. Entonces, una señal obtenida como resultado del proceso de decodificación de la línea de transmisión se suministra a la sección de procesamiento de decodificación de fuente de información 1103.

[0768]

En la sección de procesamiento de decodificación de fuente de información 1103, un proceso de decodificación de fuente de información tal como la decodificación MPEG se lleva a cabo para la señal desde la sección de procesamiento de decodificación de línea de transmisión 1102, y se genera una imagen o sonido obtenido como resultado del proceso de decodificación de información.

[0769]

Tal sistema de recepción de la Figura 148 como se describió anteriormente se puede aplicar, por ejemplo, a un receptor de televisión para recibir difusión de televisión como difusión digital y así sucesivamente.

[0770]

Cabe notar que es posible configurar la sección de adquisición 1101, la sección de procesamiento de decodificación de línea de transmisión 1102 y la sección de procesamiento de decodificación de fuente información 1103 cada una como un aparato independiente (equipo (IC(circuito integrado) o similar) o un modulo de software).

[0771]

Además, con relación a la sección de adquisición 1101, la sección de procesamiento de codificación de línea de transmisión 1102 y la sección de procesamiento de decodificación de fuente de información 1103, a un conjunto de sección de adquisición 1101 y sección de procesamiento de decodificación de línea de transmisión 1102, otro conjunto de sección de

000141

procesamiento de decodificación de line de transmisión 1102 y la sección de procesamiento de decodificación de fuente de información 1103 o un conjunto adicional de sección de adquisición 1101, sección de procesamiento de decodificación de línea de transmisión 1102 y sección de procesamiento de decodificación de fuente de información 1103 se puede configurar como un aparato independiente único.

[0772]

La Figura. 149 es un diagrama de flujo que muestra un segundo ejemplo de la configuración del sistema de recepción que se puede aplica al aparato de recepción 12.

[0773]

Cabe notar que, en la Figura 149, los elementos que corresponden a aquellos en la Figura.148 se denotan mediante números de referencia similares, en la descripción de ellos es adecuadamente omitida en la siguiente descripción.

[0774]

El sistema de recepción de la Figura 149 es como aquel de la Figura 148 por que este incluye una sección de adquisición 1101, una sección de procesamiento de decodificación de línea de transmisión 1102 y una sección de procesamiento de decodificación de fuente de información 1103 pero es diferente de aquel de la Figura 148 por que este nuevamente incluye una sección de generación 1111.

[0775]

La sección de generación 1111 es, por ejemplo, un aparato de pantalla para desplegar una imagen o un parlante para generar sonido y generar una imagen, un sonido similar a al señal generada desde la sección de procesamiento de decodificación de la fuente de información 1103. En otras palabras, la sección de generación 1111 muestra una imagen o genera sonido.

[0776]

Tal sistema de recepción en la Figura 149 como se describió anteriormente se pueda aplicar, por ejemplo, a un TV (rotor de televisión) para recibir una infusión de televisión como una difusión digital, un receptor de radio para recibir una infusión de radio y así sucesivamente.

[0777]

Cabe notar que, donde la señal adquirida por la sección de adquisición 1101 no está en una forma en donde no se aplica la codificación de compresión, una señal generada desde la sección de procesamiento de decodificación de la linea de transmisión 1102 suministra de generación 1101.

[0778]

La Figura. 150 es un diagrama de bloque que muestra un tercer ejemplo de la configuración del sistema de recepción que se puede aplicar al aparato de recepción 12.

[0779]

Cabe notar que, en la Figura 150, los elementos correspondientes a aquí desde la Figura.148 se denotan mediante numerales de referencia similares, y la siguiente descripción, la descripción de los mismos se omite adecuadamente.

[0780]

El sistema de recepción de la Figura 150 es común a aquel de la Figura.148 por que este incluye una sección de adquisición 1101 y una sección de procesamiento de decodificación de línea de transmisión 1102.

[0781]

Sin embrago, el sistema de recepción de la Figura.150 es diferente de aquel de la Figura.148 porque este no incluye la sección de procesamientos de decodificación de la fuente de información 1103 si no nuevamente incluye una sección de grabación 1121.

[0782]

La sección de grabación 1121 graba (almacena) una señal (por ejemplo, un paquete TS de un TS o de MPEG) generado desde la sección de procesamiento de decodificación de línea de transmisión 1102 en o hacia un medio de grabación (almacenamiento) tal como un disco óptico, un disco duro (disco magnético) o una memoria flash.

[0783]

Tal sistema de recepción de la Figura 150 como se describió anteriormente se puede aplicar a un grabador para grabar una difusión de televisión o similar.

[0784]

Cabe notar que, en la Figura.150, el sistema de recepción puede incluir la sección de procesamiento de decodificación de fuente de información 1103 de tal manera que una señal des pues del proceso de decodificación de la fuente de información se ha llevado a cabo mediante por la sección de procesamiento de decodificación de fuente de información 1103, esto es, una imagen o sonido obtenido al decodificar, es grabado por la sección de grabación 1121.

[0785]

Se debe entender por aquellos expertos en la técnica que varias modificaciones, combinaciones, sub-combinaciones y alteraciones pueden ocurrir dependiendo de los requisitos

de diseño y otros factores mientras estén dentro del alcance de las reivindicaciones finales o las equivalentes de estas.

000444

## REIVINDICACIONES

1. Un aparato de procesamiento de datos, en donde:

Donde los bits de código de un código LDPC (Low Density Parity Check) que tiene una longitud de código de N bits se describen en una dirección de columna de los medios de almacenamiento para almacenar los bits de código en una dirección de fila y la dirección de columna y m bits de los bits de código del código LDPC leído en la dirección de fila se establecen como un símbolo, y además

Un entero positivo predeterminado se representa por b,

Dichos medios de almacenamiento almacenan mb bits en la dirección de fila y almacenan N/ (mb) bits en la dirección de columna;

Los bits de código del código LDPC que son escritos en la dirección de columna de dichos medios de almacenamiento leídos en la dirección de fila;

Dicho aparato de procesamiento de datos que comprende medios de reemplazo para reemplazar,

Donde los mb bits de código leídos en la dirección de fila de dichos medios de almacenamiento establecidos como los símbolos b,

Los mb bits de código tal que los bits de código después del reemplazo forman los bits de símbolo representativos de los símbolos;

El código LDPC es un código LDPC que es prescrito en el estándar DVB-S.2 o DVB-T.2 y que tiene una longitud de código N de 64,800 bits y tiene un índice de codificación de 2/3;

Los m bits que son 8 bits mientras que el entero b es 2;

Los 8 bits del bit de código es mapeado como un símbolo a unos de los 256 puntos de señal prescritos en 256QAM;

Dichos medios de almacenamiento tienen 16 columnas para almacenar 8 x 2 bits en la dirección de fila y almacena 64,800/(8 x 2) bits en la dirección de columna;

Dichos medios de reemplazo que llevan a cabo,

Donde el i+1avo bit del bit más significativo de los 8 x 2 bits de código leídos en la dirección de fila de dichos medios de almacenamiento están representados por el bit $b_i$ y el bit i+1avo del bit más significativo de los 8 x 2 bits de símbolo de dos símbolos sucesivos se representa como el bit $y_i$,

Reemplazo para asignar

El bit $b_0$ al bit $y_{15}$,

El bit $b_1$ al bit $y_7$,

El bit $b_2$ al bit $y_1$,

El bit $b_3$ al bit $y_5$,

El bit $b_4$ al bit $y_6$,

El bit $b_5$ al bit $y_{13}$,

El bit $b_6$ al bit $y_{11}$,

El bit $b_7$ al bit $y_9$,

000445

El bit $b_8$ al bit $y_8$,

El bit $b_9$ al bit $y_{14}$,

El bit $b_{10}$ al bit $y_{12}$,

El bit $b_{11}$ al bit de bit $y_3$,

El bit $b_{12}$ al bit de bit $y_0$,

El bit $b_{13}$ al bit de bit $y_{10}$,

El bit $b_{14}$ al bit de bit $y_4$, y

El bit $b_{15}$ al bit de bit $y_2$.

2. El método de procesamiento de datos, en donde:

Donde los bits de código de un código LDPC (Low Density Parity Check) tiene una longitud de código de N bits se describen en una dirección de columna de los medios de almacenamiento para almacenar los bits de código en una dirección de fila y la dirección de columna y m bits de los bits de código del código LDPC leídos en la dirección de fila se establecen como un símbolo, y además

Un entero positivo predeterminado se representa por b,

Dichos medios de almacenamiento almacenan mb bits en la dirección de fila y almacenan N/ (mb) bits en la dirección de columna;

Los bits de código del código LDPC son escritos en la dirección de columna de dichos medios de almacenamiento y leídos en la dirección de fila;

Dicho aparato de procesamiento de datos que comprende una etapa de reemplazo para reemplazar,

Donde los mb bits de código leídos en la dirección de fila de dichos medios de almacenamiento establecidos como los símbolos b,

Los mb bits de código tal que los bits de código después del reemplazo forman los bits de símbolo representativos de los símbolos;

El código LDPC que es un código LDPC que está prescrito en el estándar DVB-S.2 o DVB-T.2 y que tiene una longitud de código N de 64,800 bits y tiene un índice de codificación de 2/3;

Los m bits que son 8 bits mientras que el entero b es 2;

Los 8 bits del bit de código que es mapeado como un símbolo a unos de los 256 puntos de señal prescritos en 256QAM;

Dichos medios de almacenamiento tienen 16 columnas para almacenar 8 x 2 bits en la dirección de fila y almacena 64,800/(8 x 2) bits en la dirección de columna;

Dicha etapa de reemplazo que se lleva a cabo,

Donde el i+1avo bit del bit más significativo de los 8 x 2 bits de código leídos en la dirección de fila de dichos medios de almacenamiento están representados por el bit $b_i$ y el bit i+1avo del bit más significativo de los 8 x 2 bits de símbolo de dos símbolos sucesivos está representado como el bit $y_i$,

Reemplazo para asignar

El bit $b_0$ al bit $y_{15}$,

El bit $b_1$ al bit $y_7$,

El bit $b_2$ al bit $y_1$,

El bit $b_3$ al bit $y_5$,

El bit $b_4$ al bit $y_6$,

El bit $b_5$ al bit $y_{13}$,

El bit $b_6$ al bit $y_{11}$,

El bit $b_7$ al bit $y_9$,

El bit $b_8$ al bit $y_8$,

El bit $b_9$ al bit $y_{14}$,

El bit $b_{10}$ al bit $y_{12}$,

El bit $b_{11}$ al bit $y_3$,

El bit $b_{12}$ al bit $y_0$,

El bit $b_{13}$ al bit $y_{10}$,

El bit $b_{14}$ al bit $y_4$, y

El bit $b_{15}$ al bit $y_2$.

3. Un aparato de codificación para llevar a cabo la codificación mediante un código LDPC (Low Density Parity Check), que comprende:

Medios de codificación para llevar a cabo la codificación de un código LDPC que tiene una longitud de código de 64,800 bits y un índice de codificación de 2/3;

Un matriz de comprobación de paridad para que el código LDPC que se configura de tal manera que los elementos del valor 1 de una matriz de información, que corresponde a la longitud del código de la matriz de comprobación de paridad y una longitud de información que corresponde al índice de codificación, decidida por la tabla de valor inicial de matriz de comprobación de paridad representativa de las posiciones de los elementos del valor 1 de la matriz de información están dispuestos en un periodo de cada 630 columnas en la dirección de la columna;

La tabla del valor inicial de matriz de comprobación de paridad está formada de

317 2255 2324 2723 3538 3576 6194 6700 9101 10057 12739 17407 21039
1958 2007 3294 4394 12762 14505 14593 14692 16522 17737 19245 21272 21379
127 860 5001 5633 8644 9282 12690 14644 17553 19511 19681 20954 21002
2514 2822 5781 6297 8063 9469 9551 11407 11837 12985 15710 20236 20393
1565 3106 4659 4926 6495 6872 7343 8720 15785 16434 16727 19884 21325
706 3220 8568 10896 12486 13663 16398 16599 19475 19781 20625 20961 21335
4257 10449 12406 14561 16049 16522 17214 18029 18033 18802 19062 19526 20748
412 433 558 2614 2978 4157 6584 9320 11683 11819 13024 14486 16860
777 5906 7403 8550 8717 8770 11436 12846 13629 14755 15688 16392 16419
4093 5045 6037 7248 8633 9771 10260 10809 11326 12072 17516 19344 19938
2120 2648 3155 3852 6888 12258 14821 15359 16378 16437 17791 20614 21025

000447

1085 2434 5816 7151 8050 9422 10884 12728 15353 17733 18140 18729 20920
856 1690 12787
6532 7357 9151
4210 16615 18152
11494 14036 17470
2474 10291 10323
1778 6973 10739
4347 9570 18748
2189 11942 20666
3868 7526 17706
8780 14796 18268
160 16232 17399
1285 2003 18922
4658 17331 20361
2765 4862 5875
4565 5521 8759
3484 7305 15829
5024 17730 17879
7031 12346 15024
179 6365 11352
2490 3143 5098
2643 3101 21259
4315 4724 13130
594 17365 18322
5983 8597 9627
10837 15102 20876
10448 20418 21478
3848 12029 15228
708 5652 13146
5998 7534 16117
2098 13201 18317
9186 14548 17776
5246 10398 18597
3083 4944 21021
13726 18495 19921
6736 10811 17545
10084 12411 14432
1064 13555 17033
679 9878 13547
3422 9910 20194

3640 3701 10046
5862 10134 11498
5923 9580 15060
1073 3012 16427
5527 20113 20883
7058 12924 15151
9764 12230 17375
772 7711 12723
555 13816 15376
10574 11268 17932
15442 17266 20482
390 3371 8781
10512 12216 17180
4309 14068 15783
3971 11673 20009
9259 14270 17199
2947 5852 20101
3965 9722 15363
1429 5689 16771
6101 6849 12781
3676 9347 18761
350 11659 18342
5961 14803 16123
2113 9163 13443
2155 9808 12885
2861 7988 11031
7309 9220 20745
6834 8742 11977
2133 12908 14704
10170 13809 18153
13464 14787 14975
799 1107 3789
3571 8176 10165
5433 13446 15481
3351 6767 12840
8950 8974 11650
1430 4250 21332
6283 10628 15050
8632 14404 16916
6509 10702 16278

000449

15900 16395 17995
8031 18420 19733
3747 4634 17087
4453 6297 16262
2792 3513 17031
14846 20893 21563
17220 20436 21337
275 4107 10497
3536 7520 10027
14089 14943 19455
1965 3931 21104
2439 11565 17932
154 15279 21414
10017 11269 16546
7169 10161 16928
10284 16791 20655
36 3175 8475
2605 16269 19290
8947 9178 15420
5687 9156 12408
8096 9738 14711
4935 8093 19266
2667 10062 15972
6389 11318 14417
8800 18137 18434
5824 5927 15314
6056 13168 15179
3284 13138 18919
13115 17259 17332.

4. Un aparato de codificación para llevar a cabo la codificación mediante un código LDPC (Low Density Parity Check), que comprende:

Medios de codificación para llevar a cabo la codificación de un código LDPC que tiene una longitud de código de 64,800 bits y un índice de codificación de 2/3;

Un matriz de comprobación de paridad para que el código LDPC que se configura de tal manera que los elementos del valor 1 de una matriz de información, que corresponde a la longitud del código de la matriz de comprobación de paridad y una longitud de información que corresponde al índice de codificación, decidido por la tabla de valor inicial de matriz de comprobación de paridad representativa de las posiciones de los elementos del valor 1 de la

000450

matriz de información están dispuestos en un periodo de cada 630 columnas en la dirección de la columna;

La tabla del valor inicial de matriz de comprobación de paridad se forma de

317 2255 2324 2723 3538 3576 6194 6700 9101 10057 12739 17407 21039

1958 2007 3294 4394 12762 14505 14593 14692 16522 17737 19245 21272 21379

127 860 5001 5633 8644 9282 12690 14644 17553 19511 19681 20954 21002

2514 2822 5781 6297 8063 9469 9551 11407 11837 12985 15710 20236 20393

1565 3106 4659 4926 6495 6872 7343 8720 15785 16434 16727 19884 21325

706 3220 8568 10896 12486 13663 16398 16599 19475 19781 20625 20961 21335

4257 10449 12406 14561 16049 16522 17214 18029 18033 18802 19062 19526 20748

412 433 558 2614 2978 4157 6584 9320 11683 11819 13024 14486 16860

777 5906 7403 8550 8717 8770 11436 12846 13629 14755 15688 16392 16419

4093 5045 6037 7248 8633 9771 10260 10809 11326 12072 17516 19344 19938

2120 2648 3155 3852 6888 12258 14821 15359 16378 16437 17791 20614 21025

1085 2434 5816 7151 8050 9422 10884 12728 15353 17733 18140 18729 20920

856 1690 12787

6532 7357 9151

4210 16615 18152

11494 14036 17470

2474 10291 10323

1778 6973 10739

4347 9570 18748

2189 11942 20666

3868 7526 17706

8780 14796 18268

160 16232 17399

1285 2003 18922

4658 17331 20361

2765 4862 5875

4565 5521 8759

3484 7305 15829

5024 17730 17879

7031 12346 15024

179 6365 11352

2490 3143 5098

2643 3101 21259

4315 4724 13130

594 17365 18322

5983 8597 9627

10837 15102 20876

10448 20418 21478
3848 12029 15228
708 5652 13146
5998 7534 16117
2098 13201 18317
9186 14548 17776
5246 10398 18597
3083 4944 21021
13726 18495 19921
6736 10811 17545
10084 12411 14432
1064 13555 17033
679 9878 13547
3422 9910 20194
3640 3701 10046
5862 10134 11498
5923 9580 15060
1073 3012 16427
5527 20113 20883
7058 12924 15151
9764 12230 17375
772 7711 12723
555 13816 15376
10574 11268 17932
15442 17266 20482
390 3371 8781
10512 12216 17180
4309 14068 15783
3971 11673 20009
9259 14270 17199
2947 5852 20101
3965 9722 15363
1429 5689 16771
6101 6849 12781
3676 9347 18761
350 11659 18342
5961 14803 16123
2113 9163 13443
2155 9808 12885
2861 7988 11031

000452

7309 9220 20745
6834 8742 11977
2133 12908 14704
10170 13809 18153
13464 14787 14975
799 1107 3789
3571 8176 10165
5433 13446 15481
3351 6767 12840
8950 8974 11650
1430 4250 21332
6283 10628 15050
8632 14404 16916
6509 10702 16278
15900 16395 17995
8031 18420 19733
3747 4634 17087
4453 6297 16262
2792 3513 17031
14846 20893 21563
17220 20436 21337
275 4107 10497
3536 7520 10027
14089 14943 19455
1965 3931 21104
2439 11565 17932
154 15279 21414
10017 11269 16546
7169 10161 16928
10284 16791 20655
36 3175 8475
2605 16269 19290
8947 9178 15420
5687 9156 12408
8096 9738 14711
4935 8093 19266
2667 10062 15972
6389 11318 14417
8800 18137 18434
5824 5927 15314

000453

6056 13168 15179
3284 13138 18919
13115 17259 17332.

000454

## RESUMEN

La invención se relaciona con un aparato para procesamiento de datos y un método para procesamiento de datos así como también un aparato para codificación y un método para codificación que pueden mejorar la tolerancia a los errores.

De un código LDPC que está prescrito en el DVB-S.2 y que tiene una longitud de código de 64,800 y un índice de codificación de 2/3, los bits de código mb son reemplazados, y los bits de código después del reemplazo se vuelven bits de símbolo de los símbolos b. Cuando m es 8 y b es 2, donde el i+1avo bit del bit más significativo de los 8 x 2 bits de código y los 8 x 2 bits de símbolo de los dos símbolos sucesivos están representados por by $b_i$ y $y_i$, respectivamente, el reemplazo para asignar $b_0$ a $y_{15}$, $b_1$ a $y_7$, $b_2$ a $y_1$, $b_3$ a $y_5$, $b_4$ a $y_6$, $b_5$ a $y_{13}$, $b_6$ a $y_{11}$, $b_7$ a $y_9$, $b_8$ a $y_8$, $b_9$ a $y_{14}$, $b_{10}$ a $y_{12}$, $b_{11}$ a $y_3$, $b_{12}$ a $y_0$, $b_{13}$ a $y_{10}$, $b_{14}$ a $y_4$ y $b_{15}$ a $y_2$. La presente invención se puede aplicar, por ejemplo, a un sistema de transmisión para transmitir un código LDPC y así sucesivamente.

FIG. 1

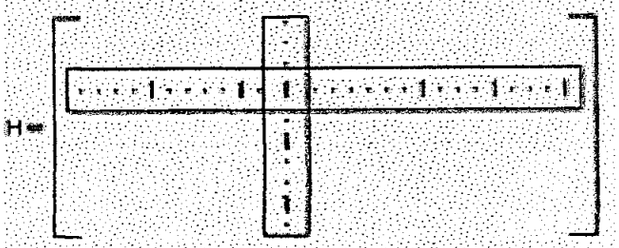
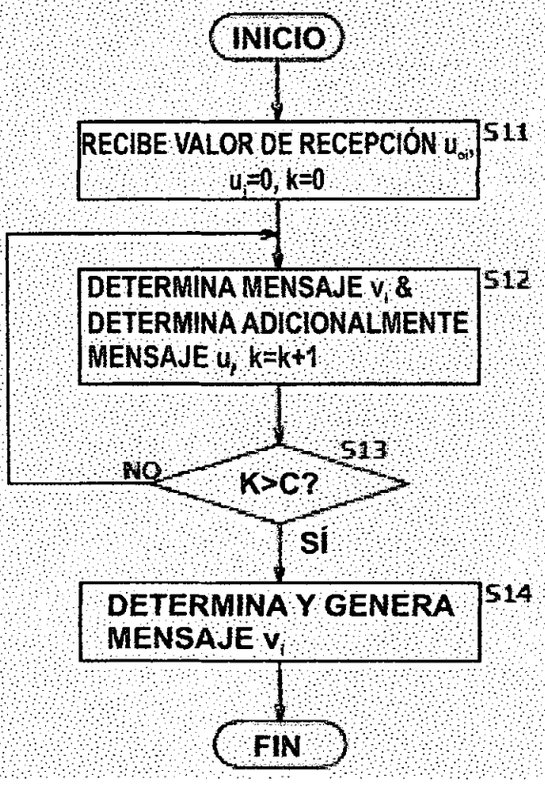

H=

FIG. 2


INICIO
RECIBE VALOR DE RECEPCIÓN $u_{oi}$, $u_i$=0, k=0
S11
DETERMINA MENSAJE $v_i$ & DETERMINA ADICIONALMENTE MENSAJE $u_i$, k=k+1
S12
K>C?
S13
NO
SÍ
DETERMINA Y GENERA MENSAJE $v_i$
S14
FIN

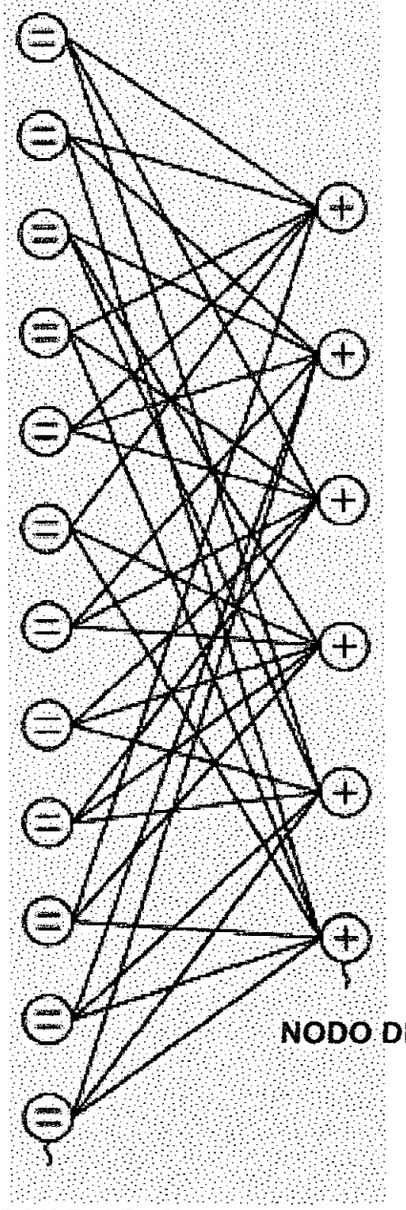
000450



FIG. 3

$$H=\begin{bmatrix} 1 & 1 & 1 & 0 & 0 & 0 & 1 & 0 & 1 & 1 & 0 & 0 \\ 1 & 1 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 1 & 1 \\ 0 & 0 & 1 & 1 & 1 & 1 & 1 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 1 & 1 & 0 & 1 & 1 & 0 & 0 & 1 \\ 1 & 1 & 0 & 0 & 0 & 1 & 0 & 1 & 0 & 1 & 1 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 1 & 1 & 1 & 0 & 1 & 1 \end{bmatrix}$$

FIG. 4



NODO DE COMPROBACIÓN

NODO VARIABLE

000458

FIG. 5

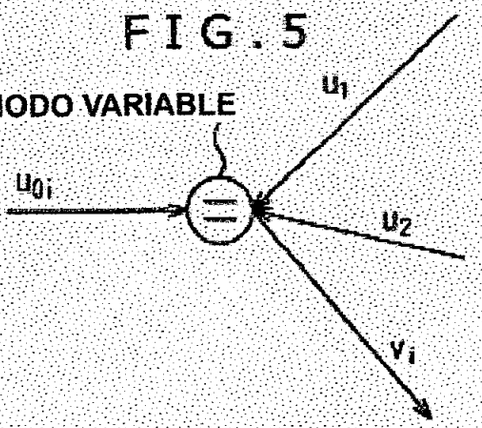



FIG. 6

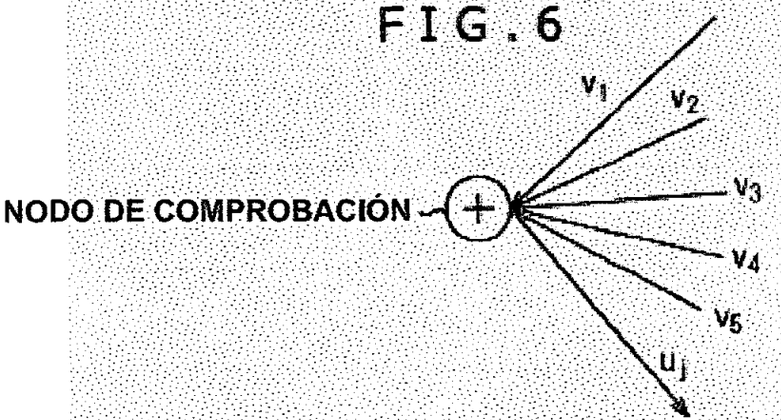



FIG. 7

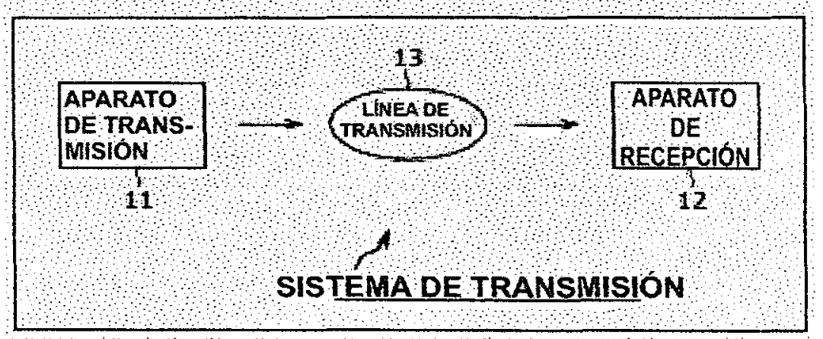
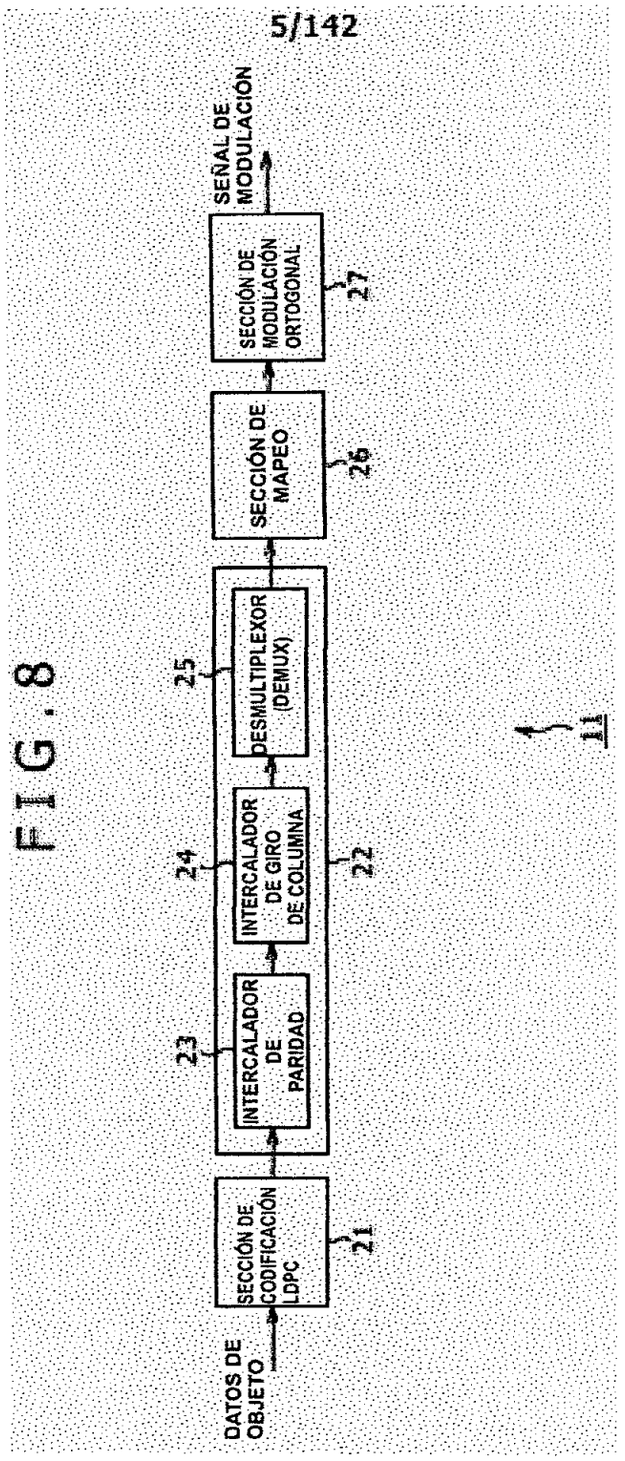
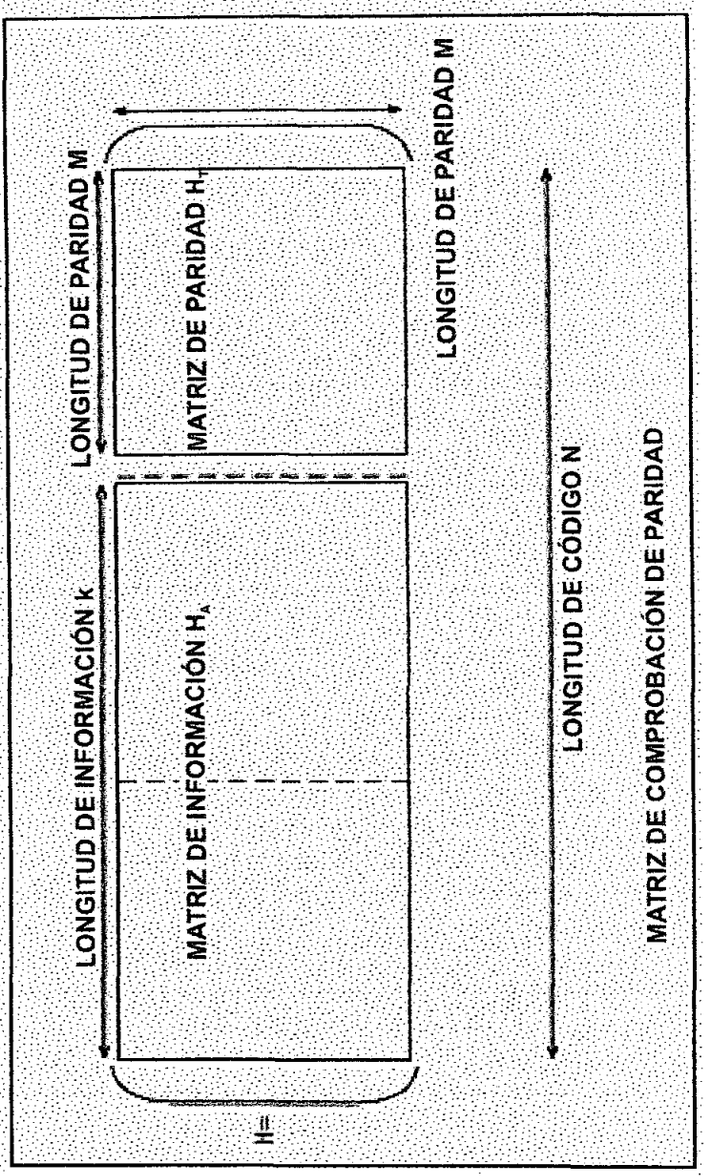


FIG. 8


DATOS DE OBJETO
SECCIÓN DE CODIFICACIÓN LDPC
21
INTERCALADOR DE PARIDAD
23
INTERCALADOR DE GIRO DE COLUMNA
24
DESMULTIPLEXOR (DEMUX)
25
22
SECCIÓN DE MAPEO
26
SECCIÓN DE MODULACIÓN ORTOGONAL
27
SEÑAL DE MODULACIÓN
11

000460

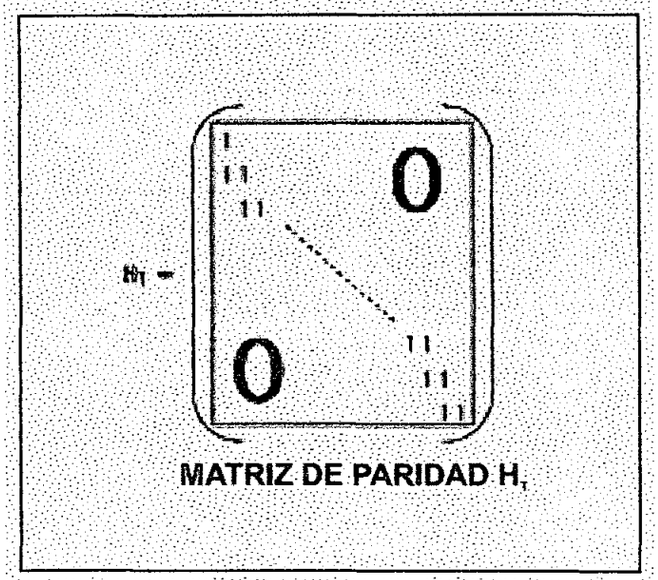
FIG. 9


LONGITUD DE PARIDAD M
MATRIZ DE PARIDAD $H_T$
LONGITUD DE PARIDAD M
LONGITUD DE INFORMACIÓN k
MATRIZ DE INFORMACIÓN $H_A$
H=
LONGITUD DE CÓDIGO N
MATRIZ DE COMPROBACIÓN DE PARIDAD

000481



FIG.10



000462

FIG. 11

A MATRIZ DE COMPROBACIÓN DE PARIDAD




B NÚMERO DE COLUMNA DE PESOS DE COLUMNA

| | N=64800 | | | | M=16200 | | | |
|---|---|---|---|---|---|---|---|---|
| INDICE DE CODIFICACIÓN NOMINAL | X | KX | K3 | M | X | KX | K3 | M |
| 1/4 | 12 | 5400 | 10800 | 48600 | 12 | 1440 | 1800 | 12960 |
| 1/3 | 12 | 7200 | 14400 | 43200 | 12 | 1800 | 3600 | 10800 |
| 2/5 | 12 | 8640 | 17280 | 38880 | 12 | 2160 | 4320 | 9720 |
| 1/2 | 8 | 12960 | 19440 | 32400 | 8 | 1800 | 5400 | 9000 |
| 3/5 | 12 | 12960 | 25920 | 25920 | 12 | 3240 | 6480 | 6480 |
| 2/3 | 13 | 4320 | 38880 | 21600 | 13 | 1080 | 9720 | 5400 |
| 3/4 | 12 | 5400 | 43200 | 16200 | 12 | 360 | 11520 | 4320 |
| 4/5 | 11 | 6480 | 45360 | 12960 | - | 0 | 12600 | 3600 |
| 5/6 | 13 | 5400 | 48600 | 10800 | 13 | 360 | 12960 | 2880 |
| 8/9 | 4 | 7200 | 50400 | 7200 | 4 | 1800 | 12600 | 1800 |
| 9/10 | 4 | 6480 | 51840 | 6480 | ---- | ---- | ---- | ---- |

000463

FIG. 12

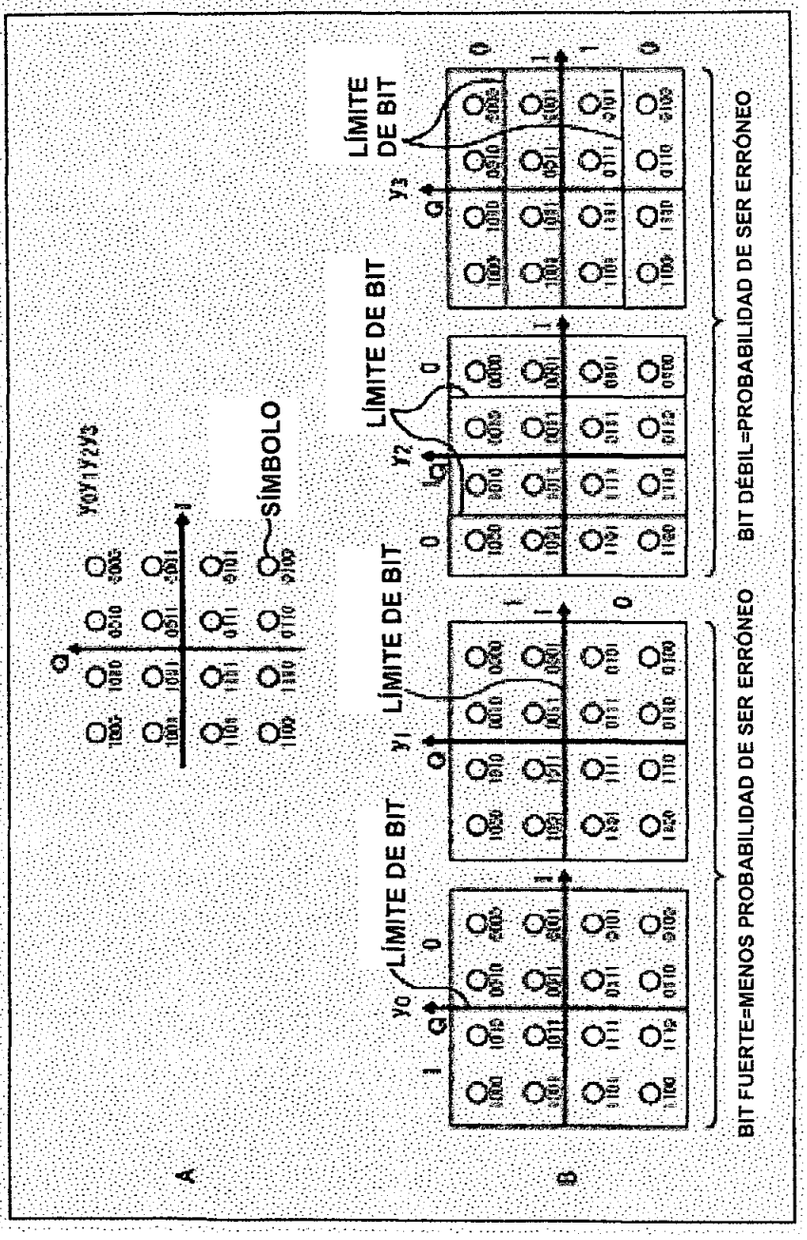


FIG. 13

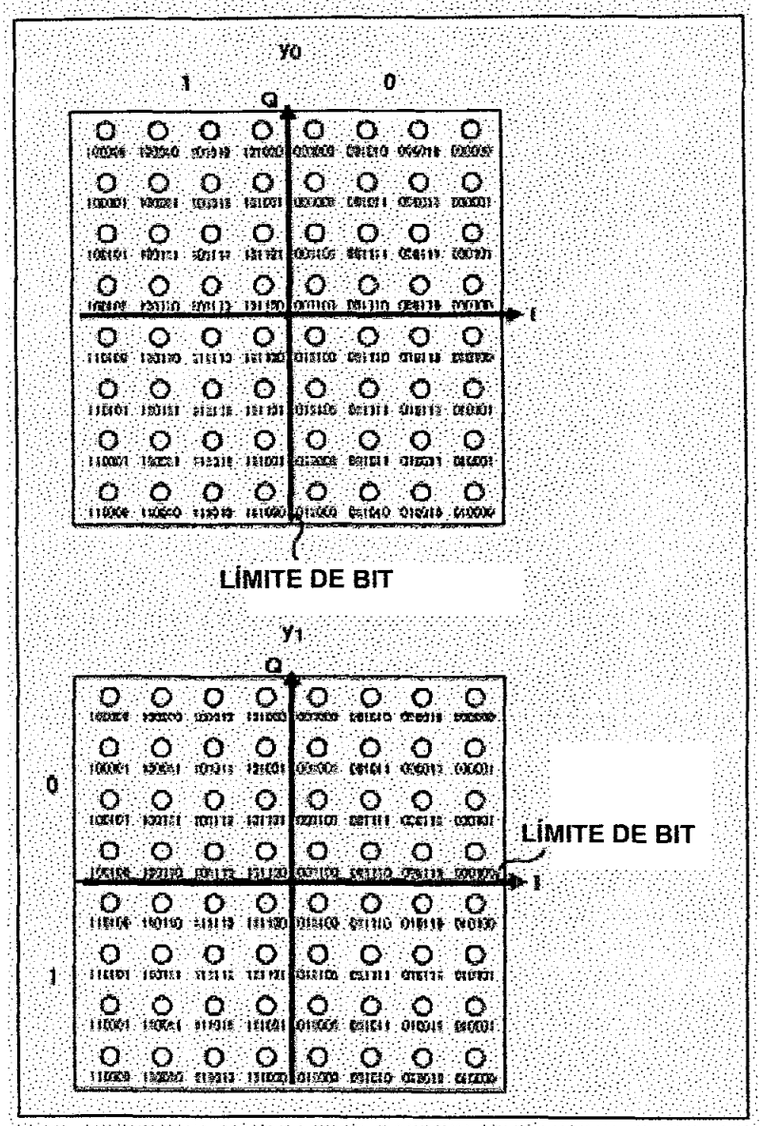


FIG. 14

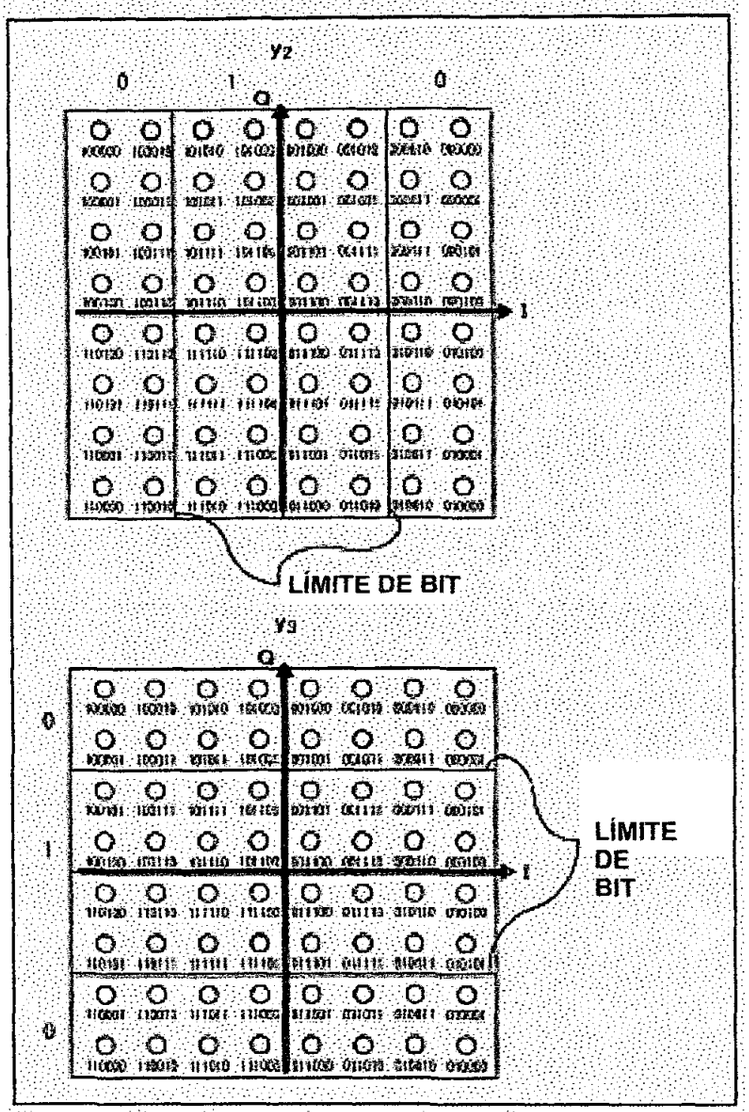


FIG. 15

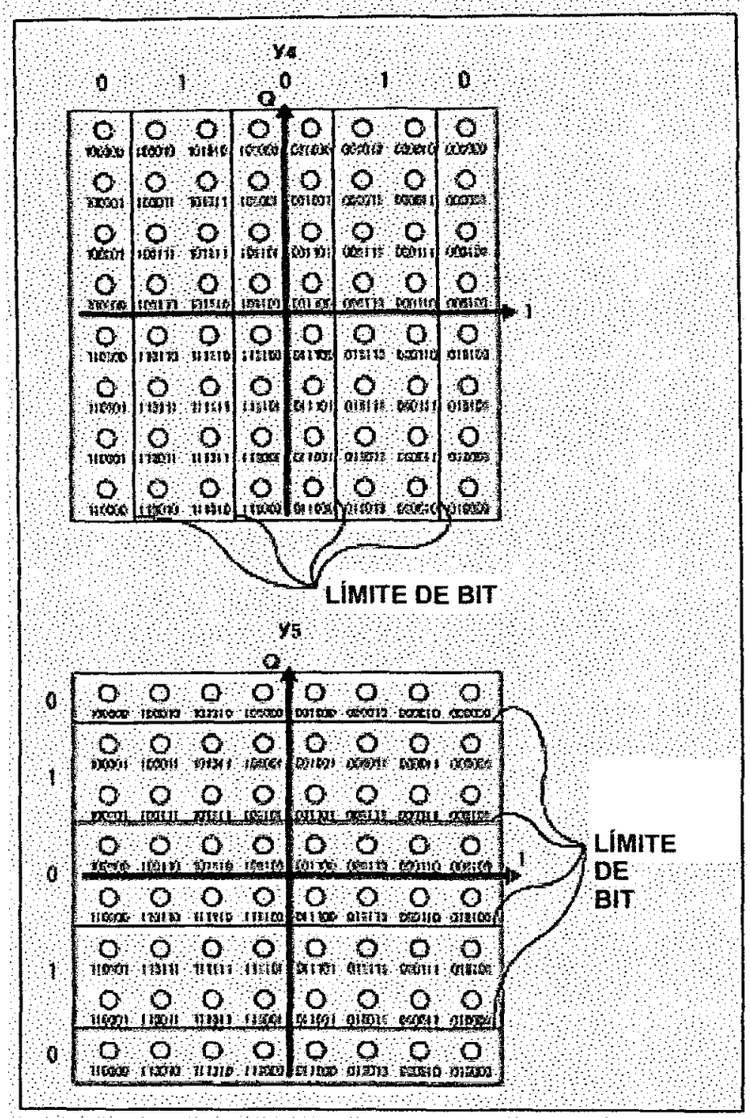


FIG.16

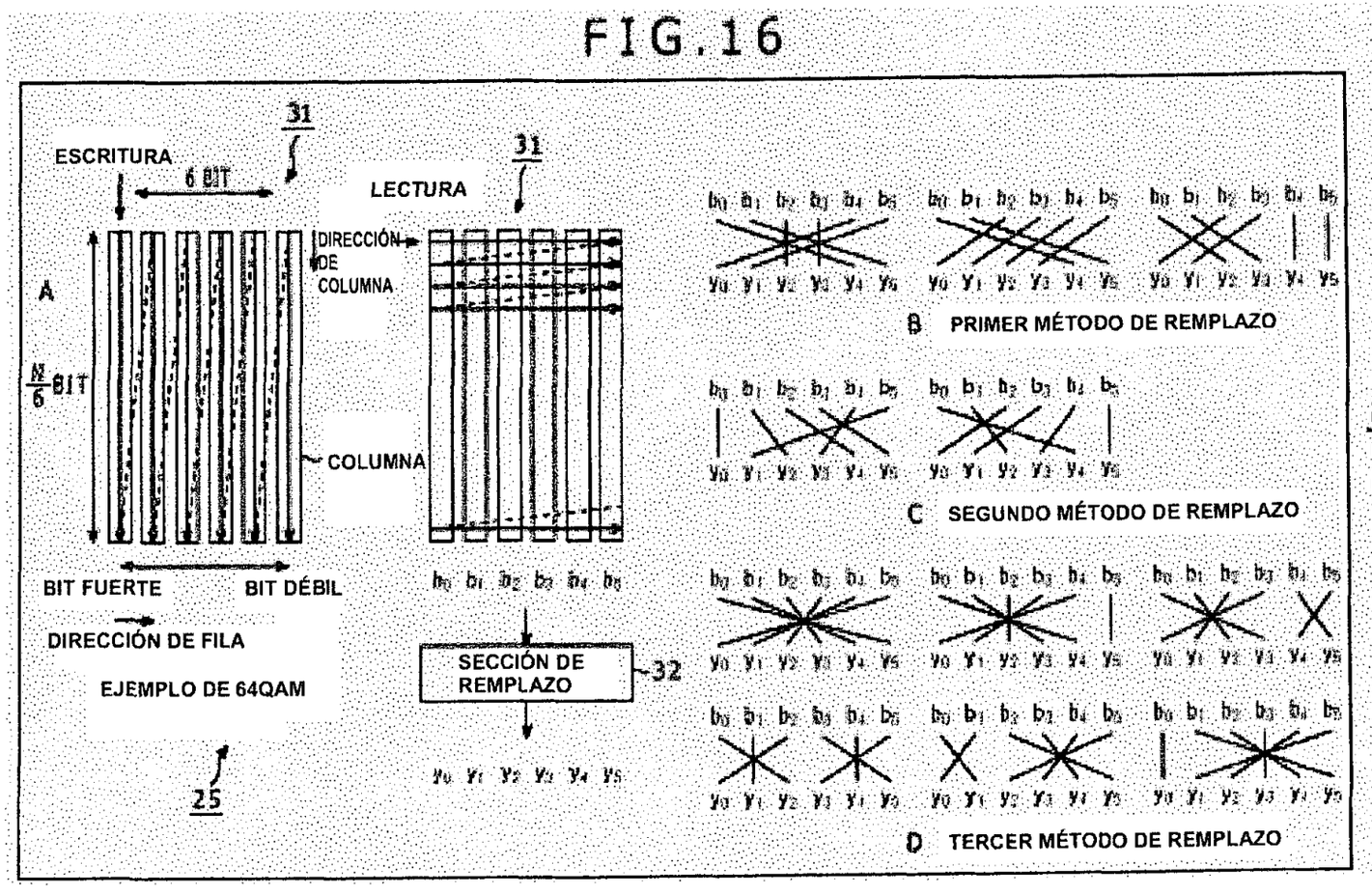
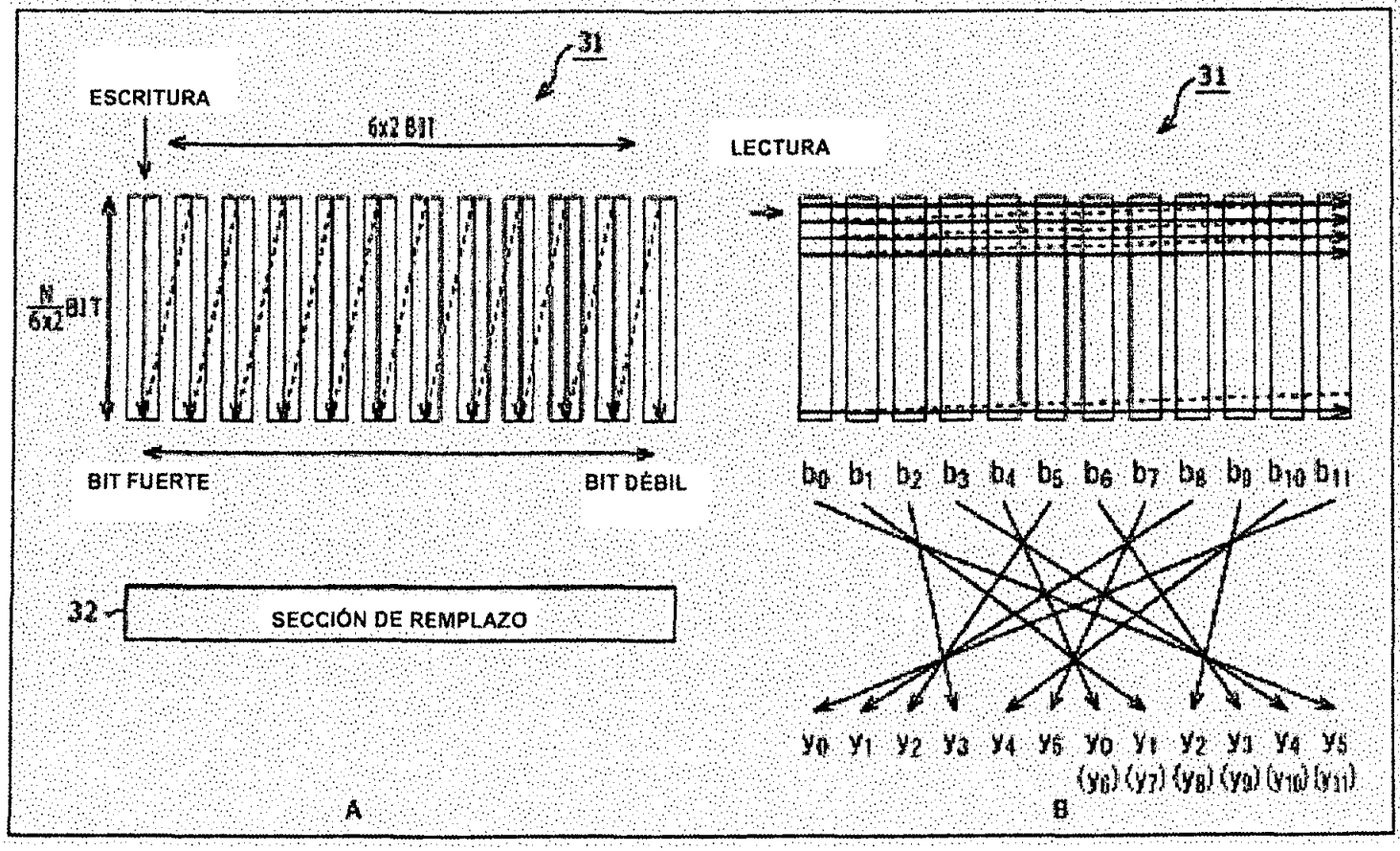
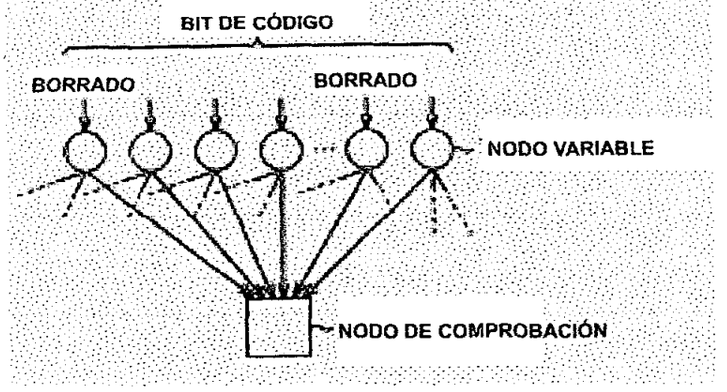

31
ESCRITURA
6 BIT
31
LECTURA
DIRECCIÓN DE COLUMNA
A
N/6 BIT
COLUMNA
BIT FUERTE
BIT DÉBIL
DIRECCIÓN DE FILA
EJEMPLO DE 64QAM
25
SECCIÓN DE REMPLAZO
32
B PRIMER MÉTODO DE REMPLAZO
C SEGUNDO MÉTODO DE REMPLAZO
D TERCER MÉTODO DE REMPLAZO

FIG.17


31
ESCRITURA
6x2 BIT
N/6x2 BIT
BIT FUERTE
BIT DÉBIL
32
SECCIÓN DE REMPLAZO
A
31
LECTURA
b0 b1 b2 b3 b4 b5 b6 b7 b8 b9 b10 b11
y0 y1 y2 y3 y4 y5 y0 y1 y2 y3 y4 y5
(y6) (y7) (y8) (y9) (y10) (y11)
B

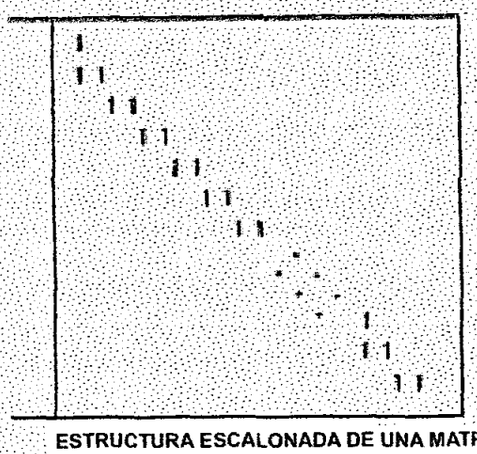
000439

FIG.18



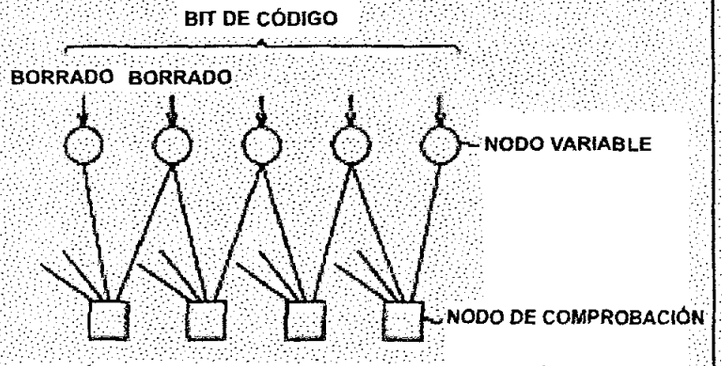
000470

FIG. 19



ESTRUCTURA ESCALONADA DE UNA MATRIZ DE PARIDAD

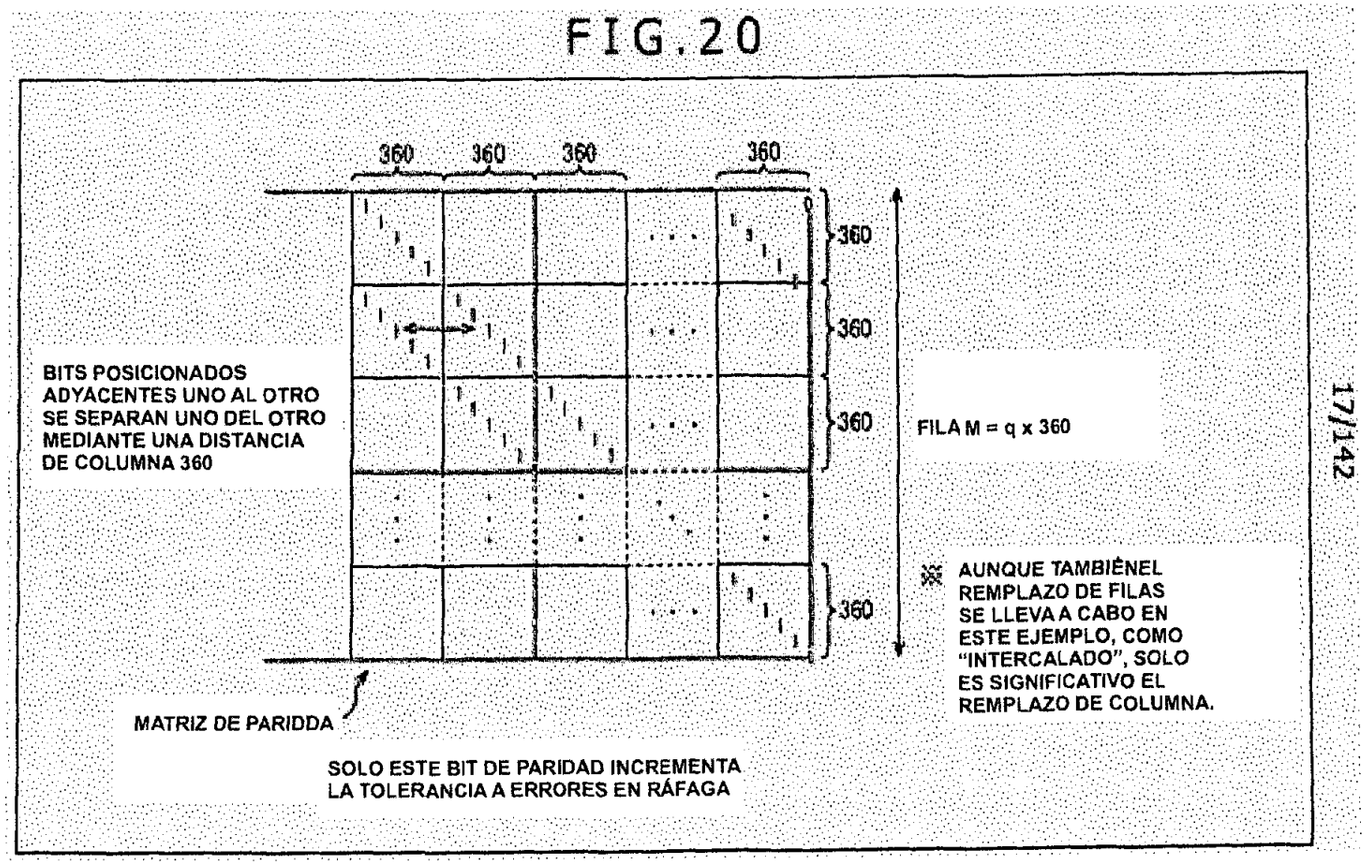
A




PORCIÓN DE ESTRUCTURA ESCALONADA DE LA GRÁFICA Tanner

B

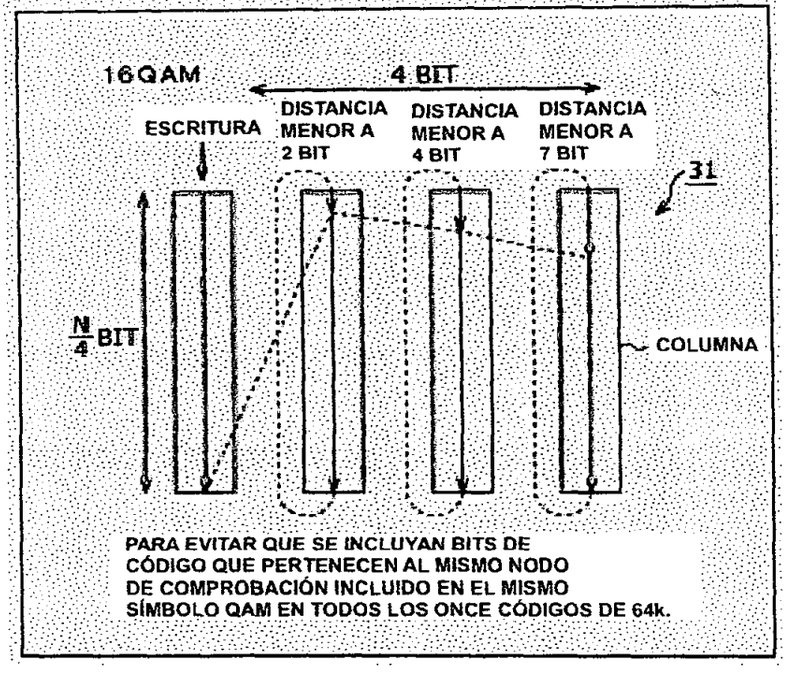
FIG.20


360
360
360
360
360
360
360
360
BITS POSICIONADOS ADYACENTES UNO AL OTRO SE SEPARAN UNO DEL OTRO MEDIANTE UNA DISTANCIA DE COLUMNA 360
FILA M = q x 360
※ AUNQUE TAMBIÉNEL REMPLAZO DE FILAS SE LLEVA A CABO EN ESTE EJEMPLO, COMO "INTERCALADO", SOLO ES SIGNIFICATIVO EL REMPLAZO DE COLUMNA.
MATRIZ DE PARIDDA
SOLO ESTE BIT DE PARIDAD INCREMENTA LA TOLERANCIA A ERRORES EN RÁFAGA

000472

FIG. 21

FIG. 22


16QAM
4 BIT
ESCRITURA
DISTANCIA MENOR A 2 BIT
DISTANCIA MENOR A 4 BIT
DISTANCIA MENOR A 7 BIT
31
N/4 BIT
COLUMNA
PARA EVITAR QUE SE INCLUYAN BITS DE CÓDIGO QUE PERTENECEN AL MISMO NODO DE COMPROBACIÓN INCLUIDO EN EL MISMO SÍMBOLO QAM EN TODOS LOS ONCE CÓDIGOS DE 64k.

# FIG.23

| NÚMERO DE COLUMNA DE MEMORIA REQUERIDO, mb | b=1 (PRIMERO A TERCER MÉTODO DE REMPLAZO) | b=2 (CUARTO MÉTODO DE REMPLAZO) | POSICIÓN DE INICIO DE ESCRITURA EN COLUMNAS mb | | | | | | | | | | | | | | | | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 | 18 | 19 | 20 | 21 | 22 | 23 | 24 |
| 2 | QPSK | | 0 | 2 | | | | | | | | | | | | | | | | | | | | | | |
| 4 | 16QAM | QPSK | 0 | 2 | 4 | 7 | | | | | | | | | | | | | | | | | | | | |
| 6 | 64QAM | | 0 | 2 | 5 | 9 | 10 | 13 | | | | | | | | | | | | | | | | | | |
| 8 | 256QAM | 16QAM | 0 | 0 | 2 | 4 | 4 | 5 | 7 | 7 | | | | | | | | | | | | | | | | |
| 10 | 1024QAM | | 0 | 3 | 6 | 8 | 11 | 13 | 15 | 17 | 16 | 20 | | | | | | | | | | | | | | |
| 12 | 4096QAM | 64QAM | 0 | 0 | 2 | 2 | 3 | 4 | 4 | 5 | 5 | 7 | 8 | 9 | | | | | | | | | | | | |
| 16 | | 256QAM | 0 | 2 | 2 | 2 | 2 | 3 | 7 | 15 | 16 | 20 | 22 | 22 | 27 | 27 | 28 | 32 | | | | | | | | |
| 20 | | 1024QAM | 0 | 1 | 3 | 4 | 5 | 6 | 6 | 9 | 13 | 14 | 14 | 16 | 21 | 21 | 23 | 25 | 25 | 26 | 28 | 30 | | | | |
| 24 | | 4096QAM | 0 | 5 | 8 | 8 | 8 | 6 | 10 | 10 | 10 | 12 | 13 | 16 | 17 | 19 | 21 | 22 | 23 | 26 | 32 | 39 | 40 | 41 | 41 | 41 |

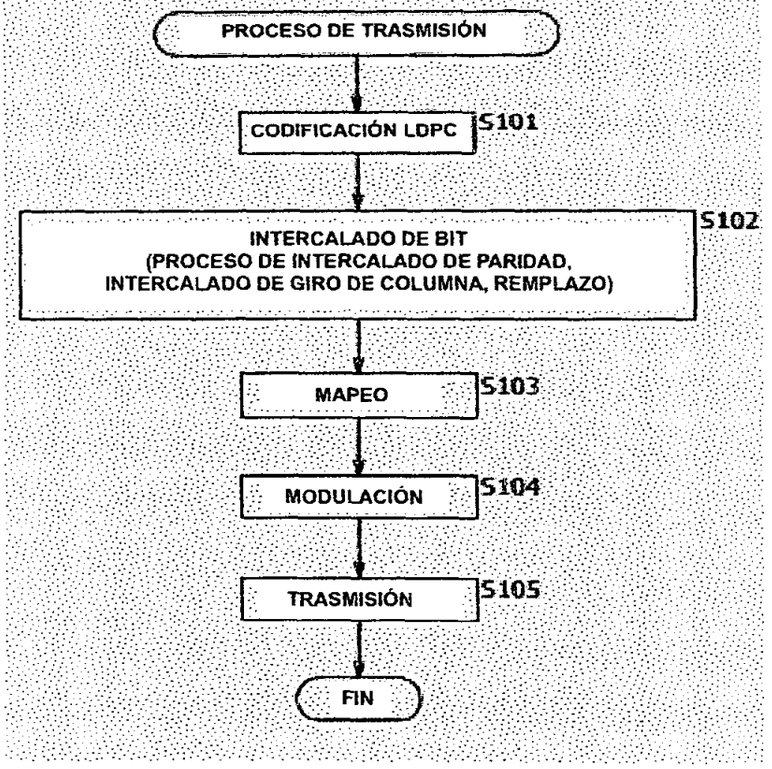


0002274

FIG.24

| NÚMERO DE COLUMNA DE MEMORIA REQUERIDO, *mb* | b=1 PRIMERO A TERCER MÉTODO DE REMPLAZO | b=2 CUARTO MÉTODO DE REMPLAZO | POSICIÓN DE INICIO DE ESCRITURA EN COLUMNAS mb | | | | | | | | | | | | | | | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 | 18 | 19 | 20 | 21 | 22 | 23 | 24 |
| 2 | QPSK | | 0 | 0 | | | | | | | | | | | | | | | | | | | | | | |
| 4 | 16QAM | QPSK | 0 | 2 | 3 | 3 | | | | | | | | | | | | | | | | | | | | |
| 6 | 64QAM | | 0 | 0 | 2 | 3 | 7 | 7 | | | | | | | | | | | | | | | | | | |
| 8 | 256QAM | 16QAM | 0 | 0 | 0 | 1 | 7 | 20 | 20 | 21 | | | | | | | | | | | | | | | | |
| 10 | 1024QAM | | 0 | 1 | 2 | 2 | 3 | 3 | 4 | 4 | 5 | 7 | | | | | | | | | | | | | | |
| 12 | 4096QAM | 64QAM | 0 | 0 | 0 | 2 | 2 | 2 | 3 | 3 | 3 | 6 | 7 | 7 | | | | | | | | | | | | |
| 20 | | 1024QAM | 0 | 0 | 0 | 2 | 2 | 2 | 2 | 2 | 5 | 5 | 5 | 5 | 6 | 7 | 7 | 7 | 7 | 8 | 9 | 10 | | | | |
| 24 | | 4096QAM | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 2 | 2 | 2 | 3 | 7 | 9 | 9 | 9 | 10 | 10 | 10 | 10 | 10 | 11 |

FIG. 25


PROCESO DE TRASMISIÓN
CODIFICACIÓN LDPC
S101
INTERCALADO DE BIT
(PROCESO DE INTERCALADO DE PARIDAD,
INTERCALADO DE GIRO DE COLUMNA, REMPLAZO)
S102
MAPEO
S103
MODULACIÓN
S104
TRASMISIÓN
S105
FIN

000427

FIG. 26

MODO DE REDUCCIÓN EQUIVALENTE DEL OSCILADOR

A



$\alpha^2 = 0.1$

$f_d$: Frec. Doppler

$t$: Tiempo

$\alpha \cdot e^{j2\pi \cdot f_d \cdot t}$

SE ENVÍA SÍMBOLO OFDM EN ESTE CANAL, Y
SE LLEVA A CABO LA SIMULACIÓN CON MODELO DEL
CUAL SE EXTRAE 1 PORTADOR DESPUÉS DE FFT EN EL LADO DE RECEPCIÓN

B




$$Y = \left[ 1 + \alpha \cdot \exp\left( j2\pi \cdot n \cdot f_d \cdot Ts + j2\pi \cdot \frac{(Nu-1) \cdot f_d \cdot Tu}{Nu} \right) \cdot \frac{\sin c(\pi \cdot f_d \cdot Tu)}{\sin c(\pi \cdot f_d \cdot Tu/Nu)} \right] \cdot X + N$$

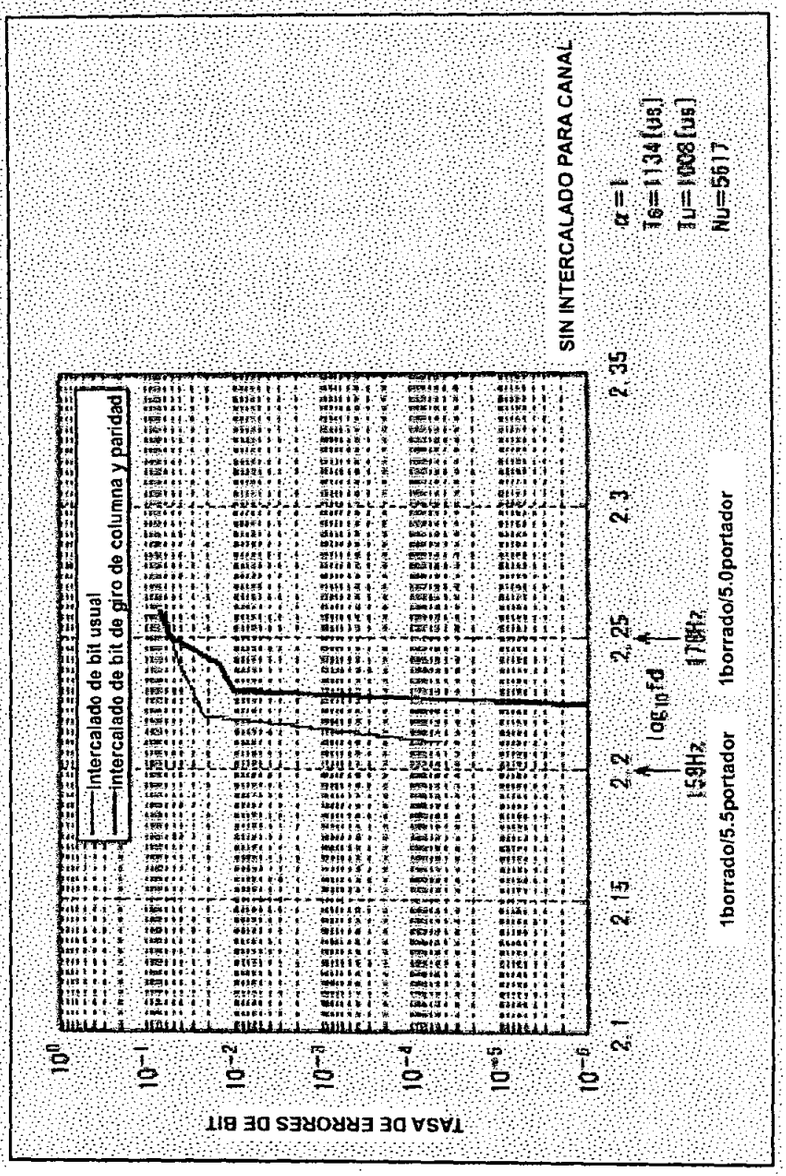
$H$

$$E\left[N^2\right] = \alpha^2 \cdot \left[ 1 - \left| \frac{\sin c(\pi \cdot f_d \cdot Tu)}{\sin c(\pi \cdot f_d \cdot Tu/Nu)} \right|^2 \right]$$

$n$: Número de símbolo
$Ts$: Longitud de símbolo (seg.)
$Tu$: Longitud de símbolo efectiva (seg.)
$Nu$: Número de portadores OFDN

|C| DE PODER: APROXIMACIÓN CON AWGN

FIG. 27


SIN INTERCALADO PARA CANAL
α = 1
Tb= 1134 [μs]
Tu= 1008 [μs]
Nu=5617
TASA DE ERRORES DE BIT
Intercalado de bit usual
Intercalado de bit de giro de columna y paridad
1borrado/5.5portador
1borrado/5.0portador
2.1
2.15
2.2
2.25
2.3
2.35
$10^{0}$
$10^{-1}$
$10^{-2}$
$10^{-3}$
$10^{-4}$
$10^{-5}$
$10^{-6}$

000429

FIG.28

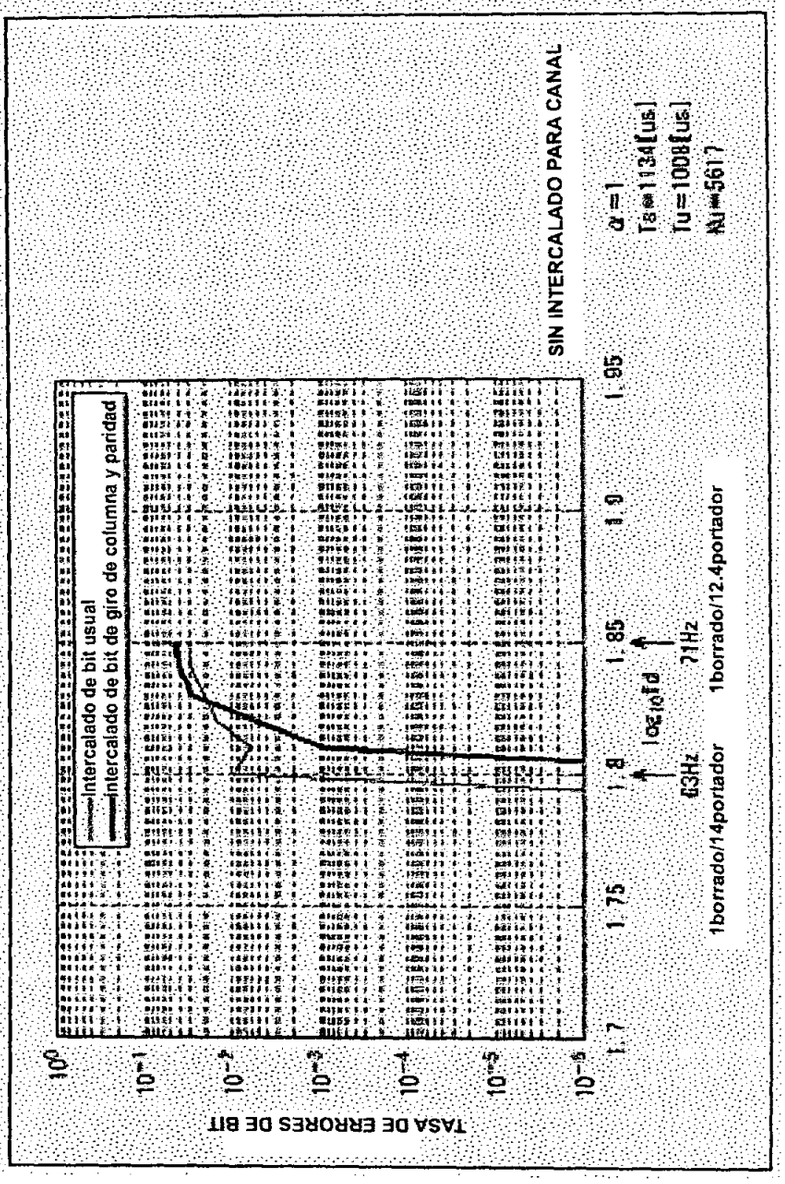
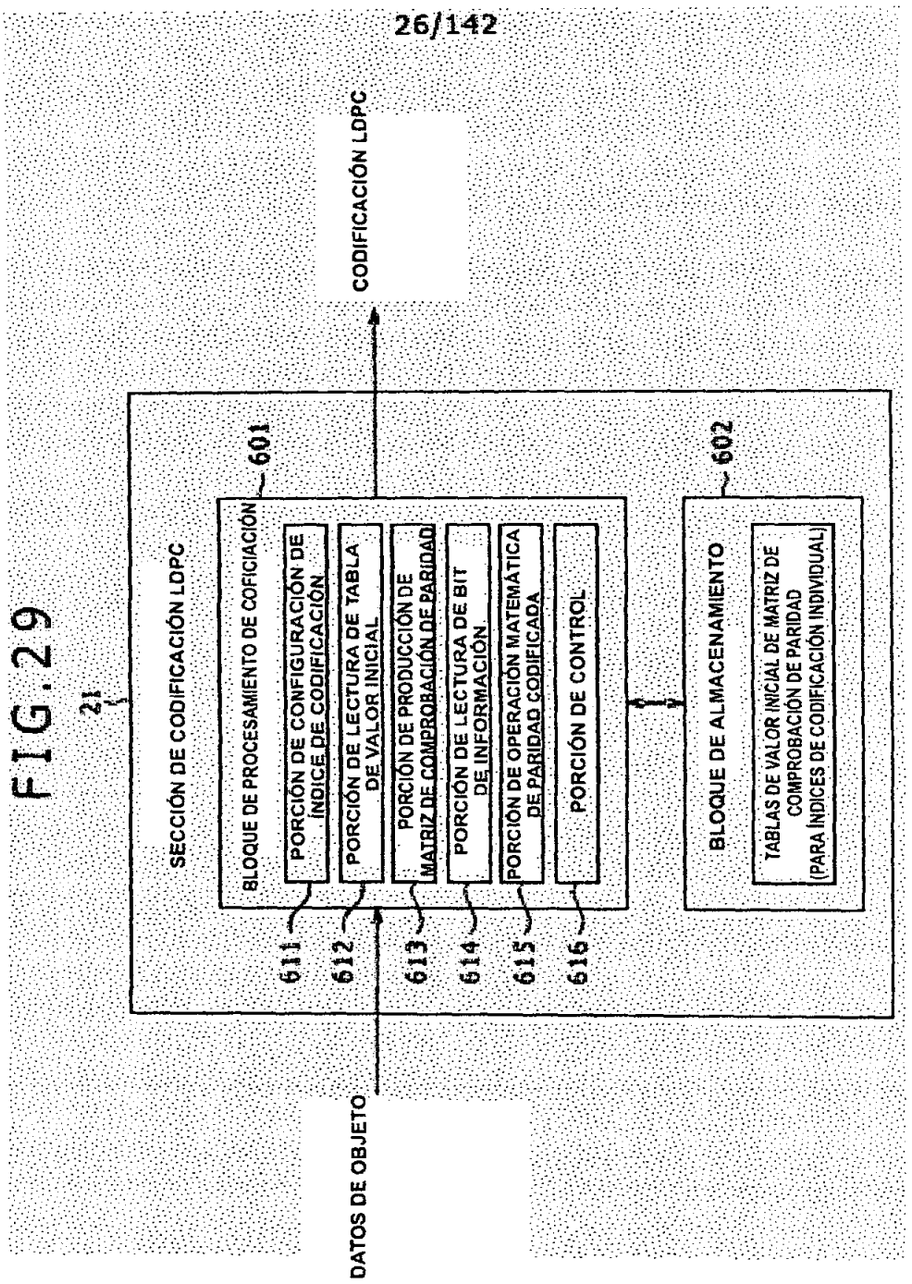
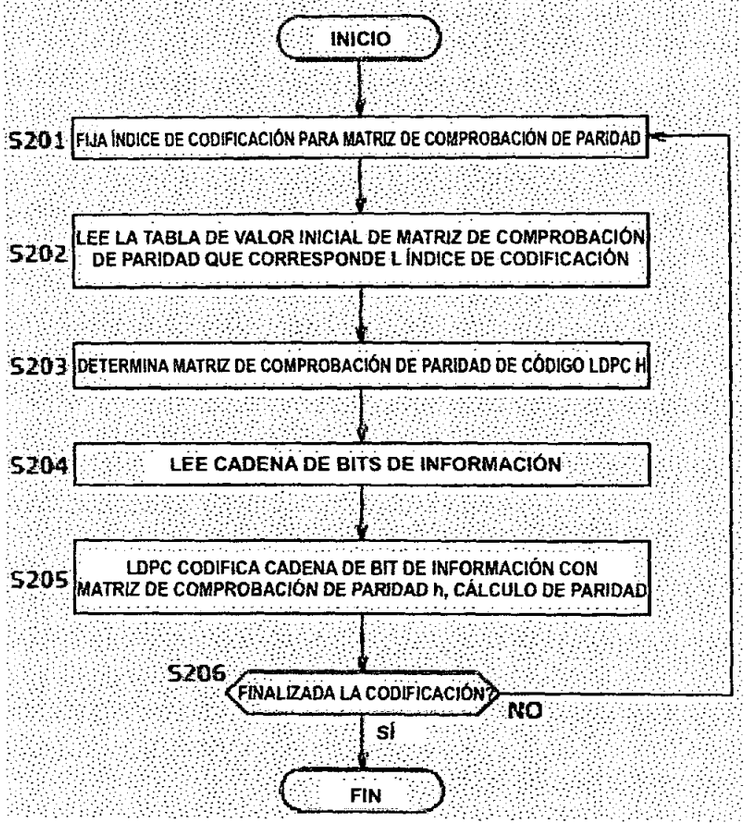


FIG.29


21
SECCIÓN DE CODIFICACIÓN LDPC
BLOQUE DE PROCESAMIENTO DE COFICIACIÓN
601
PORCIÓN DE CONFIGURACIÓN DE ÍNDICE DE CODIFICACIÓN
PORCIÓN DE LECTURA DE TABLA DE VALOR INICIAL
PORCIÓN DE PRODUCCIÓN DE MATRIZ DE COMPROBACIÓN DE PARIDAD
PORCIÓN DE LECTURA DE BIT DE INFORMACIÓN
PORCIÓN DE OPERACIÓN MATEMÁTICA DE PARIDAD CODIFICADA
PORCIÓN DE CONTROL
611
612
613
614
615
616
BLOQUE DE ALMACENAMIENTO
602
TABLAS DE VALOR INICIAL DE MATRIZ DE COMPROBACIÓN DE PARIDAD (PARA ÍNDICES DE CODIFICACIÓN INDIVIDUAL)
DATOS DE OBJETO
CODIFICACIÓN LDPC

000481

FIG. 30



# FIG.31

r2/3 16K

```
0 2084 1613 1548 1286 1460 3196 4297 2481 3369 3451 4620 2622
1 122 1516 3448 2880 1407 1847 3799 3529 373 971 4358 3108
2 259 3399 929 2650 864 3996 3833 107 5287 164 3125 2350
3 342 3529
4 4198 2147
5 1880 4836
6 3864 4910
7 243 1542
8 3011 1436
9 2167 2512
10 4606 1003
11 2835 705
12 3426 2365
13 3848 2474
14 1360 1743
0 163 2536
1 2683 1180
2 1542 509
3 4418 1005
4 5212 5117
5 2155 2922
6 347 2696
7 226 4296
8 1560 487
9 3926 1640
10 140 2028
11 2364 563
12 635 688
13 231 1684
14 1129 3894
```

TABLA DE VALOR INICIAL DE MATRIZ DE COMPROBACIÓN DE PARIDAD CUANDO $r=\frac{2}{3}$, N=16200

# FIG. 32

TABLA DE VALOR INICIAL DE MATRIZ DE COMPROBACIÓN DE PARIDAD CUANDO $r=\frac{2}{3}$, N=64800

| r2/3 64K | | | | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 10401 | 16043 | 506 | 12826 | 8065 | 8226 | 2767 | 240 | 18673 | 9279 | 10579 | 20928 |
| 1 | 17819 | 8313 | 6433 | 6224 | 5120 | 5824 | 12812 | 17187 | 9940 | 13447 | 13825 | 18483 |
| 2 | 17957 | 6024 | 8681 | 18628 | 12794 | 5915 | 14576 | 10970 | 12064 | 20437 | 4455 | 7151 |
| 3 | 19777 | 6183 | 9972 | 14536 | 8182 | 17749 | 11341 | 5556 | 4379 | 17434 | 15477 | 16532 |
| 4 | 4651 | 19689 | 1608 | 659 | 16707 | 14335 | 6143 | 3058 | 14618 | 17894 | 20584 | 5306 |
| 5 | 9778 | 2552 | 12096 | 12369 | 15198 | 16890 | 4851 | 3109 | 3700 | 16725 | 1997 | 15882 |
| 6 | 486 | 6111 | 13743 | 11537 | 5591 | 7433 | 15227 | 14145 | 1483 | 3887 | 17431 | 12430 |
| 7 | 20647 | 14311 | 11734 | 4180 | 8110 | 5525 | 12141 | 15761 | 18661 | 18441 | 10569 | 8192 |
| 8 | 3791 | 14759 | 15264 | 19918 | 10132 | 9062 | 10010 | 12786 | 10675 | 9682 | 19246 | 5454 |
| 9 | 18525 | 9485 | 7777 | 19999 | 8378 | 9209 | 3163 | 20232 | 6690 | 16518 | 716 | 7353 |
| 10 | 4586 | 6709 | 20202 | 10905 | 915 | 4317 | 11073 | 13576 | 16433 | 368 | 3508 | 21178 |
| 11 | 14072 | 4033 | 19959 | 12603 | 631 | 19494 | 14160 | 8249 | 10223 | 21504 | 12395 | 4322 |
| 12 | 13800 | 14161 | | | | | | | | | | |
| 13 | 2948 | 9647 | | | | | | | | | | |
| 14 | 14693 | 16027 | | | | | | | | | | |
| 15 | 20506 | 11082 | | | | | | | | | | |
| 16 | 1143 | 9020 | | | | | | | | | | |
| 17 | 13501 | 4014 | | | | | | | | | | |
| 18 | 1548 | 2190 | | | | | | | | | | |
| 19 | 12216 | 21556 | | | | | | | | | | |
| 20 | 2095 | 19897 | | | | | | | | | | |
| 21 | 4189 | 7958 | | | | | | | | | | |
| 22 | 15940 | 10048 | | | | | | | | | | |
| 23 | 515 | 12614 | | | | | | | | | | |
| 24 | 8501 | 8450 | | | | | | | | | | |
| 25 | 17595 | 16784 | | | | | | | | | | |
| 26 | 5913 | 8495 | | | | | | | | | | |
| 27 | 16394 | 10423 | | | | | | | | | | |
| 28 | 7409 | 6981 | | | | | | | | | | |
| 29 | 6678 | 15939 | | | | | | | | | | |
| 30 | 20344 | 12987 | | | | | | | | | | |
| 31 | 2510 | 14588 | | | | | | | | | | |
| 32 | 17918 | 6655 | | | | | | | | | | |
| 33 | 6703 | 19451 | | | | | | | | | | |
| 34 | 496 | 4217 | | | | | | | | | | |
| 35 | 7290 | 5766 | | | | | | | | | | |
| 36 | 10521 | 8925 | | | | | | | | | | |
| 37 | 20379 | 11905 | | | | | | | | | | |
| 38 | 4090 | 5838 | | | | | | | | | | |
| 39 | 19082 | 17040 | | | | | | | | | | |

FIG.33

000184

40 20233 12352
41 19365 19546
42 8249 19030
43 13037 19193
44 19760 11772
45 19644 7428
46 16076 3521
47 11779 21062
48 13062 9682
49 8934 5217
50 11087 3319
51 18892 4356
52 7894 3898
53 6963 4360
54 7340 11726
55 5182 5609
56 2412 17295
57 9845 20494
58 8687 1864
59 20564 5216
0 18226 17207
1 9380 8266
2 7673 3065
3 18252 13437
4 9161 15642
5 10714 10153
6 11585 9078
7 5359 9418
8 9024 9515
9 3206 16354
10 14994 8102
11 9375 20796
12 15964 6027
13 14789 6452
14 8002 18591
15 14742 14089
16 253 3045
17 1274 19288
18 14777 2044
19 13920 9900
20 452 7374

UC01485

# FIG. 34

21 18206 9921
22 6131 5414
23 10077 9726
24 12045 5479
25 4322 7990
26 15616 5550
27 15561 10661
28 20710 7287
29 2518 18804
30 8984 2600
31 6516 17909
32 11148 98
33 20559 3704
34 7510 1569
35 16000 11692
36 9147 10303
37 16650 191
38 16577 18685
39 17167 20917
40 4256 3391
41 20092 17219
42 9218 5056
43 18429 8472
44 12093 20753
45 16345 12748
46 16023 11095
47 5048 17595
48 18995 4817
49 16483 3536
50 1439 16148
51 3661 3039
52 19010 18120
53 8968 11793
54 13427 18003
55 5303 3083
56 531 16668
57 4771 6722
58 5695 7960
59 3589 14630

# FIG.35

r3/4 16K

3 3198 478 4207 1481 1009 2616 1924 3437 554 683 1601
4 2681 2135
5 3107 4027
6 2637 3373
7 3830 3449
8 4129 2060
9 4184 2742
10 3946 1070
11 2239 984
0 1458 3031
1 3003 1328
2 1137 1716
3 132 3725
4 1817 638
5 1774 3447
6 3632 1257
7 542 3694
8 1015 1945
9 1948 412
10 995 2238
11 4141 1907
0 2480 3079
1 3021 1088
2 713 1379
3 997 3903
4 2323 3361
5 1110 986
6 2532 142
7 1690 2405
8 1298 1861
9 615 174
10 1648 3112
11 1415 2808

TABLA DE VALOR INICIAL DE MATRIZ DE COMPROBACIÓN DE PARIDAD CUANDO $r=\frac{3}{4}$, N=16200

# FIG. 36

TABLA DE VALOR INICIAL DE MATRIZ DE COMPROBACIÓN DE PARIDAD CUANDO $r = \frac{3}{4}$, N=64800

r 3/4 64K

0 6385 7901 14611 13389 11200 3252 5243 2504 2722 821 7374
1 11359 2698 357 13824 12772 7244 6752 15310 852 2001 11417
2 7862 7977 6321 13612 12197 14449 15137 13860 1708 6399 13444
3 1560 11804 6975 13292 3646 3812 8772 7306 6795 14327 7866
4 7626 11407 14589 9689 1628 2113 10809 9283 1230 15241 4870
5 1610 5699 15876 9446 12515 1400 6303 5411 14181 13925 7358
6 4059 8836 3405 7853 7992 15336 5970 10308 10278 9675 4651
7 4441 3963 9153 2109 12683 7459 12030 12221 629 15212 406
8 6007 8411 5771 3497 543 14202 875 9186 6235 13908 3563
9 3232 6625 4795 546 9781 2071 7312 3399 7250 4932 12652
10 8820 10088 11090 7069 6585 13134 10158 7183 488 7455 9238
11 1903 10818 119 215 7558 11046 10615 11545 14764 7961 15619
12 3655 8736 4917 15874 5129 2134 15944 14768 7150 2692 1460
13 8316 3820 505 8923 6757 606 7957 4216 15589 13244 2622
14 14463 4852 15733 3041 11193 12860 13673 8152 6551 15108 8758
15 3349 11981
16 13416 6906
17 13098 13352
18 2009 14460
19 7207 4314
20 3312 3945
21 4418 6248
22 2669 13975
23 7571 9023
24 14172 2967
25 7271 7138
26 6135 13670
27 7490 14969
28 8657 2466
29 8599 12834
30 3470 3152
31 13917 4365
32 6024 13730
33 10973 14192
34 2484 13167
35 5281 15049
36 1103 1849
37 2058 1069
38 9654 6096
39 14311 7667

FIG.37

40 15617 8146
41 4688 11218
42 13660 6243
43 8578 7874
44 11741 2686
0 1022 1264
1 12604 9965
2 8217 2707
3 3156 11793
4 354 1514
5 6978 14058
6 7922 10079
7 15087 12138
8 5053 6470
9 12687 14932
10 15458 1763
11 8121 1721
12 12431 549
13 4129 7091
14 1426 8415
15 9783 7604
16 6295 11329
17 1409 12961
18 8065 9087
19 2916 8436
20 1293 14116
21 3922 13851
22 3851 4000
23 5885 1768
24 2655 14957
25 5565 6332
26 4303 12631
27 11653 12236
28 16025 7632
29 4655 14128
30 9584 13123
31 13987 9597
32 15409 12110
33 8754 15490
34 7416 15325
35 2909 15549

000489



FIG.38

36 2995 8257
37 9406 4791
38 11131 4854
39 2812 8521
40 8476 14717
41 7820 15360
42 1179 7939
43 2357 8678
44 7703 6216
0 3477 7067
1 3931 13845
2 7675 12899
3 1754 8187
4 7785 1400
5 9213 5891
6 2494 7703
7 2576 7902
8 4821 15682
9 10426 11935
10 1810 904
11 11332 9264
12 11312 3570
13 14916 2650
14 7679 7842
15 6089 13084
16 3938 2751
17 8509 4648
18 12204 8917
19 5749 12443
20 12613 4431
21 1344 4014
22 8486 13850
23 1730 14896
24 14942 7126
25 14983 8863
26 6578 8564
27 4947 396
28 297 12805
29 13878 6692
30 11857 11186
31 14395 11493

FIG.39

32 16145 12251
33 13462 7428
34 14526 13119
35 2535 11243
36 6465 12690
37 6872 9334
38 15371 14023
39 8101 10187
40 11963 4848
41 15125 6119
42 8051 14465
43 11139 6167
44 2883 14521

000491

FIG.40

r4/5 16K
5 896 1565
6 2493 184
7 212 3210
8 727 1339
9 3428 612
0 2663 1947
1 230 2695
2 2025 2794
3 3039 283
4 862 2889
5 376 2110
6 2034 2286
7 951 2068
8 3108 3542
9 307 1421
0 2272 1197
1 1800 3280
2 331 2308
3 465 2552
4 1038 2479
5 1083 343
6 94 236
7 2619 121
8 1497 2774
9 2116 1855
0 722 1584
1 2767 1881
2 2701 1610
3 3283 1732
4 168 1099
5 3074 243
6 3460 945
7 2049 1746
8 566 1427
9 3545 1168

TABLA DE VALOR INICIAL DE MATRIZ DE COMPROBACIÓN DE PARIDAD CUANDO $r=\frac{4}{5}$, $N=16200$

# FIG. 41

TABLA DE VALOR INICIAL DE MATRIZ DE COMPROBACIÓN DE PARIDAD CUANDO $r = \frac{4}{5}$, N=64800

| r4/5 64K | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|
| 0 | 149 | 11212 | 6575 | 6360 | 12559 | 8108 | 8505 | 408 | 10026 | 12820 |
| 1 | 5237 | 490 | 10677 | 4998 | 3869 | 3734 | 3092 | 3509 | 7703 | 10305 |
| 2 | 8742 | 6553 | 2820 | 7085 | 12116 | 10485 | 564 | 7795 | 2972 | 2157 |
| 3 | 2699 | 4304 | 8350 | 712 | 2841 | 3250 | 4731 | 10105 | 517 | 7516 |
| 4 | 12057 | 1351 | 11992 | 12191 | 11267 | 5161 | 537 | 6166 | 4246 | 2563 |
| 5 | 6828 | 7107 | 2127 | 3724 | 5743 | 11040 | 10756 | 4073 | 1011 | 3422 |
| 6 | 11259 | 1216 | 9526 | 1466 | 10816 | 940 | 3744 | 2815 | 11505 | 11573 |
| 7 | 4549 | 11507 | 1118 | 1274 | 11751 | 5207 | 7654 | 12803 | 4047 | 6484 |
| 8 | 8430 | 4115 | 9440 | 413 | 4455 | 2262 | 7915 | 12402 | 8579 | 7052 |
| 9 | 3885 | 9126 | 5665 | 4506 | 2343 | 253 | 4707 | 3742 | 4166 | 1556 |
| 10 | 1704 | 8936 | 6775 | 8639 | 8179 | 7954 | 8234 | 7850 | 8383 | 8713 |
| 11 | 11716 | 4344 | 9087 | 11264 | 2274 | 8632 | 9147 | 11930 | 6054 | 5455 |
| 12 | 7323 | 3970 | 10329 | 2170 | 8262 | 3854 | 2087 | 12899 | 0497 | 11700 |
| 13 | 4418 | 1467 | 2490 | 5841 | 817 | 11453 | 533 | 11217 | 11962 | 5251 |
| 14 | 1541 | 4525 | 7976 | 3457 | 9536 | 7725 | 3788 | 2982 | 6307 | 5997 |
| 15 | 11484 | 2739 | 4023 | 12107 | 6516 | 551 | 2572 | 6628 | 8150 | 9852 |
| 16 | 6070 | 1761 | 4627 | 6534 | 7913 | 3730 | 11855 | 1813 | 12306 | 8249 |
| 17 | 12441 | 5489 | 8748 | 7837 | 7660 | 2102 | 11341 | 2930 | 0712 | 11977 |
| 18 | 10155 | 4210 | | | | | | | | |
| 19 | 1010 | 10483 | | | | | | | | |
| 20 | 8900 | 10250 | | | | | | | | |
| 21 | 10243 | 12278 | | | | | | | | |
| 22 | 7070 | 4397 | | | | | | | | |
| 23 | 12271 | 3887 | | | | | | | | |
| 24 | 11980 | 6836 | | | | | | | | |
| 25 | 9514 | 4356 | | | | | | | | |
| 26 | 7137 | 10281 | | | | | | | | |
| 27 | 11881 | 2526 | | | | | | | | |
| 28 | 1959 | 11477 | | | | | | | | |
| 29 | 3044 | 10921 | | | | | | | | |
| 30 | 2236 | 8724 | | | | | | | | |
| 31 | 9104 | 6340 | | | | | | | | |
| 32 | 7342 | 8582 | | | | | | | | |
| 33 | 11675 | 10405 | | | | | | | | |
| 34 | 6467 | 12775 | | | | | | | | |
| 35 | 3186 | 12198 | | | | | | | | |
| 0 | 9621 | 11445 | | | | | | | | |
| 1 | 7486 | 5611 | | | | | | | | |
| 2 | 4319 | 4879 | | | | | | | | |
| 3 | 2196 | 344 | | | | | | | | |

FIG.42

4 7527 6650
5 10693 2440
6 6755 2706
7 5144 5998
8 11043 8033
9 4845 4435
10 4157 9228
11 12270 6562
12 11954 7592
13 7420 2592
14 8810 9636
15 689 5430
16 920 1304
17 1253 11934
18 9559 6016
19 312 7589
20 4439 4197
21 4002 9565
22 12232 7779
23 1494 8782
24 10749 3959
25 4368 3479
26 6316 5342
27 2455 3493
28 12157 7405
29 6598 11495
30 11805 4455
31 9625 2090
32 4731 2321
33 3578 2608
34 8504 1849
35 4027 1151
0 5847 4935
1 4219 1870
2 10968 8054
3 6970 5447
4 3217 5638
5 8972 669
6 5618 12472
7 1457 1280
8 8868 3883

FIG.43

9 8066 1224
10 6371 5972
11 266 4405
12 3706 3244
13 6039 6844
14 7200 3283
15 1502 11282
16 12318 2202
17 4523 965
18 9587 7011
19 2552 2051
20 12045 10306
21 11070 5104
22 6627 6906
23 9889 2121
24 629 9701
25 2201 1819
26 6689 12925
27 2139 8757
28 12004 5948
29 8704 3191
30 8171 10963
31 6297 7116
32 616 7146
33 5142 9761
34 10377 8138
35 7616 5811
0 7285 9863
1 7764 10867
2 12343 9019
3 4414 8331
4 3464 642
5 6960 2039
6 786 3021
7 710 2086
8 7423 5601
9 8120 4885
10 12385 11990
11 9739 10034
12 424 10162
13 1347 7597

FIG.44

14 1450 112
15 7965 8478
16 8945 7397
17 6690 8316
18 6838 9011
19 6174 9410
20 255 113
21 6197 5835
22 12902 3844
23 4377 3505
24 5478 8672
25 4453 2132
26 9724 1380
27 12131 11526
28 12323 9511
29 8231 1752
30 497 9022
31 9288 3080
32 2491 7515
33 2696 268
34 4023 12341
35 7108 5553

FIG.45

r5/6 16K
3 2409 499 1481 908 559 716 1270 333 2500 2264 1702 2805
4 2447 1926
5 414 1224
6 2114 842
7 212 573
0 2383 2112
1 2286 2348
2 545 819
3 1264 143
4 1701 2258
5 964 166
6 114 2413
7 2243 81
0 1245 1581
1 775 169
2 1696 1104
3 1914 2831
4 532 1450
5 91 974
6 497 2228
7 2328 1579
0 2482 256
1 1117 1261
2 1257 1658
3 1478 1225
4 2511 980
5 2320 2675
6 435 1278
7 228 603
0 1885 2369
1 57 483
2 838 1050
3 1231 1990
4 1738 68
5 2392 951
6 163 645
7 2644 1704

TABLA DE VALOR INICIAL DE MATRIZ DE COMPROBACIÓN DE PARIDAD CUANDO $r=\frac{5}{6}$, N=16200

# FIG.46

TABLA DE VALOR INICIAL DE MATRIZ DE COMPROBACIÓN DE PARIDAD CUANDO $r=\frac{5}{6}$, N=64800

r5/6 64K

0 4362 416 8909 4156 3216 3112 2560 2912 6405 8593 4969 6723
1 2479 1786 8978 3011 4339 9313 6397 2957 7288 5484 6031 10217
2 10175 9009 9689 3091 4985 7267 4092 8074 5671 2777 2189 8716
3 9052 4795 3924 3370 10058 1128 9996 10165 9360 4297 434 5138
4 2379 7834 4935 2327 9843 604 329 8353 7167 3070 1528 7311
5 3435 7871 348 3693 1876 6585 10340 7144 5870 2084 4052 2760
6 3917 3111 3476 1304 10331 5939 5199 1611 1991 699 8316 9960
7 6883 3237 1717 10762 7891 9764 4745 3888 10009 4176 4614 1567
8 10587 2195 1689 2968 5420 2580 2883 6496 111 6023 1024 4449
9 3786 8593 2074 3321 5057 1450 3840 5444 6572 3094 9692 1512
10 8548 1648 10372 4585 7313 6530 6379 1766 9462 2456 5606 9975
11 8204 10593 7935 3636 3682 394 5968 6561 2395 7289 9267 9976
12 7795 74 1633 9542 6857 7352 6417 7568 10623 725 2531 9115
13 7151 2482 4260 5003 10105 7419 9203 6691 8798 2092 8263 3755
14 3600 570 4527 200 9718 6771 1995 8902 5446 768 1103 6520
15 6304 7621
16 6498 9209
17 7293 6786
18 5950 1708
19 8521 1793
20 6174 7854
21 9773 1190
22 9517 10268
23 2181 9349
24 1949 5560
25 1956 556
26 8600 3827
27 5072 1057
28 7928 3542
29 3226 3762
0 7045 2420
1 9845 2641
2 2774 2452
3 5331 2031
4 9400 7503
5 1850 2338
6 10456 9774
7 1692 9276
8 10037 4039
9 3964 338

FIG.47

10 2640 5087
11 858 3473
12 5582 5683
13 9523 916
14 4107 1559
15 4506 3491
16 8191 4182
17 10192 6157
18 5668 3305
19 3449 1540
20 4766 2697
21 4069 6675
22 1817 1016
23 5619 3085
24 8483 8400
25 8255 394
26 6338 5042
27 6174 5119
28 7203 1989
29 1781 5174
0 1464 3559
1 3376 4214
2 7238 67
3 10595 8831
4 1221 6513
5 5300 4652
6 1429 9749
7 7878 5131
8 4435 10284
9 6331 5507
10 6662 4941
11 9614 10238
12 8400 8025
13 9156 5630
14 7067 8878
15 9027 3415
16 1690 3866
17 2854 8469
18 6206 630
19 363 5453
20 4125 7038

FIG.48

21 1612 6702
22 9069 9226
23 5767 4060
24 3743 9237
25 7018 5572
26 8892 4536
27 853 6064
28 8069 5893
29 2051 2885
0 10691 3153
1 3602 4055
2 328 1717
3 2219 9299
4 1939 7898
5 617 206
6 8544 1374
7 10676 3240
8 6672 9489
9 3170 7457
10 7866 5731
11 6121 10732
12 4843 9132
13 580 9591
14 6267 9290
15 3009 2268
16 195 2419
17 8016 1557
18 1516 9195
19 8062 9064
20 2095 8968
21 753 7326
22 6291 3833
23 2614 7844
24 2303 646
25 2076 611
26 4687 362
27 8684 9940
28 4830 2065
29 7038 1363
0 1769 7837
1 3801 1689

FIG.49

```
2 10070 2359
3 3667 9918
4 1914 6020
5 4244 5669
6 10245 7621
7 7648 3044
8 3310 5488
9 6345 9666
10 7088 6122
11 1291 7827
12 10592 8945
13 3609 7120
14 9168 9112
15 6203 8052
16 3330 2895
17 4264 10563
18 10556 6496
19 8807 7645
20 1999 4530
21 9202 6818
22 3403 1734
23 2106 9023
24 6881 3693
25 3895 2171
26 4062 6424
27 3755 9536
28 4683 2431
29 7347 8027
```

000501

# FIG.50

TABLA DE VALOR INICIAL DE MATRIZ DE COMPROBACIÓN DE PARIDAD CUANDO $r = \frac{8}{9}$, N=16200

| i | $h_{i,0}$ | $h_{i,1}$ | $h_{i,2}$ |
|---|---|---|---|
| 0 | 1558 | 712 | 805 |
| 1 | 1450 | 873 | 1337 |
| 2 | 1741 | 1129 | 1184 |
| 3 | 294 | 806 | 1566 |
| 4 | 482 | 605 | 923 |
| 0 | 926 | 1578 | |
| 1 | 777 | 1374 | |
| 2 | 608 | 151 | |
| 3 | 1195 | 210 | |
| 4 | 1484 | 692 | |
| 0 | 427 | 488 | |
| 1 | 828 | 1124 | |
| 2 | 874 | 1366 | |
| 3 | 1500 | 835 | |
| 4 | 1496 | 502 | |
| 0 | 1006 | 1701 | |
| 1 | 1155 | 97 | |
| 2 | 657 | 1403 | |
| 3 | 1453 | 624 | |
| 4 | 429 | 1495 | |
| 0 | 809 | 385 | |
| 1 | 367 | 151 | |
| 2 | 1329 | 202 | |
| 3 | 960 | 318 | |
| 4 | 1451 | 1039 | |
| 0 | 1098 | 1722 | |
| 1 | 1015 | 1420 | |
| 2 | 1261 | 1564 | |
| 3 | 544 | 1190 | |
| 4 | 1472 | 1248 | |
| 0 | 508 | 630 | |
| 1 | 421 | 1704 | |
| 2 | 284 | 898 | |
| 3 | 392 | 577 | |
| 4 | 1155 | 556 | |
| 0 | 631 | 1000 | |
| 1 | 732 | 1368 | |
| 2 | 1328 | 329 | |
| 3 | 1515 | 506 | |
| 4 | 1104 | 1172 | |

# FIG. 51

TABLA DE VALOR INICIAL DE MATRIZ DE COMPROBACIÓN DE PARIDAD CUANDO $r = \frac{8}{9}$, N=64800

| r8/9 64K | | |
|---|---|---|
| 0 | 6235 | 2848 3222 |
| 1 | 5800 | 3492 5348 |
| 2 | 2757 | 927 90 |
| 3 | 6961 | 4516 4739 |
| 4 | 1172 | 3237 6264 |
| 5 | 1927 | 2425 3683 |
| 6 | 3784 | 6309 2486 |
| 7 | 3070 | 6342 7164 |
| 8 | 2428 | 613 3761 |
| 9 | 2906 | 264 5927 |
| 10 | 1716 | 1960 4273 |
| 11 | 4613 | 6179 3491 |
| 12 | 4865 | 3286 6005 |
| 13 | 1343 | 5923 3529 |
| 14 | 4589 | 4035 2132 |
| 15 | 1679 | 3920 6737 |
| 16 | 1644 | 1191 5998 |
| 17 | 1482 | 2381 4620 |
| 18 | 6791 | 6014 6596 |
| 19 | 2738 | 5918 3786 |
| 0 | 5155 | 6166 |
| 1 | 1504 | 4356 |
| 2 | 130 | 1904 |
| 3 | 6027 | 3187 |
| 4 | 6718 | 759 |
| 5 | 6240 | 2870 |
| 6 | 2343 | 1311 |
| 7 | 1039 | 5465 |
| 8 | 6617 | 2513 |
| 9 | 1588 | 5222 |
| 10 | 6561 | 535 |
| 11 | 4765 | 2054 |
| 12 | 5966 | 6592 |
| 13 | 1969 | 3869 |
| 14 | 3571 | 2420 |
| 15 | 4632 | 961 |
| 16 | 3215 | 4163 |
| 17 | 973 | 3117 |
| 18 | 3802 | 6198 |
| 19 | 3794 | 3948 |

000503

FIG. 52

0 3196 6126
1 673 1909
2 850 4034
3 5622 1601
4 6005 524
5 5251 5783
6 172 2032
7 1875 2475
8 497 1291
9 2566 3430
10 1249 740
11 2944 1948
12 6528 2899
13 2243 3616
14 867 3733
15 1374 4702
16 4698 2285
17 4760 3917
18 1859 4058
19 6141 3527
0 2148 5066
1 1306 145
2 2319 871
3 3463 1081
4 5554 6647
5 5837 339
6 5821 4932
7 6356 4756
8 3930 418
9 211 3094
10 1007 4928
11 3584 1235
12 6982 2869
13 1612 1013
14 963 4964
15 4555 4410
16 4925 4842
17 5778 600
18 6509 2417
19 1260 4903
0 3369 3031

FIG.53

1 3557 3224
2 3028 583
3 3258 440
4 6226 6665
5 4895 1094
6 1481 6947
7 4433 1932
8 2107 1649
9 2119 2065
10 4003 6388
11 6720 3622
12 3694 4521
13 1164 7050
14 1965 3613
15 4331 66
16 2970 1798
17 4652 3218
18 1762 4777
19 5736 1399
0 970 2572
1 2062 6599
2 4597 4870
3 1228 6913
4 4159 1037
5 2916 2362
6 395 1226
7 6911 4548
8 4618 2241
9 4120 4280
10 5825 474
11 2154 5558
12 3793 5471
13 5707 1595
14 1403 325
15 6601 5183
16 6369 4589
17 4846 896
18 7092 6184
19 6764 7127
0 6358 1951
1 3117 6960

000505



FIG.54

2 2710 7062
3 1133 3604
4 3694 657
5 1355 110
6 3329 6736
7 2505 3407
8 2462 4906
9 4216 214
10 5348 5619
11 6627 6243
12 2644 5073
13 4212 5088
14 3463 3689
15 5306 478
16 4320 6121
17 3961 1125
18 5699 1195
19 6611 792
0 3934 2778
1 3238 6587
2 1111 6596
3 1457 6226
4 1446 3885
5 3907 4043
6 6839 2873
7 1733 5615
8 5202 4269
9 3024 4722
10 5445 6372
11 370 1828
12 4695 1600
13 680 2074
14 1801 6690
15 2669 1377
16 2463 1681
17 5972 5171
18 5726 4284
19 1696 1459

# FIG.55

**TABLA DE VALOR INICIAL DE MATRIZ DE COMPROBACIÓN DE PARIDAD** $r=\frac{9}{10}$, N=64800

r9/10 64K

0 5611 2563 2900
1 5220 3143 4813
2 2481 834 81
3 6265 4064 4265
4 1055 2914 5638
5 1734 2182 3315
6 3042 5670 2246
7 2185 552 3385
8 2615 236 5334
9 1546 1755 3845
10 4154 5561 3142
11 4382 2957 5400
12 1209 5329 3179
13 1421 3528 6063
14 1480 1072 5398
15 3843 1777 4369
16 1334 2145 4163
17 2368 5055 260
0 6118 5405
1 2994 4370
2 3405 1669
3 4640 5550
4 1354 3921
5 917 1713
6 5425 2866
7 6047 683
8 5616 2582
9 2108 1179
10 933 4921
11 5953 2261
12 1430 4699
13 5905 480
14 4289 1846
15 5374 6208
16 1775 3476
17 3216 2178
0 4165 884
1 2896 3744
2 874 2801
3 3423 5579

# FIG.57

9 6605 6990
10 4376 1579
11 4407 984
12 1332 6163
13 6359 3975
14 1907 1854
15 3601 5748
16 6056 3266
17 3322 4085
0 1768 3244
1 2149 144
2 1589 4291
3 5154 1252
4 1856 5939
5 4820 2706
6 1475 3360
7 4266 693
8 4156 2018
9 2103 752
10 3710 3853
11 5123 931
12 6146 3323
13 1939 5002
14 5140 1437
15 1263 293
16 5949 4665
17 4548 6380
0 3171 4690
1 5204 2114
2 6384 5565
3 5722 1757
4 2805 6264
5 1202 2616
6 1018 3244
7 4018 5289
8 2257 3067
9 2483 3073
10 1196 6329
11 649 3918
12 3791 4581
13 5028 3803

000510

FIG.59

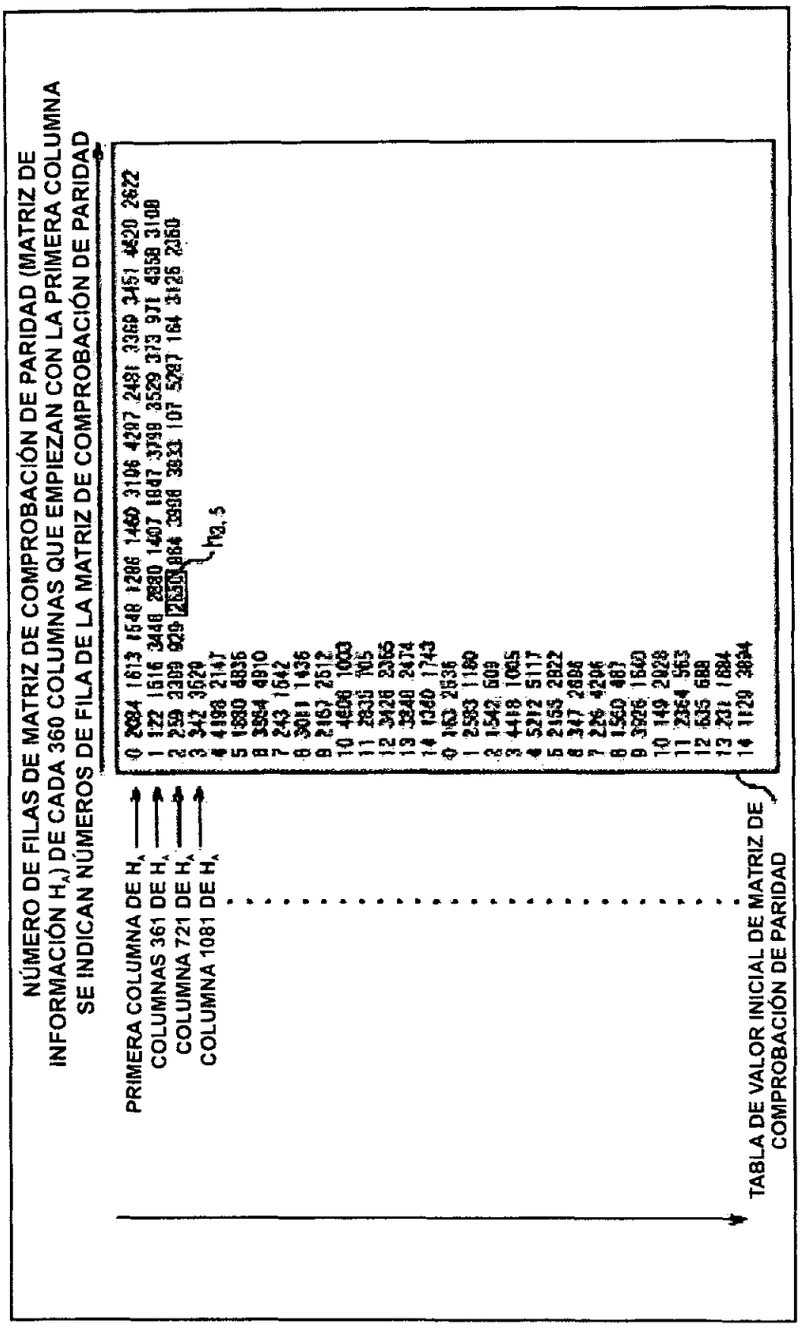


FIG.60

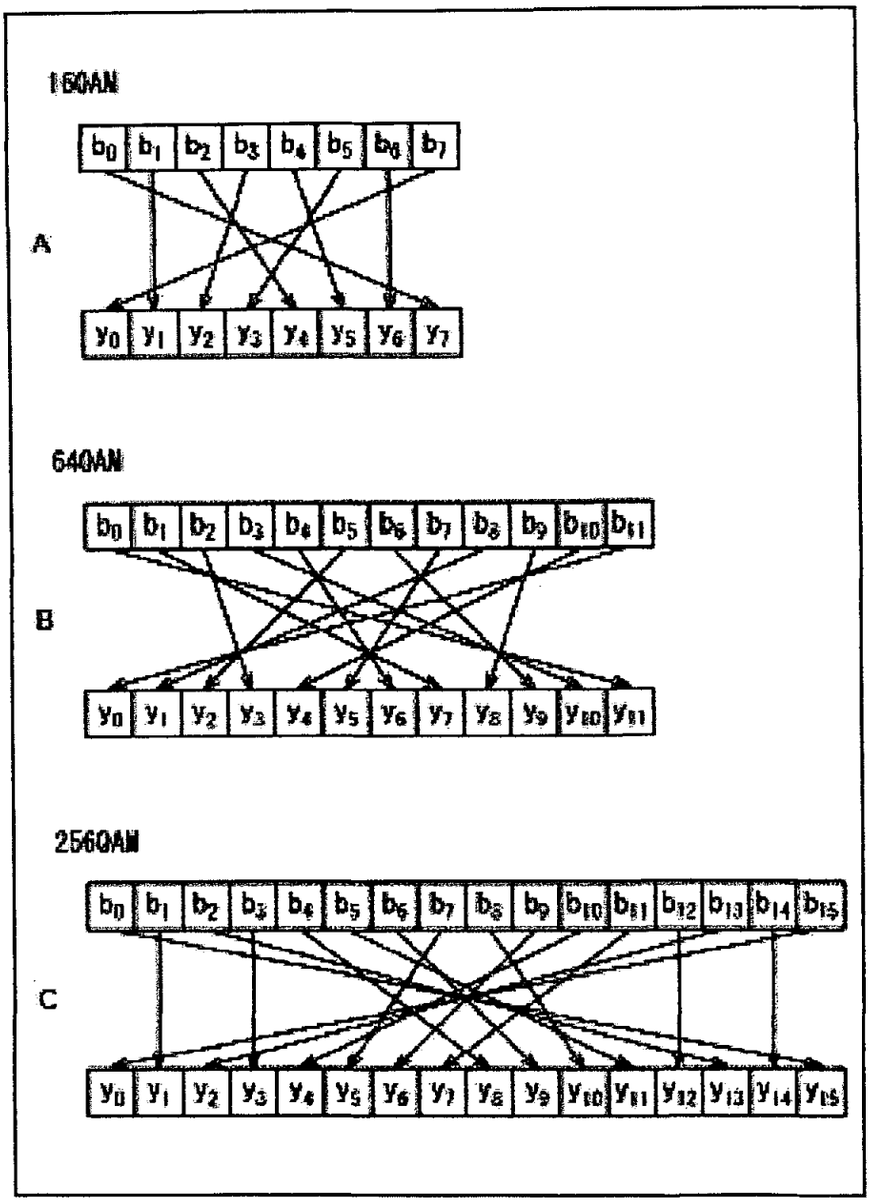
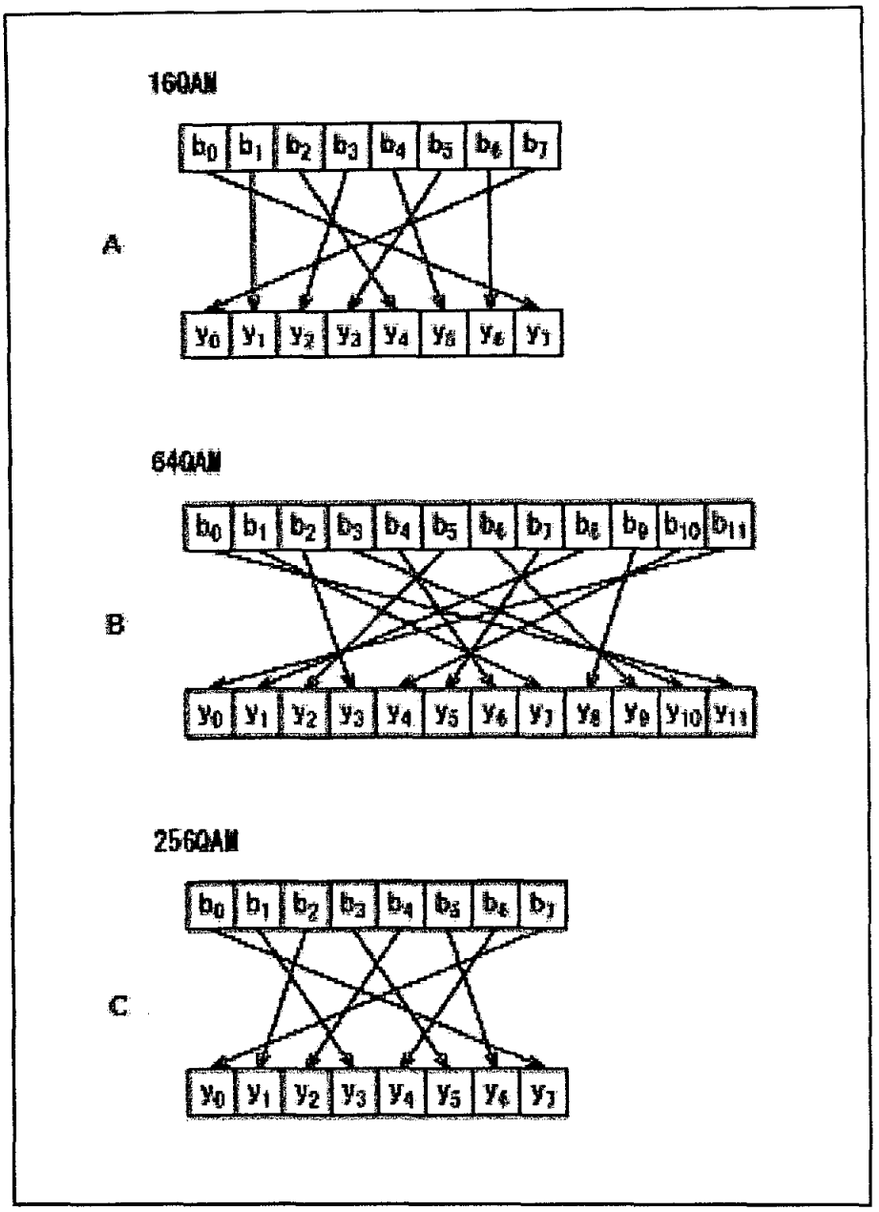

16QAM
A
$b_0$ $b_1$ $b_2$ $b_3$ $b_4$ $b_5$ $b_6$ $b_7$
$y_0$ $y_1$ $y_2$ $y_3$ $y_4$ $y_5$ $y_6$ $y_7$
64QAM
B
$b_0$ $b_1$ $b_2$ $b_3$ $b_4$ $b_5$ $b_6$ $b_7$ $b_8$ $b_9$ $b_{10}$ $b_{11}$
$y_0$ $y_1$ $y_2$ $y_3$ $y_4$ $y_5$ $y_6$ $y_7$ $y_8$ $y_9$ $y_{10}$ $y_{11}$
256QAM
C
$b_0$ $b_1$ $b_2$ $b_3$ $b_4$ $b_5$ $b_6$ $b_7$ $b_8$ $b_9$ $b_{10}$ $b_{11}$ $b_{12}$ $b_{13}$ $b_{14}$ $b_{15}$
$y_0$ $y_1$ $y_2$ $y_3$ $y_4$ $y_5$ $y_6$ $y_7$ $y_8$ $y_9$ $y_{10}$ $y_{11}$ $y_{12}$ $y_{13}$ $y_{14}$ $y_{15}$

FIG.61


16QAM
A
b0 b1 b2 b3 b4 b5 b6 b7
y0 y1 y2 y3 y4 y5 y6 y7
64QAM
B
b0 b1 b2 b3 b4 b5 b6 b7 b8 b9 b10 b11
y0 y1 y2 y3 y4 y5 y6 y7 y8 y9 y10 y11
256QAM
C
b0 b1 b2 b3 b4 b5 b6 b7
y0 y1 y2 y3 y4 y5 y6 y7

000513

FIG.62

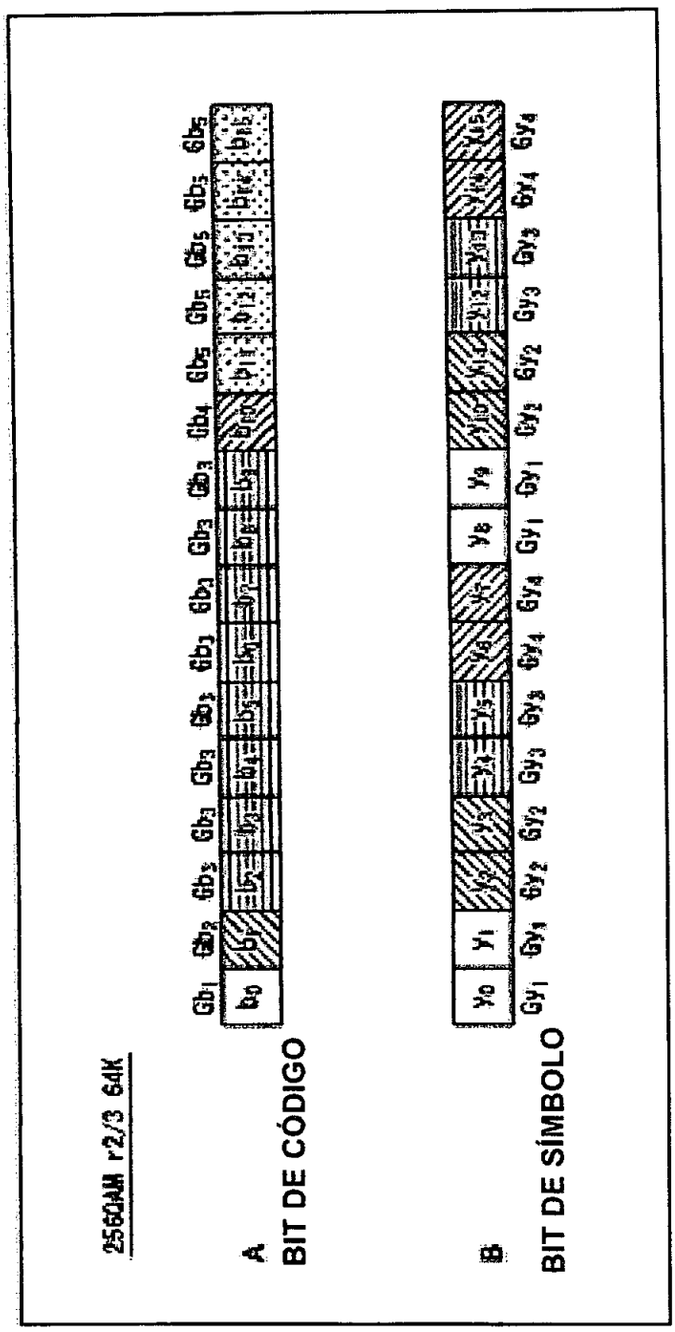


FIG.63

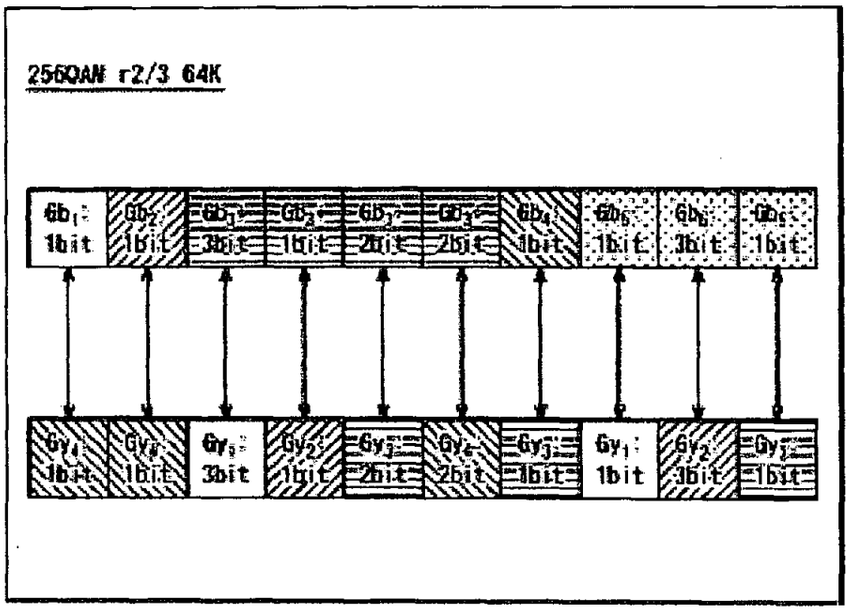

256QAM r2/3 64K
Gb1: 1bit
Gb2: 1bit
Gb3: 3bit
Gb4: 1bit
Gb5: 1bit
Gb6: 2bit
Gb7: 2bit
Gb8: 1bit
Gb9: 1bit
Gb10: 3bit
Gb11: 1bit
Gy1: 1bit
Gy2: 1bit
Gy3: 3bit
Gy4: 1bit
Gy5: 2bit
Gy6: 2bit
Gy7: 1bit
Gy8: 1bit
Gy9: 3bit
Gy10: 1bit

FIG.64

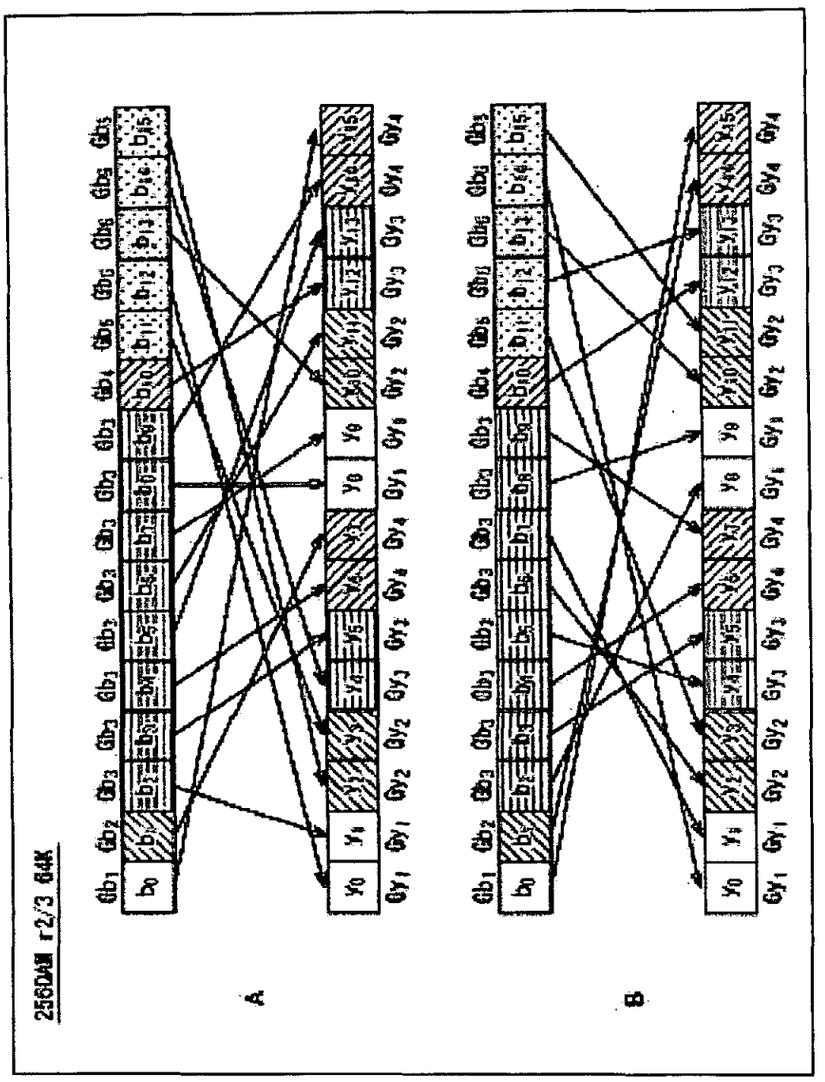
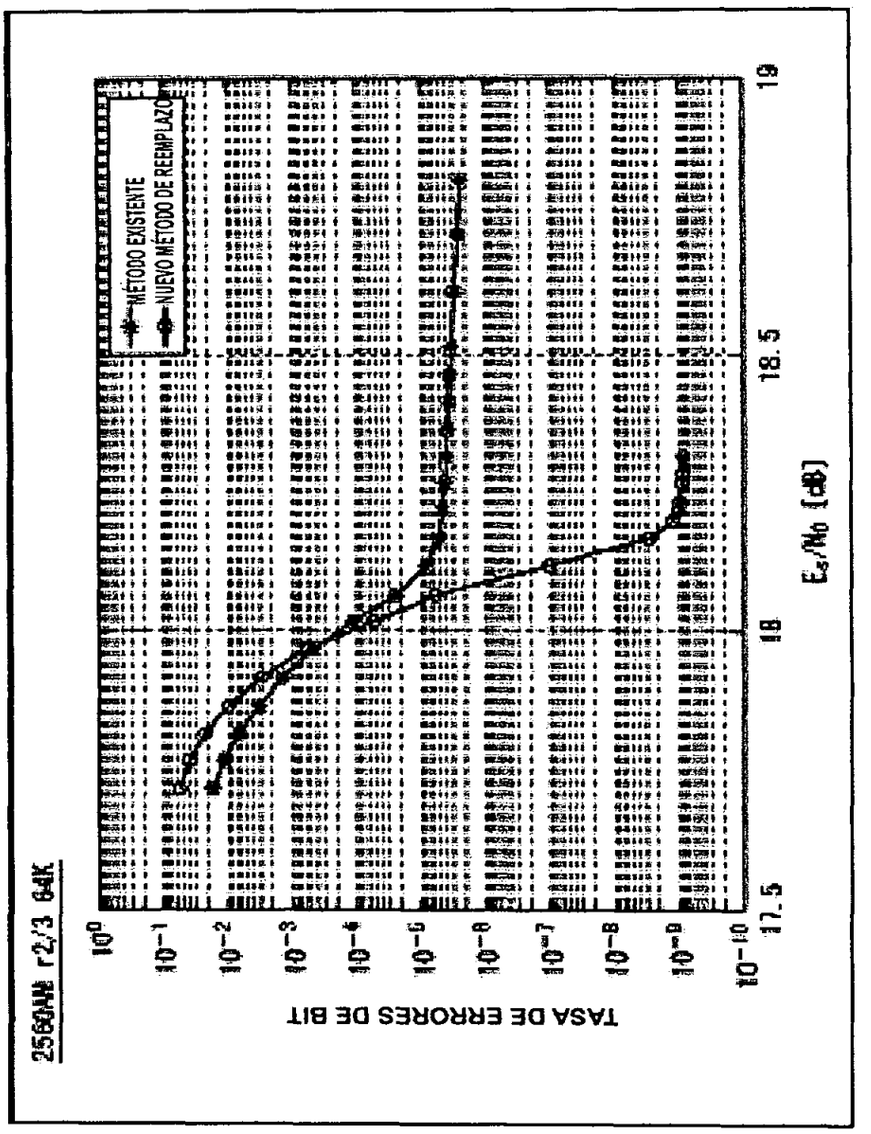


FIG.65


2560AWGN r2/3 64K
MÉTODO EXISTENTE
NUEVO MÉTODO DE REEMPLAZO
TASA DE ERRORES DE BIT
$10^{0}$
$10^{-1}$
$10^{-2}$
$10^{-3}$
$10^{-4}$
$10^{-5}$
$10^{-6}$
$10^{-7}$
$10^{-8}$
$10^{-9}$
$10^{-10}$
17.5
18
18.5
19
$E_s/N_0$ (dB)

000517



# FIG. 66

r2/3 843

317 2255 2324 2723 3538 3576 6154 6700 9101 10057 12739 17407 21039
1952 2007 3294 4394 12762 14506 14593 14892 16522 17737 19245 21272 21379
127 850 5001 5633 8544 9282 12650 14644 17553 19511 19681 20554 21002
2514 2822 5781 6297 8063 9469 9551 13407 11837 12956 15780 20236 20393
1565 3106 4659 4926 6495 6372 7343 8729 15785 16434 16727 18584 21325
706 3220 8568 10896 12485 13653 16398 16599 19475 19781 20525 20981 21335
4257 10448 12406 14581 16049 16522 17214 18029 18033 18802 19062 19526 20748
412 433 558 2814 2978 4157 8584 9320 11693 11819 13024 14486 16880
377 5906 7403 9550 8717 8770 11436 12845 13629 14756 15588 15392 16419
4091 5045 6037 7248 8633 9771 10260 10809 11326 12072 17516 19344 19938
2120 2643 3155 3852 6880 12258 14821 15359 16370 16437 17791 20514 21025
1085 2434 5816 7151 8060 9422 10884 12728 15353 17712 18440 18729 20920
856 1690 12787
6632 7357 9151
4210 16615 18152
11494 14036 17470
2474 10291 10323
1778 6973 10739
4343 9570 18748
2189 11042 20666
3868 7526 17706
5780 14796 18268
180 16232 17399
1285 2003 18922
4658 17331 20361
2765 4862 5875
4565 5521 8759
3484 7305 15829
5024 17710 17379
7031 12346 15024
179 6365 11352
2480 3143 5093
2643 3101 21259
4315 4724 13130
594 17365 18322
5983 8597 9027
10837 15102 20876
10448 20418 21478
3848 12029 15228
308 5652 13146
5993 7834 16167
2093 13201 18317
9185 14548 17776
5246 10398 18597

000518



# FIG.67

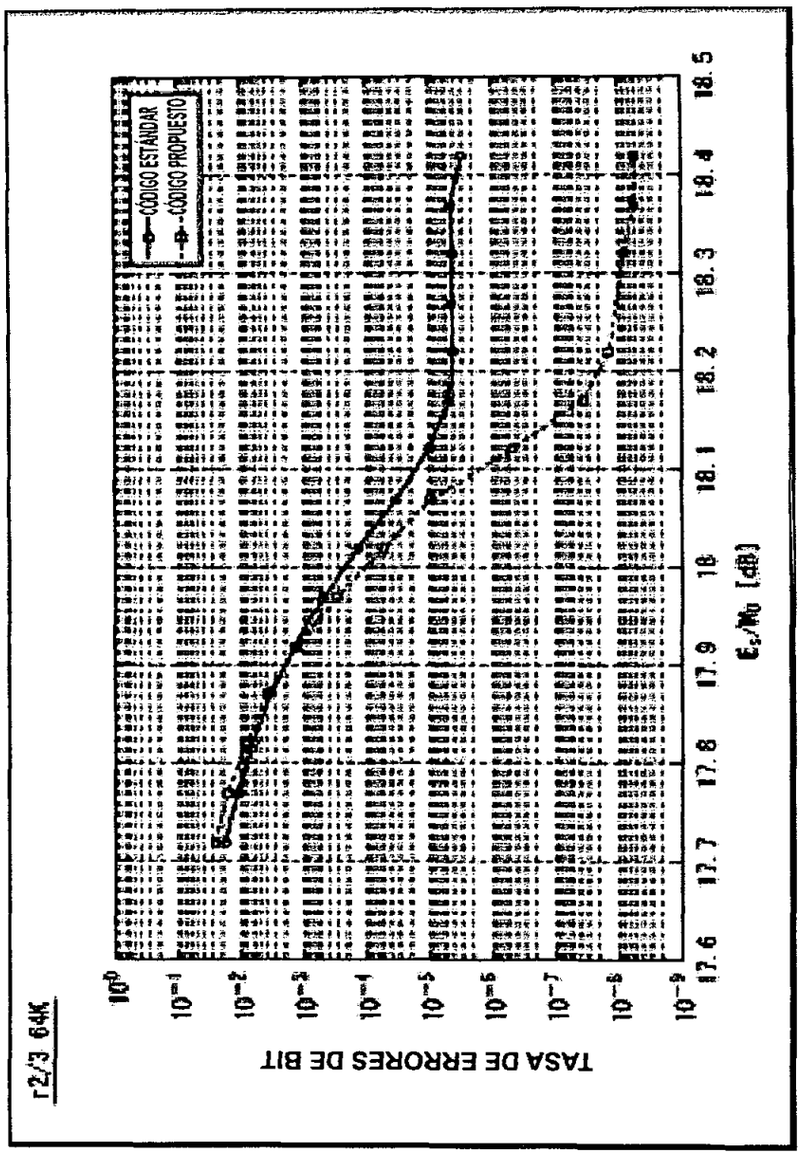
| | | |
|---|---|---|
| 3083 | 4944 | 21021 |
| 13728 | 18495 | 19921 |
| 6736 | 10811 | 17545 |
| 10084 | 12411 | 14432 |
| 1064 | 13555 | 17033 |
| 879 | 9878 | 13547 |
| 2422 | 9910 | 20194 |
| 3640 | 3701 | 10045 |
| 5862 | 10134 | 11498 |
| 5923 | 9580 | 15060 |
| 1073 | 3012 | 16427 |
| 5527 | 20113 | 20883 |
| 7058 | 12824 | 15151 |
| 9784 | 12230 | 17375 |
| 772 | 7711 | 12723 |
| 955 | 13816 | 15376 |
| 10574 | 11268 | 17932 |
| 15442 | 17268 | 20482 |
| 290 | 3371 | 8781 |
| 10612 | 12216 | 17180 |
| 4309 | 14068 | 15783 |
| 3971 | 11673 | 20009 |
| 9259 | 14270 | 17159 |
| 2947 | 5852 | 20101 |
| 3965 | 9722 | 15383 |
| 1429 | 5689 | 16771 |
| 6101 | 6849 | 12781 |
| 3676 | 9347 | 18761 |
| 350 | 11659 | 18342 |
| 5961 | 14803 | 16123 |
| 2113 | 9163 | 13443 |
| 2155 | 9608 | 12885 |
| 2861 | 7988 | 11031 |
| 7309 | 9229 | 20765 |
| 6834 | 8742 | 11977 |
| 2133 | 12908 | 14704 |
| 10170 | 13809 | 18153 |
| 13464 | 14787 | 16975 |
| 799 | 1107 | 3759 |
| 3571 | 8176 | 10165 |
| 5433 | 13446 | 15481 |
| 3351 | 8787 | 12860 |
| 8950 | 8974 | 11650 |
| 1430 | 4250 | 21332 |

000519

FIG.68

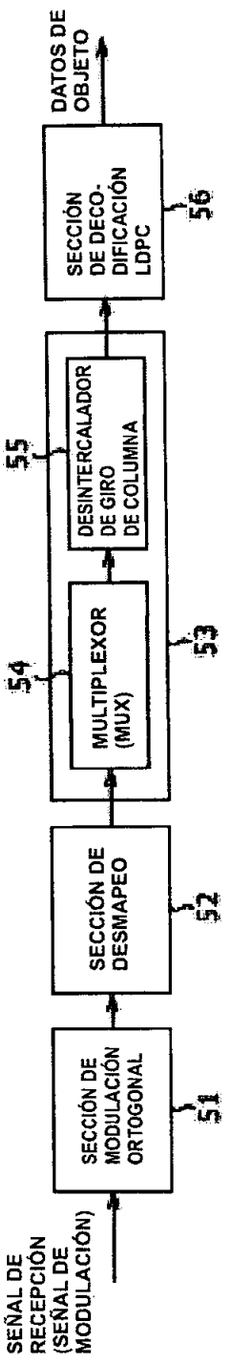
| | | |
|---|---|---|
| 6283 | 10628 | 15050 |
| 8632 | 14404 | 16916 |
| 6509 | 10702 | 16278 |
| 15900 | 16395 | 17995 |
| 8031 | 18420 | 18733 |
| 3747 | 4634 | 17087 |
| 4453 | 6297 | 16262 |
| 2792 | 3513 | 17031 |
| 14846 | 20893 | 21563 |
| 17220 | 20436 | 21337 |
| 275 | 4107 | 10497 |
| 3536 | 7520 | 10027 |
| 14059 | 14943 | 19455 |
| 1965 | 3931 | 21104 |
| 2439 | 11565 | 17932 |
| 154 | 15279 | 21414 |
| 10017 | 11269 | 16646 |
| 7169 | 10161 | 16928 |
| 10234 | 16791 | 20655 |
| 36 | 3175 | 8475 |
| 2605 | 16269 | 19280 |
| 8947 | 9178 | 15420 |
| 6687 | 9158 | 12403 |
| 8096 | 9738 | 14711 |
| 4935 | 8093 | 15265 |
| 2667 | 10062 | 15932 |
| 6389 | 11318 | 14417 |
| 6800 | 18137 | 18434 |
| 5824 | 5927 | 15314 |
| 6056 | 13168 | 15179 |
| 3284 | 13128 | 18919 |
| 13116 | 17269 | 17332 |

FIG.69


r2/3 64K
TASA DE ERRORES DE BIT
$10^{0}$
$10^{-1}$
$10^{-2}$
$10^{-3}$
$10^{-4}$
$10^{-5}$
$10^{-6}$
$10^{-7}$
$10^{-8}$
$10^{-9}$
17.6
17.7
17.8
17.9
18
18.1
18.2
18.3
18.4
18.5
$E_s/N_0$ [dB]
CÓDIGO ESTÁNDAR
CÓDIGO PROPUESTO

UC0521

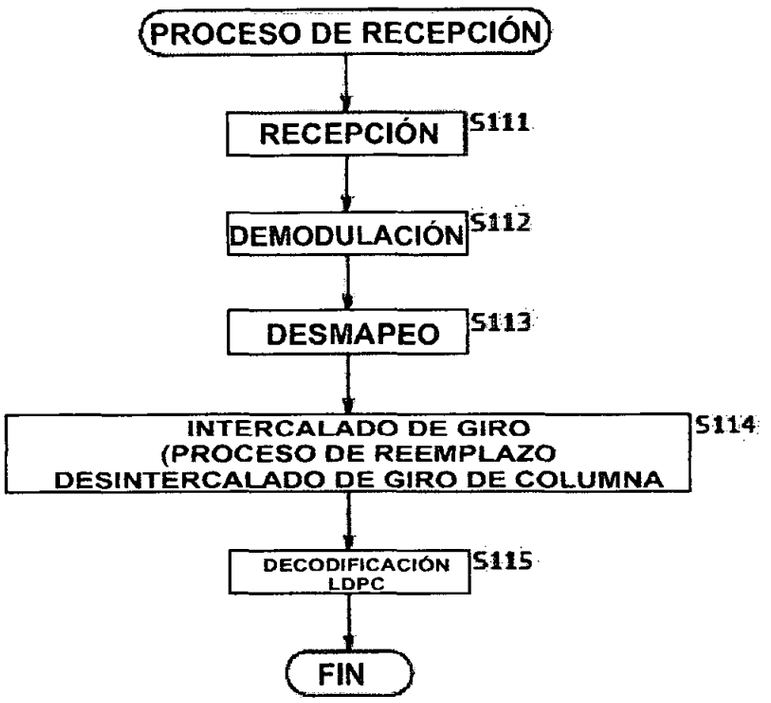
FIG.70



000522



FIG. 71



000523



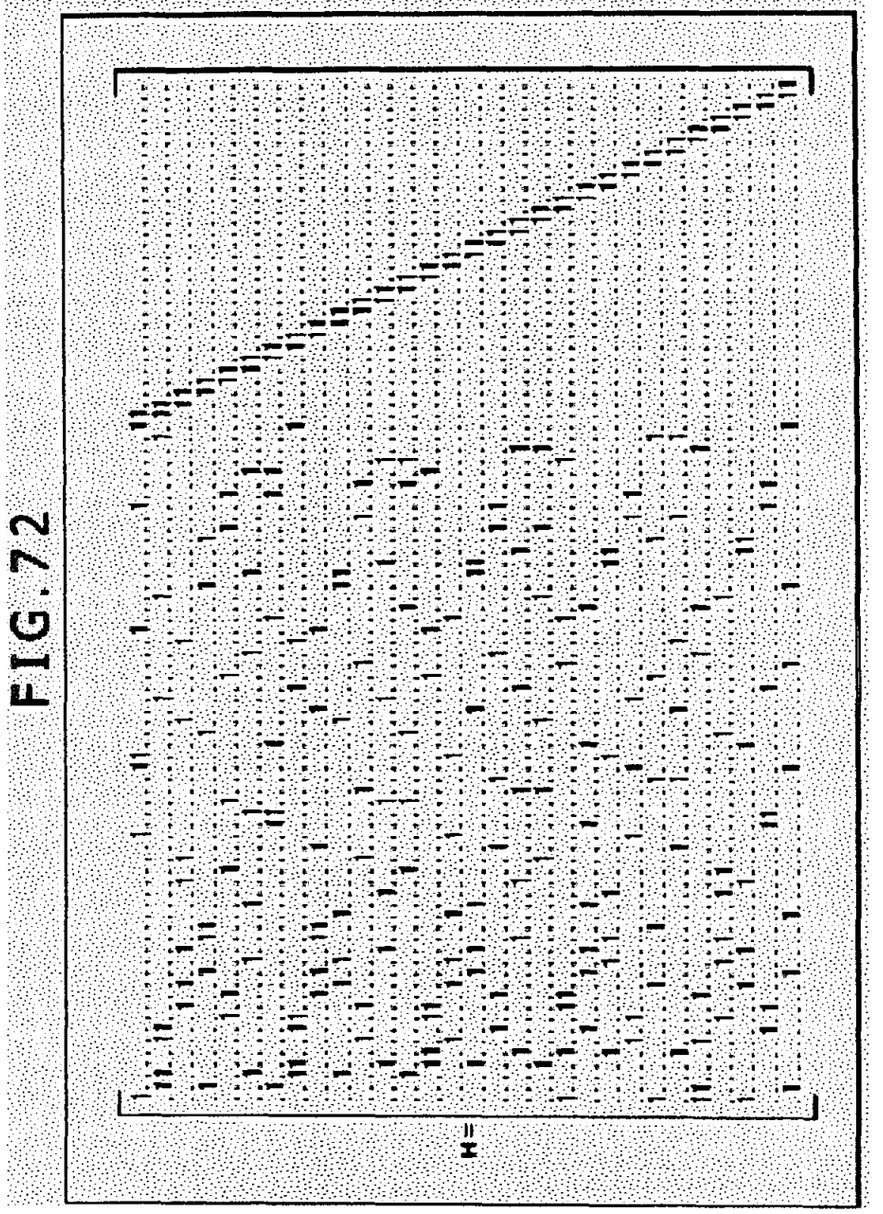


FIG. 72

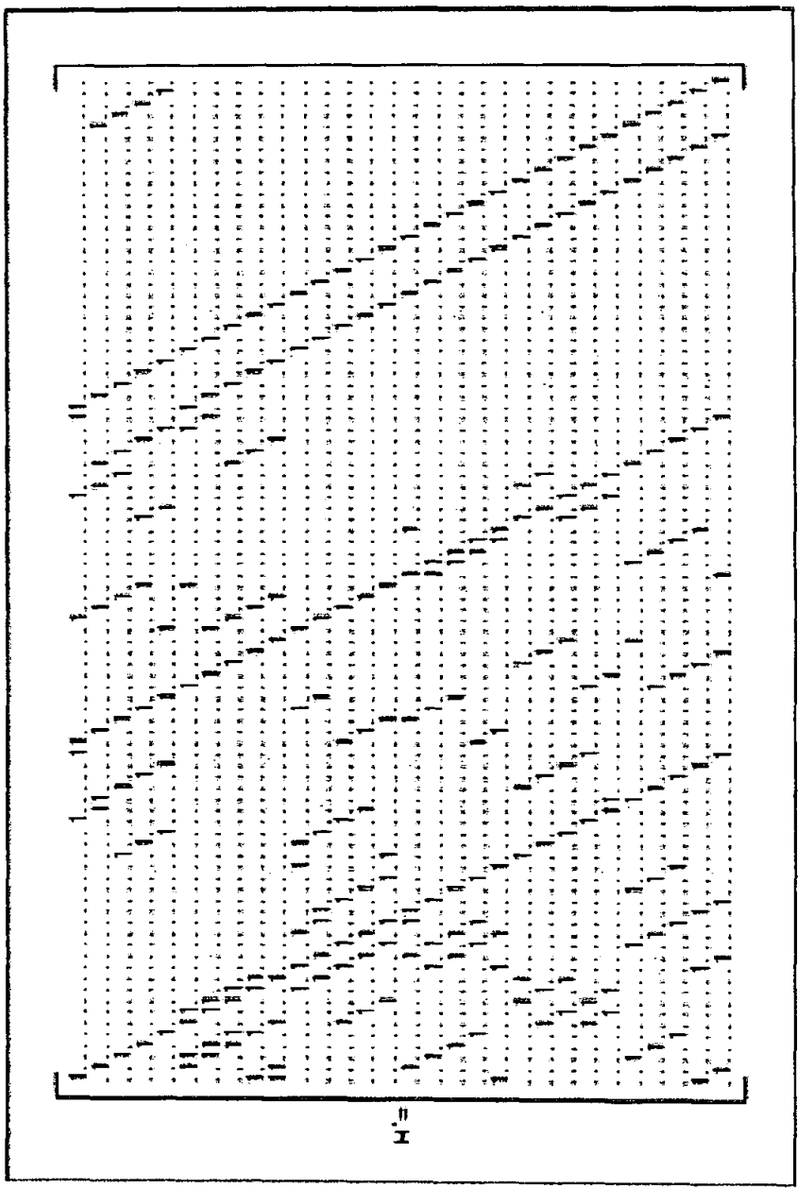
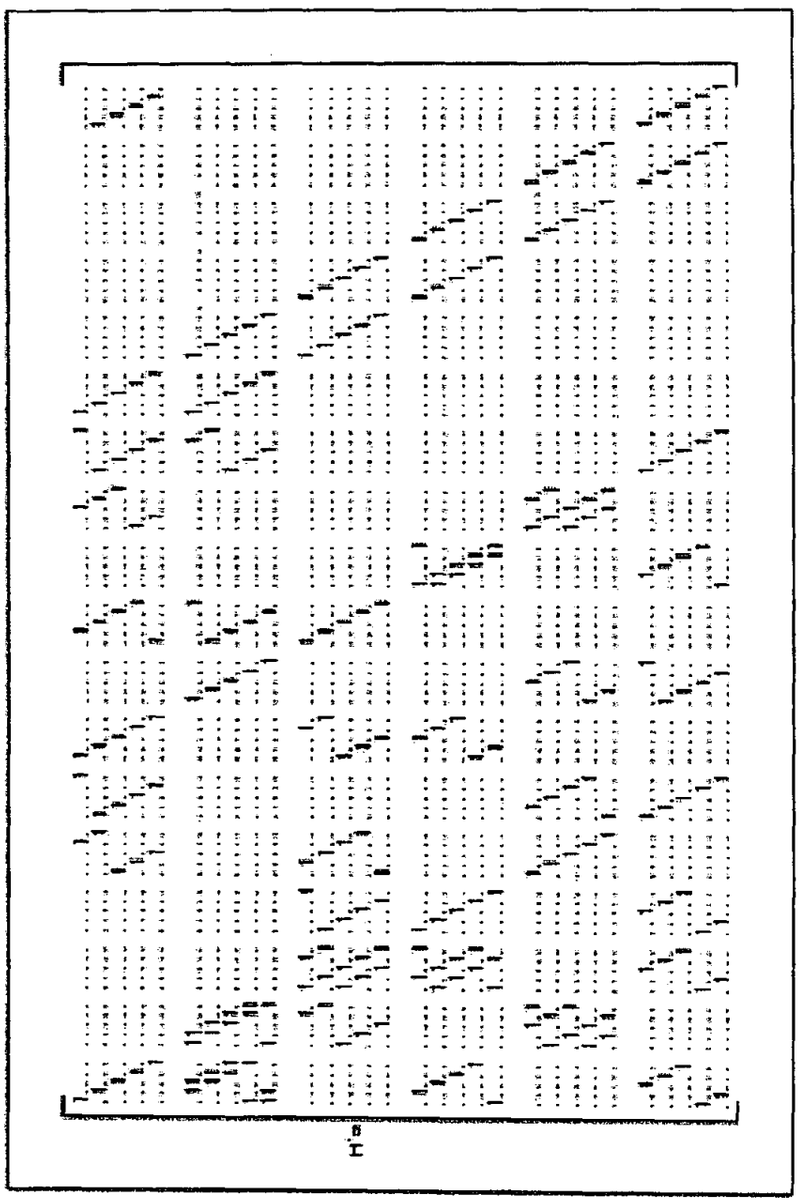



FIG.73

000520

FIG. 74



000526

FIG. 75

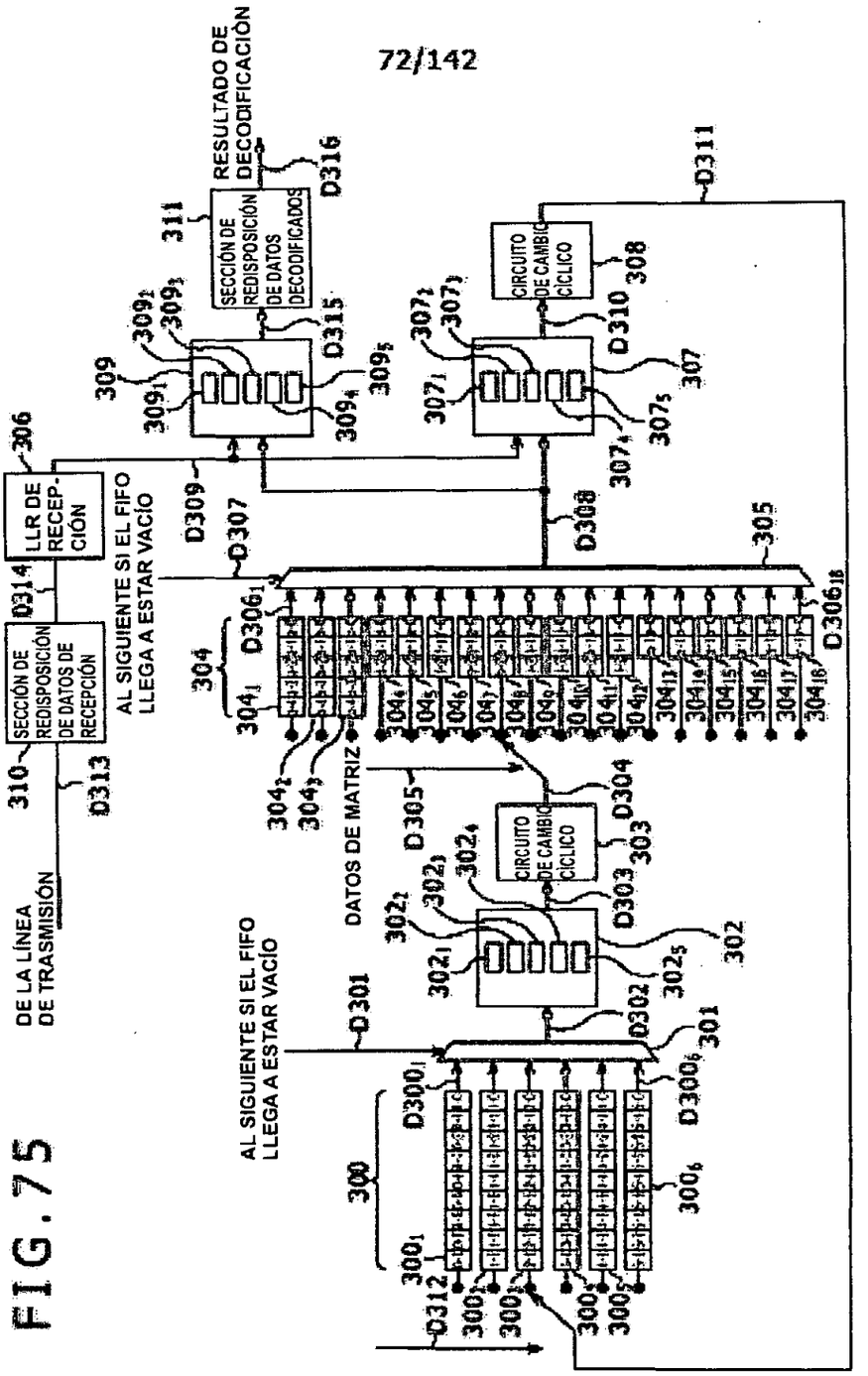


FIG. 76

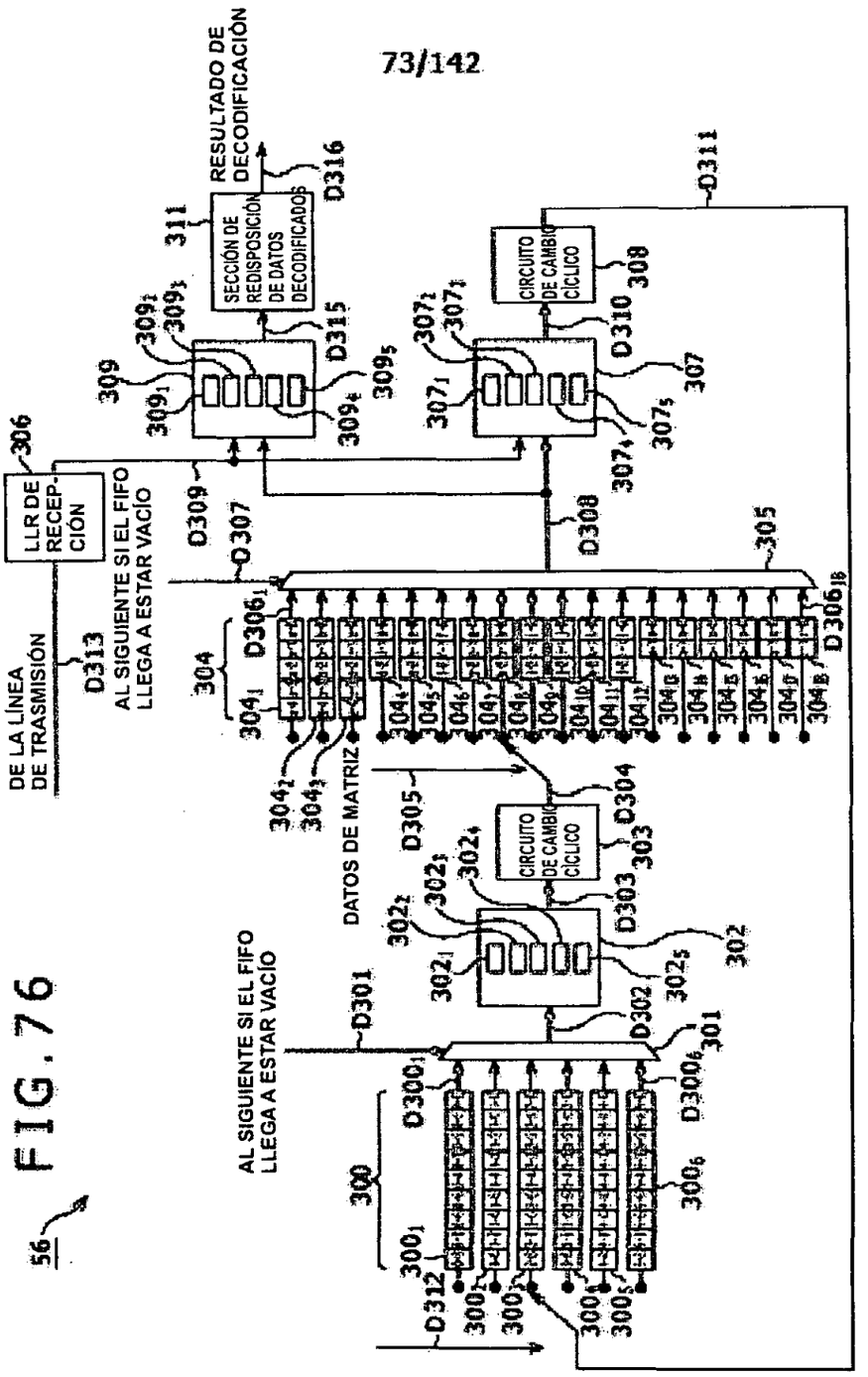
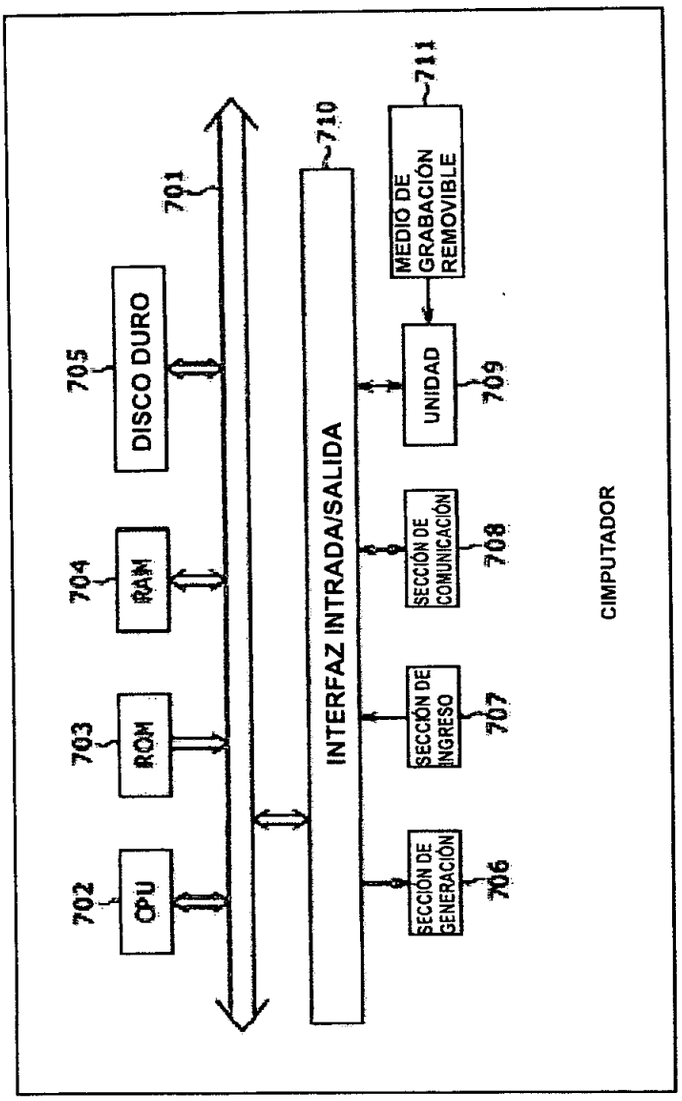

56
RESULTADO DE DECODIFICACIÓN
SECCIÓN DE REDISPOSICIÓN DE DATOS DECODIFICADOS
CIRCUITO DE CAMBIO CÍCLICO
LLR DE RECEPCIÓN
DE LA LÍNEA DE TRASMISIÓN
AL SIGUIENTE SI EL FIFO LLEGA A ESTAR VACÍO
DATOS DE MATRIZ
D300
D301
D302
D303
D304
D305
D306
D307
D308
D309
D310
D311
D312
D313
D315
D316
300
301
302
303
304
305
307
308
309
311

FIG.77


CPU
ROM
RAM
DISCO DURO
INTERFAZ INTRADA/SALIDA
SECCIÓN DE GENERACIÓN
SECCIÓN DE INGRESO
SECCIÓN DE COMUNICACIÓN
UNIDAD
MEDIO DE GRABACIÓN REMOVIBLE
CIMPUTADOR
701
702
703
704
705
706
707
708
709
710
711

000529



FIG.78

r2/3 16K

```
0 2084 1613 1548 1286 1460 3196 4297 2481 3369 3451 4620 2622
1 122 1516 3448 2880 1407 1847 3799 3529 373 971 4358 3108
2 259 3399 929 2650 864 3996 3833 107 5287 164 3125 2350
3 342 3529
4 4198 2147
5 1880 4836
6 3864 4910
7 243 1542
8 3011 1436
9 2167 2512
10 4606 1003
11 2835 705
12 3426 2365
13 3848 2474
14 1380 1743
0 163 2536
1 2683 1180
2 1542 509
3 4418 1005
4 5212 5117
5 2165 2922
6 347 2698
7 226 4296
8 1560 487
9 3926 1640
10 149 2928
11 2364 563
12 635 688
13 231 1684
14 1129 3894
```

TABLA DE VALOR INICIAL DE MATRIZ DE COMPROBACIÓN DE PARIDAD CUANDO $r=\frac{2}{3}$, N=16200

# FIG.79

TABLA DE VALOR INICIAL DE MATRIZ DE COMPROBACIÓN DE PARIDAD CUANDO $r = \frac{2}{3}$, N=64800

| r2/3 64K | |
|---|---|
| 0 | 10491 16043 506 12826 8065 8226 2767 240 18673 9279 10579 20928 |
| 1 | 17819 8313 6433 6224 5120 5824 12812 17187 9940 13447 13825 18483 |
| 2 | 17957 6024 8681 18628 12794 5915 14576 10970 12064 20437 4455 7151 |
| 3 | 19777 6183 9972 14536 8182 17749 11341 5556 4379 17434 15477 18532 |
| 4 | 4651 19689 1608 659 16707 14335 6143 3058 14818 17894 20684 5306 |
| 5 | 9778 2552 12096 12359 15198 16890 4851 3109 1700 18725 1997 15882 |
| 6 | 486 6111 13743 11537 5591 7433 15227 14145 1483 3887 17431 12430 |
| 7 | 20647 14311 11734 4180 8110 5525 12141 15761 18661 18441 10569 8192 |
| 8 | 3791 14759 15264 19918 10132 9062 10010 12786 10675 9682 19246 5454 |
| 9 | 18525 9485 7777 19999 8378 9209 3163 20232 6690 16518 716 7353 |
| 10 | 4588 6709 20202 10905 915 4317 11073 13576 16433 368 3508 21171 |
| 11 | 14072 4033 19959 12608 631 19494 14160 8249 10223 21504 12385 4322 |
| 12 | 13800 14161 |
| 13 | 2948 9647 |
| 14 | 14693 16027 |
| 15 | 20506 11082 |
| 16 | 1143 9020 |
| 17 | 13501 4014 |
| 18 | 1548 2190 |
| 19 | 12216 21556 |
| 20 | 2095 19897 |
| 21 | 4189 7958 |
| 22 | 15940 10048 |
| 23 | 515 12614 |
| 24 | 8501 8450 |
| 25 | 17595 16784 |
| 26 | 5913 8495 |
| 27 | 16394 10423 |
| 28 | 7409 6981 |
| 29 | 6676 15939 |
| 30 | 20344 12987 |
| 31 | 2510 14588 |
| 32 | 17918 6855 |
| 33 | 6703 19451 |
| 34 | 496 4217 |
| 35 | 7290 5766 |
| 36 | 10521 8925 |
| 37 | 20379 11905 |
| 38 | 4090 5838 |
| 39 | 19082 17040 |

000531



FIG.80

40 20233 12352
41 19365 19546
42 6249 19030
43 11037 19193
44 19760 11772
45 19644 7428
46 16076 3521
47 11779 21062
48 13062 9682
49 8934 6217
50 11087 3319
51 18892 4356
52 7894 3898
53 5963 4360
54 7346 11726
55 5182 5609
56 2412 17295
57 9845 20494
58 6687 1884
59 20564 5216
0 18226 17207
1 9380 8266
2 7073 3065
3 18252 13437
4 9161 15642
5 10714 10153
6 11685 9078
7 5359 9418
8 9024 9515
9 1206 16354
10 14994 1102
11 9375 20796
12 15964 6027
13 14789 6452
14 8002 18591
15 14742 14089
16 253 3045
17 1274 19286
18 14777 2044
19 13920 9900
20 452 7374

FIG.81

```
21 18206 9921
22 6131 5414
23 10077 9726
24 12045 5479
25 4322 7990
26 15616 5550
27 15561 10661
28 20718 7387
29 2518 18804
30 8984 2600
31 8516 17809
32 11148 98
33 20559 3704
34 7510 1569
35 16000 11692
36 9147 10303
37 16650 191
38 15577 18685
39 17167 20917
40 4256 3391
41 20092 17219
42 9218 5056
43 18429 8472
44 12093 20753
45 16345 12748
46 16023 11095
47 5048 17595
48 18995 4817
49 16483 3536
50 1439 16148
51 3661 3039
52 19010 18121
53 8968 11793
54 13427 18003
55 5303 3083
56 531 16668
57 4771 6722
58 5695 7960
59 3589 14830
```

000533

# FIG.82

r3/4 16K

| | | | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|
| 3 | 3198 | 478 | 4207 | 1481 | 1009 | 2616 | 1924 | 3437 | 554 | 683 | 1801 |
| 4 | 2681 | 2135 | | | | | | | | | |
| 5 | 3107 | 4027 | | | | | | | | | |
| 6 | 2637 | 3373 | | | | | | | | | |
| 7 | 3830 | 3449 | | | | | | | | | |
| 8 | 4129 | 2060 | | | | | | | | | |
| 9 | 4184 | 2742 | | | | | | | | | |
| 10 | 3946 | 1070 | | | | | | | | | |
| 11 | 2239 | 984 | | | | | | | | | |
| 0 | 1458 | 3031 | | | | | | | | | |
| 1 | 3003 | 1328 | | | | | | | | | |
| 2 | 1137 | 1716 | | | | | | | | | |
| 3 | 132 | 3725 | | | | | | | | | |
| 4 | 1817 | 638 | | | | | | | | | |
| 5 | 1774 | 3447 | | | | | | | | | |
| 6 | 3632 | 1257 | | | | | | | | | |
| 7 | 542 | 3694 | | | | | | | | | |
| 8 | 1015 | 1945 | | | | | | | | | |
| 9 | 1948 | 412 | | | | | | | | | |
| 10 | 995 | 2238 | | | | | | | | | |
| 11 | 4141 | 1907 | | | | | | | | | |
| 0 | 2480 | 3079 | | | | | | | | | |
| 1 | 3021 | 1088 | | | | | | | | | |
| 2 | 713 | 1379 | | | | | | | | | |
| 3 | 997 | 3903 | | | | | | | | | |
| 4 | 2323 | 3361 | | | | | | | | | |
| 5 | 1110 | 986 | | | | | | | | | |
| 6 | 2532 | 142 | | | | | | | | | |
| 7 | 1690 | 2405 | | | | | | | | | |
| 8 | 1298 | 1881 | | | | | | | | | |
| 9 | 615 | 174 | | | | | | | | | |
| 10 | 1648 | 3112 | | | | | | | | | |
| 11 | 1415 | 2808 | | | | | | | | | |

TABLA DE VALOR INICIAL DE MATRIZ DE COMPROBACIÓN DE PARIDAD CUANDO $r=\frac{3}{4}$, N=16200

000534



# FIG.83

TABLA DE VALOR INICIAL DE MATRIZ DE COMPROBACIÓN DE PARIDAD CUANDO $r=\frac{3}{4}$, N=64800

r3/4 64K

0 6385 7901 14611 13389 11200 3252 5243 2504 2722 821 7374
1 11359 2698 357 13824 12772 7244 6752 15310 852 2001 11417
2 7882 7977 6321 13612 12197 14449 15137 13860 1708 6399 13444
3 1560 11804 6975 13292 3645 3812 8772 7306 6795 14327 7866
4 7626 11407 14599 9689 1628 2113 10809 9283 1230 15241 4870
5 1610 5699 15876 9446 12515 1400 6303 5411 14181 13925 7358
6 4059 8836 3405 7853 7992 15338 5970 10368 10278 9675 4651
7 4441 3963 9153 2109 12683 7459 12030 12221 629 15212 406
8 6007 8411 5771 3497 543 14202 875 9186 6235 13908 3563
9 3232 6625 4795 546 9781 2071 7312 3399 7250 4932 12652
10 8820 10088 11090 7069 6585 13134 10158 7183 488 7466 9238
11 1903 10818 119 215 7558 11046 10615 11545 14784 7961 15619
12 3655 8736 4917 15874 5129 2134 15944 14768 7150 2692 1469
13 8316 3820 505 8923 6757 806 7957 4216 15589 13244 2622
14 14463 4852 15733 3041 11193 12880 13673 8152 6551 15108 8758
15 3149 11981
16 13416 6906
17 13098 13352
18 2009 14460
19 7207 4314
20 3312 3945
21 4418 6248
22 2669 13975
23 7571 9023
24 14172 2967
25 7271 7138
26 6135 13670
27 7490 14559
28 8657 2466
29 8599 12834
30 3470 3152
31 13917 4365
32 6024 13730
33 10973 14182
34 2464 13167
35 5281 15049
36 1103 1849
37 2058 1069
38 9654 6095
39 14311 7667

FIG.84

40 15617 8146
41 4688 11218
42 13680 6243
43 8578 7874
44 11741 2686
0 1022 1264
1 12604 9965
2 8217 2707
3 3156 11793
4 354 1514
5 6978 14058
6 7922 16079
7 15087 12138
8 5053 6470
9 12687 14932
10 15468 1763
11 8121 1721
12 12431 549
13 4129 7091
14 1426 8415
15 9783 7604
16 6295 11329
17 1409 12061
18 8065 9087
19 2916 8438
20 1293 14115
21 3922 13851
22 3851 4000
23 5865 1768
24 2656 14967
25 5565 6332
26 4303 12631
27 11653 12236
28 16025 7632
29 4655 14128
30 9584 13123
31 13987 9597
32 15409 12110
33 8754 15490
34 7416 15325
35 2909 15549

000536



FIG.85

36 2995 8257
37 9406 4791
38 11111 4854
39 2812 8521
40 8476 14717
41 7820 15360
42 1179 7939
43 2357 8678
44 7703 6216
0 3477 7067
1 3831 13845
2 7675 12899
3 1754 8187
4 7785 1400
5 9213 5891
6 2494 7703
7 2576 7902
8 4821 15682
9 10426 11935
10 1810 904
11 11332 9264
12 11312 3570
13 14916 2650
14 7679 7842
15 6089 13084
16 3938 2751
17 8509 4648
18 12204 8917
19 6749 12443
20 12613 4431
21 1344 4014
22 8488 13850
23 1730 14896
24 14942 7126
25 14983 8863
26 6678 8564
27 4947 396
28 297 12905
29 13878 6692
30 11857 11186
31 14395 11493

FIG.86

```
32 16145 12251
33 13462 7428
34 14526 13119
35 2535 11243
36 6465 12690
37 6872 9334
38 15371 14023
39 8101 10187
40 11963 4848
41 16125 6119
42 8051 14465
43 11139 6167
44 2883 14521
```

000533

FIG.87

r4/5 16K
5 896 1565
6 2493 184
7 212 3210
8 727 1339
9 3428 612
0 2663 1947
1 230 2695
2 2025 2794
3 3039 283
4 862 2889
5 376 2110
6 2034 2266
7 951 2068
8 3108 3542
9 307 1421
0 2272 1197
1 1800 3260
2 331 2306
3 466 2552
4 1038 2479
5 1383 343
6 94 236
7 2619 121
8 1497 2774
9 2116 1855
0 722 1584
1 2767 1881
2 2701 1610
3 3283 1732
4 168 1099
5 3074 243
6 3460 945
7 2049 1746
8 566 1427
9 3545 1168

TABLA DE VALOR INICIAL DE MATRIZ DE COMPROBACIÓN DE PARIDAD CUANDO $r=\frac{4}{5}$, N=16200

000539

# FIG. 88

TABLA DE VALOR INICIAL DE MATRIZ DE COMPROBACIÓN DE PARIDAD CUANDO $r = \frac{4}{5}$, N=64800

r4/5 64K

0 148 11212 5575 6360 12569 8108 8505 408 10026 12828
1 5237 490 10677 4998 3869 3734 3092 3509 7703 10305
2 8742 5563 2820 7085 12116 10486 564 7795 2972 2157
3 2699 4304 8350 712 2841 3250 4731 10105 517 7516
4 12067 1351 11992 12191 11267 5161 537 6166 4246 2363
5 6828 7107 2127 3724 5743 11040 10756 4073 1011 3422
6 11259 1216 9526 1466 10816 940 3744 2815 11506 11573
7 4549 11507 1118 1274 11751 5207 7654 12800 4047 6484
8 8430 4115 9440 413 4456 2262 7915 12402 8579 7052
9 3885 9126 5665 4505 2343 263 4707 3742 4166 1556
10 1704 8938 6775 8639 8179 7954 8234 7850 8883 8713
11 11716 4344 9087 11264 2274 8832 9147 11930 6054 5455
12 7323 3970 10329 2170 8262 3854 2087 12899 9497 11700
13 4418 1467 2490 5841 817 11453 533 11217 11962 5251
14 1541 4525 7976 3457 9536 7725 3788 2982 6307 5997
15 11484 2739 4023 12107 6516 551 2572 6628 8150 9852
16 6070 1761 4627 6534 7913 3730 11866 1813 12306 8249
17 12441 5489 8748 7837 7660 2102 11341 2936 8712 11977
18 10155 4210
19 1010 10483
20 8900 10250
21 10243 12278
22 7070 4397
23 12271 3887
24 11980 8836
25 9514 4356
26 7137 10281
27 11881 2526
28 1969 11477
29 3044 10921
30 2236 8724
31 9104 6340
32 7342 8582
33 11675 10405
34 6467 12775
35 3186 12198
0 9621 11445
1 7486 5611
2 4319 4879
3 2196 344

000540



FIG.89

4 7527 6650
5 10693 2440
6 6755 2706
7 5144 5998
8 11043 8033
9 4846 4435
10 4157 9228
11 12270 6562
12 11954 7592
13 7420 2592
14 8810 9636
15 689 5430
16 920 1304
17 1253 11934
18 9559 6016
19 312 7589
20 4439 4197
21 4002 9565
22 12232 7779
23 1494 8782
24 10749 3969
25 4368 3479
26 6316 5342
27 2455 3493
28 12167 7406
29 6598 11495
30 11805 4455
31 9625 2090
32 4731 2321
33 3578 2608
34 8504 1849
35 4027 1151
0 5647 4935
1 4219 1870
2 10968 8054
3 6970 5447
4 3217 5638
5 8972 669
6 5618 12472
7 1457 1260
8 8868 3883

000541



# FIG.90

9 8866 1224
10 8371 5972
11 266 4405
12 3706 3244
13 6039 6844
14 7200 3283
15 1502 11282
16 12318 2202
17 4523 965
18 9587 7011
19 2552 2051
20 12045 10306
21 11070 5104
22 6627 6906
23 9889 2121
24 629 9701
25 2201 1819
26 6689 12926
27 2139 8757
28 12004 5948
29 8704 3191
30 8171 10933
31 6297 7116
32 616 7146
33 6142 9761
34 10377 8138
35 7616 6811
0 7285 9863
1 7764 10867
2 12343 9019
3 4414 8331
4 3464 642
5 6960 2039
6 786 3021
7 710 2086
8 7423 5601
9 8120 4885
10 12385 11990
11 9739 10034
12 424 10162
13 1347 7597

000542



FIG.91

14 1450 112
15 7965 8478
16 8945 7397
17 6690 8316
18 6838 9011
19 6174 9410
20 255 113
21 6197 5835
22 12902 3844
23 4377 3505
24 5478 8672
25 4453 2132
26 9724 1380
27 12131 11526
28 12323 9511
29 8231 1752
30 497 9022
31 9288 3080
32 2481 7515
33 2696 268
34 4023 12341
35 7108 5553

FIG.92

r5/6 16K
3 2409 499 1461 906 569 716 1270 333 2508 2264 1702 2805
4 2447 1926
5 414 1224
6 2114 842
7 212 573
0 2383 2112
1 2286 2348
2 545 819
3 1264 143
4 1701 2258
5 964 166
6 114 2413
7 2243 81
0 1245 1581
1 775 169
2 1696 1104
3 1914 2831
4 532 1450
5 91 974
6 497 2228
7 2326 1579
0 2482 256
1 1117 1261
2 1257 1658
3 1478 1225
4 2511 980
5 2320 2675
6 435 1278
7 228 603
0 1885 2369
1 57 463
2 838 1050
3 1231 1990
4 1738 68
5 2392 951
6 163 645
7 2644 1704

TABLA DE VALOR INICIAL DE MATRIZ DE COMPROBACIÓN DE PARIDAD CUANDO $r=\frac{5}{6}$, N=16200

# FIG.93

TABLA DE VALOR INICIAL DE MATRIZ DE COMPROBACIÓN DE PARIDAD CUANDO $r = \frac{5}{6}$, N=64800

r5/6 64K

0 4362 416 8909 4156 3216 3112 2560 2912 6405 6593 4969 6723
1 2479 1786 8978 3011 4339 9313 6397 2957 7288 5484 6031 10217
2 10176 9009 9889 3091 4985 7267 4092 8874 6671 2777 2189 8716
3 9062 4796 3924 3370 10058 1128 9996 10165 9360 4297 434 5138
4 2379 7834 4835 2327 9843 804 329 8353 7167 3070 1528 7311
5 3435 7871 348 3693 1878 6585 10340 7144 5870 2084 4052 2780
6 3917 3111 3476 1304 10331 5939 5199 1611 1991 699 8316 9960
7 6883 3237 1717 10752 7891 9764 4745 3888 10009 4176 4614 1567
8 10587 2195 1689 2968 5420 2580 2883 6496 111 6023 1024 4449
9 3786 8593 2074 3321 5057 1450 3840 5444 6572 3094 9892 1612
10 8548 1848 10372 4585 7313 6536 6379 1786 9482 2456 5606 9975
11 8204 10593 7936 3636 3882 394 5968 8561 2395 7289 9267 9978
12 7795 74 1633 9542 6887 7352 6417 7568 10623 725 2531 9115
13 7151 2482 4260 5003 10105 7419 9203 6691 8798 2092 8263 3755
14 3600 570 4527 200 9718 6771 1995 8902 5446 768 1103 6620
15 6304 7621
16 6498 9209
17 7293 6786
18 5950 1708
19 8521 1793
20 6174 7854
21 9773 1190
22 9517 10268
23 2181 9349
24 1949 5560
25 1556 556
26 8600 3827
27 5072 1057
28 7928 3542
29 3226 3762
0 7045 2420
1 9645 2641
2 2774 2452
3 6331 2031
4 9400 7503
5 1850 2338
6 10456 9774
7 1692 9276
8 10037 4038
9 3964 338

000545

FIG.94

10 2640 5087
11 868 3473
12 5582 5683
13 9623 916
14 4107 1559
15 4506 3491
16 8191 4182
17 10192 6157
18 5668 3305
19 3449 1540
20 4766 2697
21 4069 6675
22 1117 1016
23 5619 3085
24 8493 8400
25 8255 394
26 6338 5042
27 6174 5119
28 7203 1989
29 1781 5174
0 1464 3559
1 3376 4214
2 7239 67
3 10595 8831
4 1221 6513
5 5300 4652
6 1429 9749
7 7878 5131
8 4435 10284
9 6331 5507
10 6662 4941
11 9614 10238
12 8400 8025
13 9156 5630
14 7067 8878
15 9027 3415
16 1690 3866
17 2854 8469
18 6206 630
19 363 5453
20 4125 7008

000526



FIG.95

21 1612 6702
22 9069 9226
23 5767 4060
24 3743 9237
25 7018 5572
26 8892 4536
27 853 6064
28 8069 5893
29 2051 2885
0 10691 3163
1 3602 4055
2 328 1717
3 2219 9299
4 1939 7898
5 617 206
6 8544 1374
7 10676 3240
8 6672 9489
9 3170 7457
10 7868 5731
11 6121 10732
12 4843 9132
13 580 9591
14 6267 9290
15 3009 2268
16 195 2419
17 8016 1557
18 1516 9185
19 8052 9064
20 2095 8968
21 753 7326
22 6291 3833
23 2614 7844
24 2303 646
25 2076 611
26 4687 382
27 8684 9940
28 4830 2065
29 7038 1363
0 1769 7837
1 3801 1689

000547



FIG.96

2 10070 2359
3 3667 9918
4 1914 6920
5 4244 5669
6 10245 7821
7 7648 3944
8 3310 5488
9 6346 9666
10 7088 6122
11 1291 7827
12 10592 8945
13 3609 7120
14 9168 9112
15 6203 8052
16 3330 2895
17 4264 10563
18 10556 6496
19 8907 7645
20 1999 4530
21 9202 6818
22 3403 1734
23 2106 9023
24 6881 3883
25 3895 2171
26 4062 6424
27 3755 9536
28 4683 2131
29 7347 8027

# FIG.97

TABLA DE VALOR INICIAL DE MATRIZ DE COMPROBACIÓN DE PARIDAD CUANDO $r = \frac{8}{9}$, N=16200

| r8/9 16K |
|---|
| 0 1568 712 805 |
| 1 1450 873 1337 |
| 2 1741 1129 1184 |
| 3 294 806 1566 |
| 4 482 605 923 |
| 0 926 1578 |
| 1 777 1374 |
| 2 608 151 |
| 3 1195 210 |
| 4 1484 692 |
| 0 427 488 |
| 1 628 1124 |
| 2 874 1368 |
| 3 1500 835 |
| 4 1498 502 |
| 0 1006 1701 |
| 1 1155 97 |
| 2 657 1403 |
| 3 1453 624 |
| 4 429 1495 |
| 0 809 385 |
| 1 367 151 |
| 2 1323 202 |
| 3 960 318 |
| 4 1451 1039 |
| 0 1098 1722 |
| 1 1015 1428 |
| 2 1261 1564 |
| 3 544 1190 |
| 4 1472 1246 |
| 0 508 630 |
| 1 421 1704 |
| 2 284 898 |
| 3 392 577 |
| 4 1155 556 |
| 0 631 1000 |
| 1 732 1368 |
| 2 1328 329 |
| 3 1515 506 |
| 4 1104 1172 |

0000549

# FIG.98

TABLA DE VALOR INICIAL DE MATRIZ DE COMPROBACIÓN DE PARIDAD CUANDO $r=\frac{8}{9}$, N=64800

| r8/9 64K | | | |
|---|---|---|---|
| 0 | 6235 | 2848 | 3222 |
| 1 | 5800 | 3492 | 5348 |
| 2 | 2757 | 927 | 90 |
| 3 | 6961 | 4516 | 4739 |
| 4 | 1172 | 3237 | 6264 |
| 5 | 1927 | 2425 | 3683 |
| 6 | 3714 | 6309 | 2495 |
| 7 | 3070 | 6342 | 7154 |
| 8 | 2428 | 613 | 3761 |
| 9 | 2906 | 264 | 5927 |
| 10 | 1716 | 1950 | 4273 |
| 11 | 4613 | 6179 | 3491 |
| 12 | 4865 | 3286 | 6005 |
| 13 | 1343 | 5923 | 3529 |
| 14 | 4589 | 4035 | 2132 |
| 15 | 1579 | 3920 | 6737 |
| 16 | 1644 | 1191 | 5998 |
| 17 | 1482 | 2381 | 4620 |
| 18 | 6791 | 6014 | 6596 |
| 19 | 2738 | 5918 | 3786 |
| 0 | 6156 | 6166 | |
| 1 | 1504 | 4356 | |
| 2 | 130 | 1904 | |
| 3 | 6027 | 3187 | |
| 4 | 6718 | 759 | |
| 5 | 6240 | 2870 | |
| 6 | 2343 | 1311 | |
| 7 | 1039 | 5465 | |
| 8 | 6617 | 2513 | |
| 9 | 1588 | 5222 | |
| 10 | 6561 | 535 | |
| 11 | 4765 | 2054 | |
| 12 | 5966 | 6892 | |
| 13 | 1969 | 3869 | |
| 14 | 3571 | 2420 | |
| 15 | 4632 | 981 | |
| 16 | 3215 | 4163 | |
| 17 | 973 | 3117 | |
| 18 | 3802 | 6198 | |
| 19 | 3794 | 3948 | |

FIG.99

0 3196 6126
1 573 1909
2 850 4034
3 5622 1601
4 6005 524
5 5251 5783
6 172 2032
7 1875 2475
8 497 1291
9 2566 3430
10 1249 740
11 2944 1948
12 6528 2899
13 2243 3616
14 867 3733
15 1374 4702
16 4698 2285
17 4760 3917
18 1859 4056
19 6141 3527
0 2148 5066
1 1306 145
2 2319 871
3 3463 1061
4 5554 6647
5 5837 339
6 5821 4932
7 6356 4756
8 3930 418
9 211 3094
10 1007 4928
11 3584 1235
12 6982 2869
13 1612 1013
14 953 4964
15 4556 4410
16 4925 4842
17 5778 600
18 6509 2417
19 1260 4903
0 3369 3031

000551



# FIG.100

1 3557 3224
2 3028 583
3 3258 440
4 6226 6665
5 4895 1094
6 1481 6847
7 4433 1932
8 2107 1649
9 2119 2065
10 4003 6388
11 6720 3622
12 3694 4521
13 1164 7050
14 1965 3613
15 4331 66
16 2970 1796
17 4652 3218
18 1762 4777
19 5736 1399
0 970 2572
1 2062 6599
2 4597 4870
3 1228 6913
4 4159 1037
5 2916 2362
6 395 1226
7 6911 4548
8 4618 2241
9 4120 4280
10 5825 474
11 2154 5558
12 3793 5471
13 5707 1595
14 1403 325
15 6601 5183
16 6369 4569
17 4846 896
18 7092 6184
19 6764 7027
0 6358 1951
1 3117 6960

# FIG.101

2 2710 7062
3 1133 3604
4 3694 657
5 1355 110
6 3329 6736
7 2505 3407
8 2462 4806
9 4216 214
10 5348 5619
11 6627 6243
12 2644 5073
13 4212 5088
14 3463 3689
15 5306 478
16 4320 6121
17 3961 1125
18 5699 1195
19 6511 792
0 3934 2778
1 3238 6587
2 1111 6596
3 1457 6226
4 1446 3885
5 3907 4043
6 6839 2873
7 1733 5615
8 5202 4269
9 3024 4722
10 5445 6372
11 370 1828
12 4695 1600
13 680 2074
14 1801 6690
15 2669 1377
16 2463 1681
17 5972 5171
18 5728 4284
19 1696 1459

000553

# FIG.102

TABLA DE VALOR INICIAL DE MATRIZ DE COMPROBACIÓN DE PARIDAD CUANDO $r=\frac{9}{10}$, N=64800

| r9/10 64K |
|---|
| 0 6611 2563 2900 |
| 1 5220 3143 4813 |
| 2 2481 834 61 |
| 3 6265 4064 4265 |
| 4 1056 2914 5638 |
| 5 1734 2182 3315 |
| 6 3342 5678 2246 |
| 7 2185 552 3385 |
| 8 2615 236 5334 |
| 9 1546 1755 3846 |
| 10 4154 5561 3142 |
| 11 4382 2957 5400 |
| 12 1209 5329 3179 |
| 13 1421 3528 6063 |
| 14 1480 1072 5398 |
| 15 3843 1777 4369 |
| 16 1334 2145 4163 |
| 17 2368 5055 260 |
| 0 6118 5405 |
| 1 2994 4370 |
| 2 3405 1869 |
| 3 4640 5550 |
| 4 1364 3921 |
| 5 117 1713 |
| 6 5425 2868 |
| 7 6047 683 |
| 8 5616 2582 |
| 9 2108 1179 |
| 10 933 4921 |
| 11 5953 2261 |
| 12 1430 4699 |
| 13 5905 480 |
| 14 4289 1846 |
| 15 5374 6208 |
| 16 1775 3476 |
| 17 3216 2178 |
| 0 4165 884 |
| 1 2896 3744 |
| 2 874 2801 |
| 3 3423 5579 |

000554



# FIG.103

4 3404 3552
5 2876 5515
6 516 1719
7 765 3831
8 5059 1441
9 5629 598
10 5406 473
11 4724 5210
12 155 1832
13 1689 2229
14 449 1164
15 2308 3088
16 1122 669
17 2268 5758
0 5878 2609
1 782 3359
2 1231 4231
3 4225 2052
4 4288 3517
5 5531 3184
6 1935 4560
7 1174 131
8 3115 956
9 3129 1088
10 5238 4440
11 5722 4280
12 3540 375
13 191 2782
14 906 4432
15 3225 1111
16 6296 2583
17 1457 903
0 855 4475
1 4097 3970
2 4433 4361
3 5198 541
4 1146 4426
5 3202 2902
6 2724 525
7 1083 4124
8 2326 6003

000555



FIG.104

```
9 5605 5990
10 4376 1579
11 4407 984
12 1332 6163
13 5359 3975
14 1907 1854
15 3601 5748
16 6056 3266
17 3322 4085
0 1768 3244
1 2149 144
2 1589 4291
3 5154 1252
4 1855 5939
5 4820 2706
6 1475 3360
7 4266 693
8 4156 2018
9 2103 752
10 3710 3863
11 5123 931
12 6146 3323
13 1939 5002
14 5140 1437
15 1263 293
16 5949 4665
17 4548 6380
0 3171 4690
1 5204 2114
2 6384 5565
3 5722 1757
4 2805 6264
5 1202 2616
6 1018 3244
7 4018 5289
8 2257 3067
9 2483 3073
10 1196 5329
11 649 3918
12 3791 4581
13 5028 3803
```

FIG.105

```
14 3119 3506
15 4779 431
16 3888 5510
17 4387 4084
0 5836 1692
1 5126 1078
2 5721 6165
3 3540 2499
4 2225 6348
5 1044 1484
6 6323 4042
7 1313 5603
8 1303 3496
9 3516 3639
10 5161 2293
11 4682 3845
12 3045 643
13 2818 2616
14 3267 649
15 6236 593
16 646 2948
17 4213 1442
0 5779 1596
1 2403 1237
2 2217 1514
3 5609 716
4 5155 3858
5 1617 1312
6 2554 3159
7 5280 2643
8 4990 1353
9 5648 1170
10 1152 4366
11 3561 5368
12 3581 1411
13 5647 4661
14 1542 5401
15 5078 2687
16 316 1755
17 3392 1991
```

# FIG.106

r1/4 64K

23606 36098 1140 28859 18148 18610 6226 540 42014 20879 23802 47088
16419 24923 16609 17248 7693 24997 42587 16858 34921 21042 37024 20692
1974 40094 19704 14474 14004 11519 13106 28826 38669 22383 30255 31105
22254 40564 22645 22532 6134 9176 39998 23892 8937 15608 16854 31009
8037 40401 13550 19526 41902 28782 13304 32796 24679 27140 45980 10021
40540 44498 13911 22435 32701 18405 39929 25521 12497 9851 39223 34823
15233 45333 5041 44979 45710 42150 19416 1892 23121 15860 8832 10308
10468 44296 3611 1480 37581 32254 13817 6883 32892 40258 46538 11840
6705 21634 28150 43757 895 6547 20970 28914 30117 25736 41734 11382
22002 5739 27210 27828 34182 37992 10915 6998 3824 42130 4494 35739
8515 1191 13642 30950 25943 12673 16726 34261 31828 3340 8747 30225
18979 17058 43130 4245 4793 44030 19454 29511 47929 15174 24333 19354
16694 8381 29642 46516 32224 26344 9405 18292 12437 27316 35466 41992
15642 5871 46489 26723 23386 7257 8974 3156 37420 44823 35423 13541
42858 32008 41282 38773 26570 2702 27260 45974 1469 20887 27426 38553
22152 24261 8297
19347 9978 27802
34991 6354 33561
29782 30875 29523
9278 48512 14349
39061 4165 43078
8548 33172 34410
22535 28811 23950
20439 4027 24186
38618 8187 30947
35538 43880 21459
7091 45616 15063
5505 9315 21908
36046 32914 11836
7304 39782 33721
16905 29962 12980
11171 23709 22460
34541 9937 44500
14035 47316 8815
15057 45482 24461
30518 36877 879
7583 13364 24332
449 27056 4682
12083 31378 21670
1159 18031 2221
17028 38715 9350
17343 24530 29574

0C0558



FIG.107



0C3559



# FIG.108

r1/3 64K

34903 20927 32093 1052 25611 16093 16454 5520 506 37399 18518 21120
11636 14504 22158 14763 15333 6838 22222 37856 14985 31041 18704 32910
17449 1665 35639 16624 12867 12449 10241 11650 25622 34372 19978 26894
29235 19780 38056 20129 20029 5457 8157 35554 21237 7943 13873 14880
9912 7143 35911 12043 17360 37253 25588 11827 29152 21936 24125 40870
40701 36005 39556 12366 19946 29072 16365 35495 22606 11106 9756 34863
19165 15702 13536 40228 4465 40034 40590 37540 17162 1712 20577 14138
31338 19342 9301 39375 3211 1316 33409 28670 12282 6118 29236 35787
11504 30506 19558 5100 24185 24738 30397 33775 9699 6215 3397 37451
34689 23126 7571 1058 12127 27518 23064 11266 14867 30451 28289 2966
11660 15304 16867 15160 38343 3778 4265 39139 17293 26229 42604 13486
31497 1365 14828 7453 26350 41346 28643 23421 8354 16256 11055 24279
15687 12467 13906 5215 41328 23755 20800 6447 7970 2803 33262 39843
5363 22469 38091 28457 36698 34471 29819 2404 24229 41754 1297 18563
3673 39070 14460 30279 37483 7580 29519 30519 39831 20252 18132 20010
34386 7252 27526 12950 6875 43020 31566 39069 18985 15541 40020 16715
1721 37332 39953 17430 32134 29162 10490 12971 28591 29331 6499 35383
736 7022 42349 8783 6767 11871 21675 10325 11548 25978 431 24085
1925 10602 28585 12170 15156 34404 8351 13273 20208 5800 15367 21764
16279 37832 34792 21250 34192 7406 41488 18346 29227 26127 25493 7048
39948 28229 24899
17408 14274 38993
38774 15968 28459
41404 27249 27425
41229 8062 43114
13957 4979 40654
3093 3438 34992
34092 6172 28760
42210 34141 41021
14705 17783 10134
41755 39884 22773
14615 15593 1642
29111 37061 39860
9579 33552 633
12051 21137 39608
38244 27361 29417
2939 10172 35479
29094 5357 19224
9562 24436 28637

000580



# FIG.109

40177 2326 13504
6834 21583 42516
40651 42810 25709
31557 32138 38142
18624 41867 39296
37560 14295 16245
6821 21679 31570
25339 25083 22091
8047 697 35268
9884 17073 19995
26848 35245 8390
18658 16134 14907
12201 32944 5035
25236 1216 36986
42994 24782 8681
28321 4932 34249
4107 29382 32124
22157 2624 14468
38788 27081 7936
4368 26148 10578
25353 4122 39751

000561



# FIG.110

r2/5 64K

31413 18834 28084 947 23060 14484 14809 4968 455 33659 16666 19008
13172 19939 13354 13719 6132 20086 34040 13442 27958 16813 29619 16553
1499 32075 14962 11578 11204 9217 10485 23062 30936 17892 24204 24885
32490 18086 18007 4957 7285 32073 19038 7152 12486 13493 24808 21759
32321 10839 15620 33521 23030 10646 26236 19744 21713 36704 8016 12869
35597 11129 17948 26160 14729 31943 20416 10000 7882 31380 27858 33356
14125 12131 36199 4058 35992 36594 33698 15475 1566 18498 12725 7067
17406 8372 35437 2888 1184 30058 25802 11056 5507 26313 32205 37232
15254 5365 17906 22519 35009 718 5240 16778 23131 24092 20587 33385
27455 17602 4590 29767 22266 27357 30400 8732 9596 3060 33703 3596
6882 873 10997 24738 20770 10067 13379 27409 25463 2673 6998 31378
15181 13645 34501 3393 3840 35227 15562 23515 38342 12139 19471 15483
13350 6707 23709 37204 25778 21082 7511 14588 10010 21854 28375 33591
12514 4696 37190 21379 18723 5802 7182 2529 20936 35860 28338 10835
34283 25610 33026 31017 21259 2165 21807 37578 1175 16710 21939 30841
27292 33730 6836 26476 27539 35784 18245 16394 17939 23094 19216 17432
11655 6183 38708 28408 35157 17089 13998 36029 15062 16617 5638 36464
15693 28923 28245 9432 11675 25720 26405 5838 31851 26898 8090 37037
24418 27583 7959 35562 37771 17784 11382 11156 37855 7073 21665 34515
10977 13633 30969 7516 11943 18199 5231 13825 19589 23661 11150 35602
19124 30774 6870 37344 16510 26317 23518 22957 6348 34069 8845 20175
34985 14441 25668 4116 3019 21049 37308 24551 24727 20104 24850 12114
38187 28527 13108 13985 1425 21477 30907 8513 26241 33358 35913 32477
5903 34390 24641 26556 23007 27305 38247 2621 9122 32806 21554 18685
17287 27292 19033
25796 31795 12152
12184 35068 31226
38263 33396 24892
23114 37995 29798
34336 10551 36245
35407 175 7203
14654 38201 22605
28404 6595 1010
19932 3524 29305
31749 20247 8128
18026 36357 26735
7543 29767 13588
13333 25965 8463
14504 36796 19710
4528 25299 7318
35091 25550 14798

000562

# FIG.111

7824 215 1248
30848 5362 17291
28932 30249 27073
13052 2103 16206
7129 32062 19612
9512 21936 39833
35949 33754 23450
18705 28656 10111
22749 27456 32187
28229 31684 30160
15293 8483 28002
14890 13334 12584
28646 2558 19687
6259 4499 26336
11952 28386 8405
10609 961 7592
10423 13191 26818
15922 36654 21450
10492 1532 1205
30551 36482 22153
5156 11330 34243
28616 35369 13322
8962 1485 21186
23541 17445 35561
33133 11693 19895
33917 7863 33651
20063 28331 10702
13195 21107 21859
4364 31137 4804
5585 2037 4830
30672 16927 14800

000583

# FIG.112

r1/2 64K
54 9318 14392 27561 26909 10219 2534 8597
55 7263 4635 2530 28130 3033 23830 3651
56 24731 23583 26036 17299 5750 792 9169
57 5811 26154 18653 11551 15447 13685 16264
58 12610 11347 28768 2792 3174 29371 12997
59 16789 16018 21449 6165 21202 15850 3186
60 31016 21449 17618 6213 12166 8334 18212
61 22836 14213 11327 5806 718 11727 9008
62 2091 24941 29966 23534 9013 15507 5444
63 22207 3983 16904 22534 21415 27524 25912
64 25687 4501 22193 14665 14798 16158 5491
65 4529 17094 23397 4264 22370 16941 21526
66 10490 6182 32370 9597 30941 25954 2762
67 22120 22865 29870 15147 13663 14955 19235
68 6609 18400 10346 9910 25746 5443 20645
69 29982 12529 13858 4746 30370 10023 24828
70 1262 28032 29888 13063 24033 21851 7863
71 6594 29642 31451 14831 9509 9335 31552
72 1358 6454 16633 20354 24598 624 5265
73 19529 295 18011 3080 13364 8032 15323
74 11981 1510 7960 21452 9129 11370 25741
75 9276 29656 4543 30599 20646 21921 28056
76 15975 25634 9520 31119 13715 21949 19605
77 18688 4608 31755 30165 13103 10706 29224
78 21514 23117 12245 26035 31656 25631 30699
79 9674 24966 31285 29908 17042 24588 31857
80 21856 27777 29919 27000 14897 11409 7122
81 29773 23310 263 4877 28622 20545 22092
82 15605 5651 21864 3967 14419 22757 15898
83 30145 1759 10139 29223 26066 10556 5098
84 18815 16575 2936 24457 26738 6030 905
85 30326 22299 27562 20131 26390 6247 24791
86 928 29246 21246 12400 15311 32309 18609
87 20314 6025 26689 16302 2296 3244 19613
88 6237 11943 22851 15642 23957 15112 20947
89 26403 25168 19038 18394 8882 12719 7093
0 14567 24965
1 3908 100
2 10279 240

000564



# FIG.113

3 24102 764
4 12383 4173
5 13861 15918
6 21327 1046
7 5288 14579
8 28158 8069
9 16583 11099
10 16681 28363
11 13980 24725
12 32169 17989
13 10907 2767
14 21557 3818
15 28676 12422
16 7676 8754
17 14905 20232
18 15719 24640
19 31942 8509
20 19978 27197
21 27060 15071
22 6071 26649
23 10393 11176
24 9597 13370
25 7081 17677
26 1433 19513
27 26925 9014
28 19202 8900
29 18152 30647
30 20803 1737
31 11804 25221
32 31083 17783
33 29694 9345
34 12280 26611
35 6526 26122
36 26165 11241
37 7666 25952
38 16290 8490
39 11774 10120
40 30051 30426
41 1335 15424
42 6865 17742
43 31779 12489
44 32120 21001
45 14508 6996

000585

# FIG.114

| | | |
|---|---|---|
| 46 | 979 | 25024 |
| 47 | 4554 | 21896 |
| 48 | 7089 | 21777 |
| 49 | 4872 | 20661 |
| 50 | 6612 | 2730 |
| 51 | 12742 | 4418 |
| 52 | 29194 | 595 |
| 53 | 19267 | 20113 |

# FIG.115

r3/5 64K
22422 10282 11626 19997 11161 2922 3122 99 5625 17064 8270 179
25087 16218 17015 828 20041 25656 4186 11629 22599 17305 22515 6463
11049 22853 25706 14388 5500 19245 8732 2177 13555 11346 17265 3089
16581 22225 12563 19717 23577 11555 25496 6853 25403 5218 15925 21756
16529 14487 7643 10715 17442 11119 5679 14155 24213 21000 1136 15620
5340 8636 16693 1434 5635 6516 9402 20189 1066 15013 25361 14243
18506 22236 20912 8952 5421 15691 6125 21595 500 6904 13059 6802
8433 4694 9524 14216 3685 19721 25420 9937 23813 9047 25651 16826
21500 24814 6344 17382 7064 13929 4004 16552 12818 8720 5286 2206
22517 2429 19065 2921 21611 1873 7507 5661 23006 23128 20543 19777
1770 4636 20900 14931 9247 12340 11008 12966 4471 2731 10445 791
6635 14556 18965 22421 22124 12697 9803 25485 7744 18254 11313 9004
19982 23963 18912 7206 12500 4382 20067 6177 21007 1195 23547 24837
756 11158 14646 20534 3647 17728 11676 11843 12937 4402 8251 22044
9306 24009 10912 11081 3746 24325 8060 19926 842 8836 2898 5019
7575 7455 25244 4736 14400 22981 5543 8006 24203 13053 1120 5128
3482 9270 13059 15825 7453 23747 3656 24585 16542 17507 22462 14670
15627 15290 4198 22743 5942 13395 23918 16995 14929 3726 25350 24157
24896 16365 16423 13461 16615 8107 24741 3604 25804 8716 9604 20365
3729 17245 18448 9862 20831 25326 20617 24618 13282 5089 14183 8804
16455 17646 15376 18194 25528 1777 6066 21855 14372 12517 4488 17490
1400 8135 23375 20879 8476 4084 12936 25536 22309 16582 6402 24360
25119 23586 128 4761 10443 22536 8607 9752 25446 15053 1856 4040
377 21160 13474 5451 17170 5938 10256 11972 24210 17933 22047 16108
13075 9648 24546 13150 23867 7309 19798 2988 16858 4825 23950 15125
20526 3553 11525 23366 2452 17626 19265 20172 18060 24593 13295 1552
18839 21132 20119 15214 14705 7096 10174 5653 18651 19700 12524 14033
4127 2971 17499 16287 22368 21463 7943 18880 5567 8047 23363 6797
10651 24471 14325 4081 7258 4949 7044 1078 797 22910 20474 4318
21374 13231 22985 5056 3921 23718 14178 9978 19030 23594 8895 25358
6199 22056 7749 13310 3999 23697 16445 22636 5225 22437 24153 9442
7978 12177 2893 20778 3175 8645 11863 24623 10311 25767 17057 3691
20473 11294 9914 22815 2574 8439 3599 5431 24840 21909 16088 18244
8208 5755 19059 8541 24924 6454 11234 10492 16406 10831 11436 9649
16264 11275 24953 2347 12667 19190 7257 7174 24819 2938 2522 11749
3627 5969 13862 1638 23176 6353 2855 17720 2472 7428 573 15036
0 18539 18661
1 10502 3002
2 9368 10761

000587



# FIG.116

3 12299 7828
4 15048 13362
5 18444 24640
6 20775 19175
7 18970 10971
8 5329 19962
9 11296 18655
10 15046 20659
11 7300 22140
12 22029 14477
13 11129 742
14 13254 13813
15 10234 13273
16 6079 21122
17 22782 5828
18 19775 4247
19 1660 19413
20 4403 3649
21 13371 25851
22 22770 21784
23 10757 14131
24 16071 21617
25 6393 3725
26 597 19968
27 5743 8084
28 6770 9548
29 4285 17542
30 13568 22599
31 1786 4617
32 23238 11648
33 19627 2030
34 13601 13458
35 13740 17328
36 25012 13944
37 22513 6687
38 4934 12587
39 21197 5133
40 22706 6938
41 7534 24633
42 24400 12797
43 21917 25712
44 12039 1140
45 24306 1021

FIG.117

```
46 14012 20747
47 11265 15219
48 4670 15531
49 9417 14359
50 2415 6504
51 24964 24690
52 14443 8816
53 6926 1291
54 6209 20806
55 13915 4079
56 24410 13196
57 13505 6917
58 9869 8220
59 1570 6044
60 25780 17387
61 20671 24913
62 24558 20691
63 12402 3702
64 8314 1357
65 20071 14616
66 17014 3688
67 19837 946
68 15105 12136
69 7758 22808
70 3564 2925
71 3434 7769
```

FIG.118

```
r1/4 16K
6295 9626 304 7695 4839 4936 1660 144 11203 5567 6347 12557
10691 4988 3659 3734 3071 3494 7687 10313 5964 8069 8296 11090
10774 3613 5208 11177 7676 3549 8746 6583 7239 12265 2674 4292
11969 3708 5991 8718 4909 10650 6805 3334 2627 10461 9285 11120
7844 3079 10773
3385 10854 5747
1360 12010 12202
6189 4241 2343
9840 12726 4077
```

FIG.119

r1/3 16K
416 8909 4156 3216 3112 2560 2912 6405 8593 4969 6723 6912
8978 3011 4339 9312 6396 2957 7288 5485 6031 10218 2226 3575
3383 10069 1114 10008 10147 9384 4290 434 5139 3536 1965 2291
2797 3693 7615 7077 743 1941 8716 6215 3840 5140 4582 5420
6110 8551 1515 7404 4879 4946 5383 1831 3441 9569 10472 4306
1505 5682 7778
7172 6830 6623
7281 3941 3505
10270 8669 914
3622 7563 9388
9930 5068 4554
4844 9609 2707
6883 3237 1714
4768 3878 10017
10127 3334 8287

FIG.120

r2/5 16K
5650 4143 8750 583 6720 8071 635 1767 1344 6922 738 6658
5696 1685 3207 415 7019 5023 5608 2605 857 6915 1770 8016
3992 771 2190 7258 8970 7792 1802 1868 6137 8841 886 1931
4108 3781 7577 6810 9322 8226 5396 5867 4428 8827 7766 2254
4247 888 4367 8821 9660 324 5864 4774 227 7889 6405 8963
9693 500 2520 2227 1811 9330 1928 5140 4090 4824 906 3134
1652 8171 1435
3366 6543 3745
9286 8509 4645
7397 5790 8972
6597 4422 1799
9276 4041 3847
8683 7378 4946
5349 1993 9186
6724 8015 5646
4502 4439 8474
5107 7342 9442
1387 8910 2660

FIG.121

r1/2 16K
20 712 2386 6354 4061 1062 5045 5158
21 2543 5748 4822 2348 3089 6328 5876
22 926 5701 269 3693 2439 3190 3507
23 2802 4520 3577 5324 1091 4667 4449
24 5140 2003 1263 4742 6497 1185 6202
0 4046 6934
1 2855 66
2 6694 212
3 3439 1158
4 3850 4422
5 5924 290
6 1467 4049
7 7820 2242
8 4606 3080
9 4633 7877
10 3884 6868
11 8935 4996
12 3028 764
13 5988 1057
14 7411 3450

000571

# FIG.122

```
r3/5 16K
2765 5713 6426 3596 1374 4811 2182 544 3394 2840 4310 771
4951 211 2208 723 1246 2928 398 5739 265 5601 5993 2615
210 4730 5777 3096 4282 6238 4939 1119 6463 5288 6320 4016
4167 2063 4757 3167 5664 3956 6045 563 4204 2441 3412 6334
4201 2428 4474 59 1721 736 2997 428 3807 1513 4732 6195
2670 3081 5139 3736 1999 5889 4362 3806 4534 5409 6394 5809
5516 1622 2906 3285 1257 5797 3816 817 875 2311 3543 1205
4244 2184 5415 1706 5642 4886 2339 287 1848 1121 3595 6022
2142 2830 4069 5654 1295 2951 3919 1356 884 1786 396 4730
0 2161 2653
1 1380 1461
2 2502 3707
3 3971 1057
4 5985 6062
5 1733 6028
6 3786 1936
7 4292 966
8 5692 3417
9 266 4878
10 4913 3247
11 4763 3937
12 3590 2903
13 2566 4215
14 5208 4707
15 3940 3388
16 5109 4556
17 4908 4177
```

000572

FIG.123

r3/5 16(
71 1478 1901 2240 2649 2725 3592 3709 3965 4080 5733 6198
393 1384 1435 1878 2773 3102 3586 5465 6091 6110 6114 6327
160 1149 1281 1526 1565 2129 2929 3095 3223 4250 4276 4612
288 1446 1602 2421 3559 3796 5590 5750 5763 6168 6271 6340
947 1227 2008 2020 2266 3365 3598 3867 4172 4250 4865 6290
3324 3704 4447
1206 2565 3089
529 4027 5891
141 1187 3206
1990 2972 5120
752 796 5976
1129 2377 4030
6077 6109 6231
61 1053 1781
2820 4109 5307
2088 5834 5988
3725 3945 4010
1081 2780 3389
659 2221 4822
3033 6060 6160
756 1489 2350
3350 3624 5470
357 1825 5242
595 3372 6062
561 1417 2348
971 3719 5567
1005 1675 2062

000573

FIG. 124

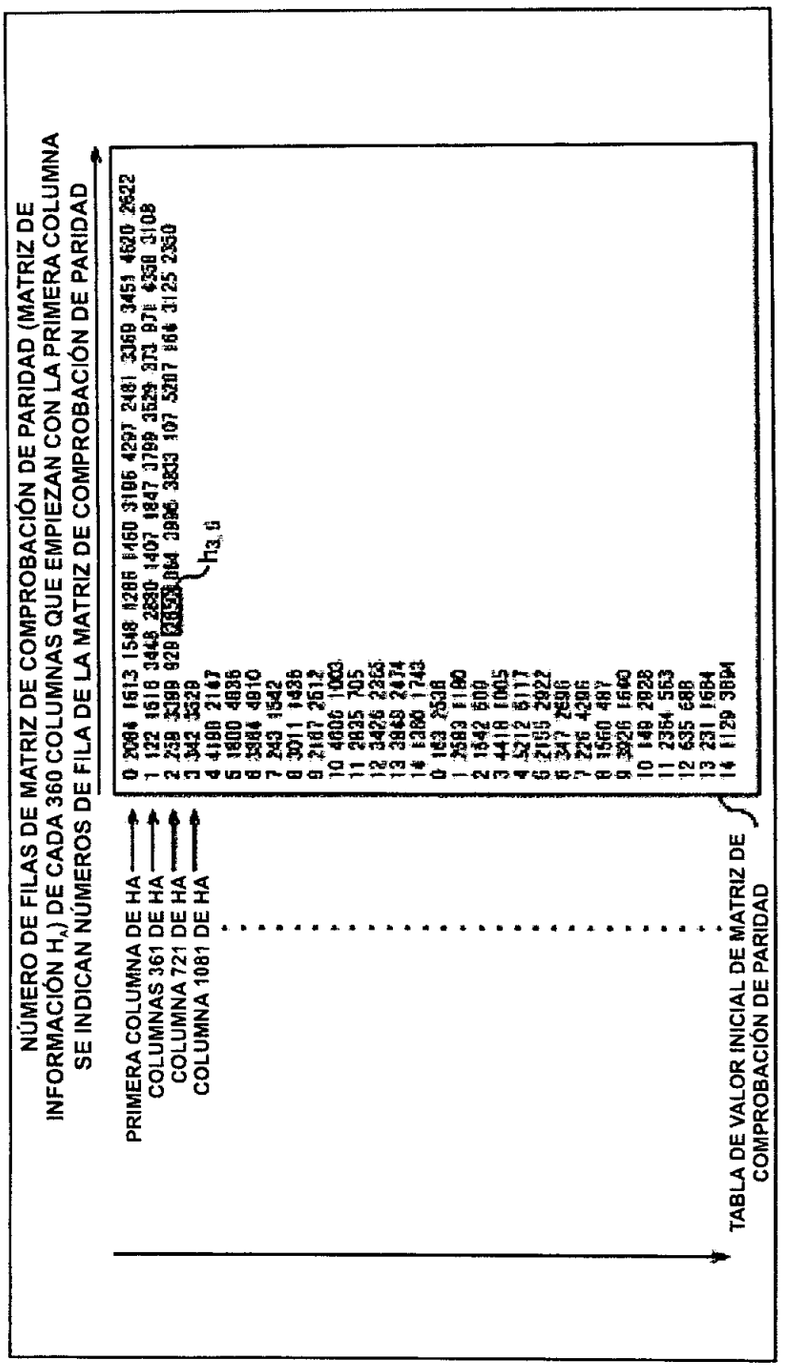


FIG.125

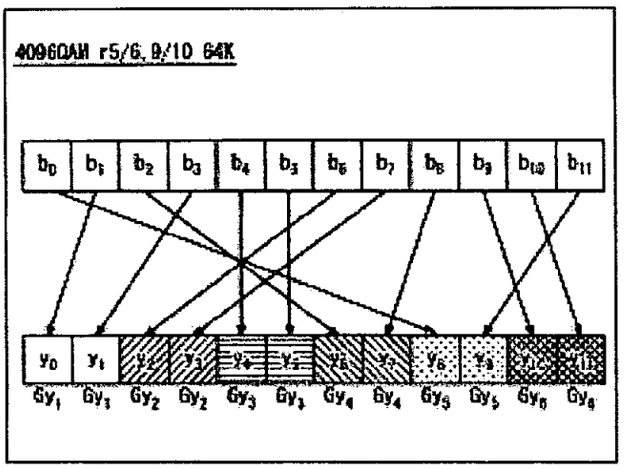

4096QAM r5/6, 9/10 64K
b0 b1 b2 b3 b4 b5 b6 b7 b8 b9 b10 b11
y0 y1 y2 y3 y4 y5 y6 y7 y8 y9 y10 y11
Gy1 Gy3 Gy2 Gy2 Gy3 Gy3 Gy4 Gy4 Gy5 Gy5 Gy6 Gy6

FIG.126

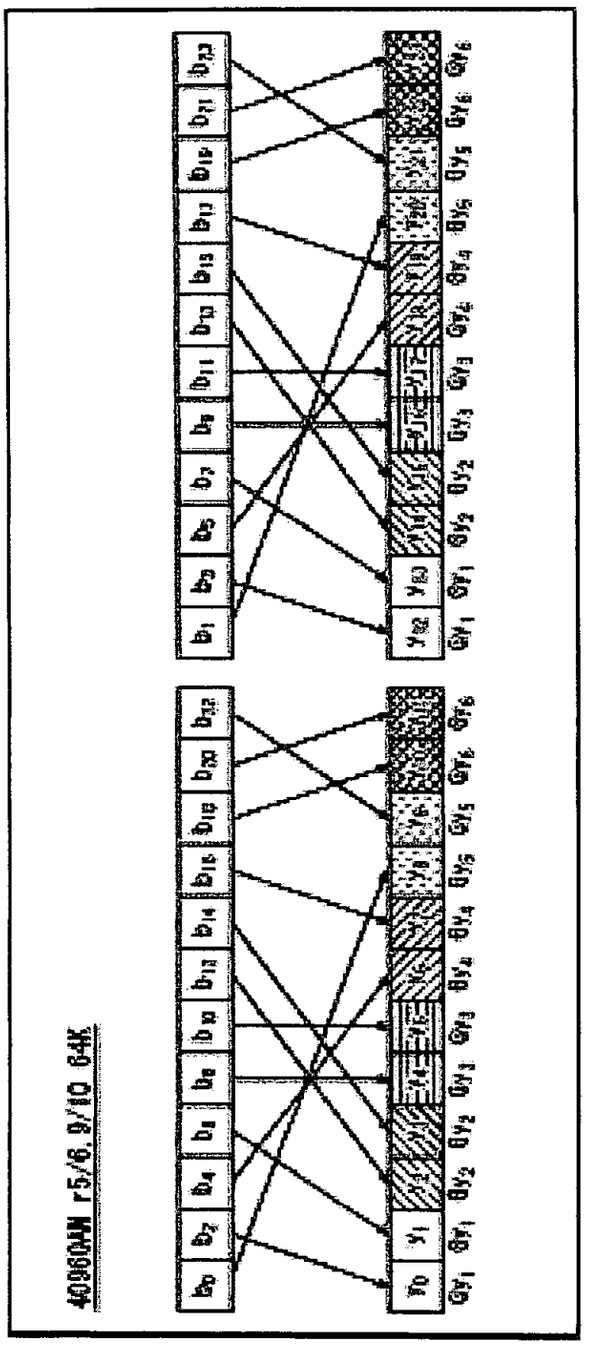


FIG. 127

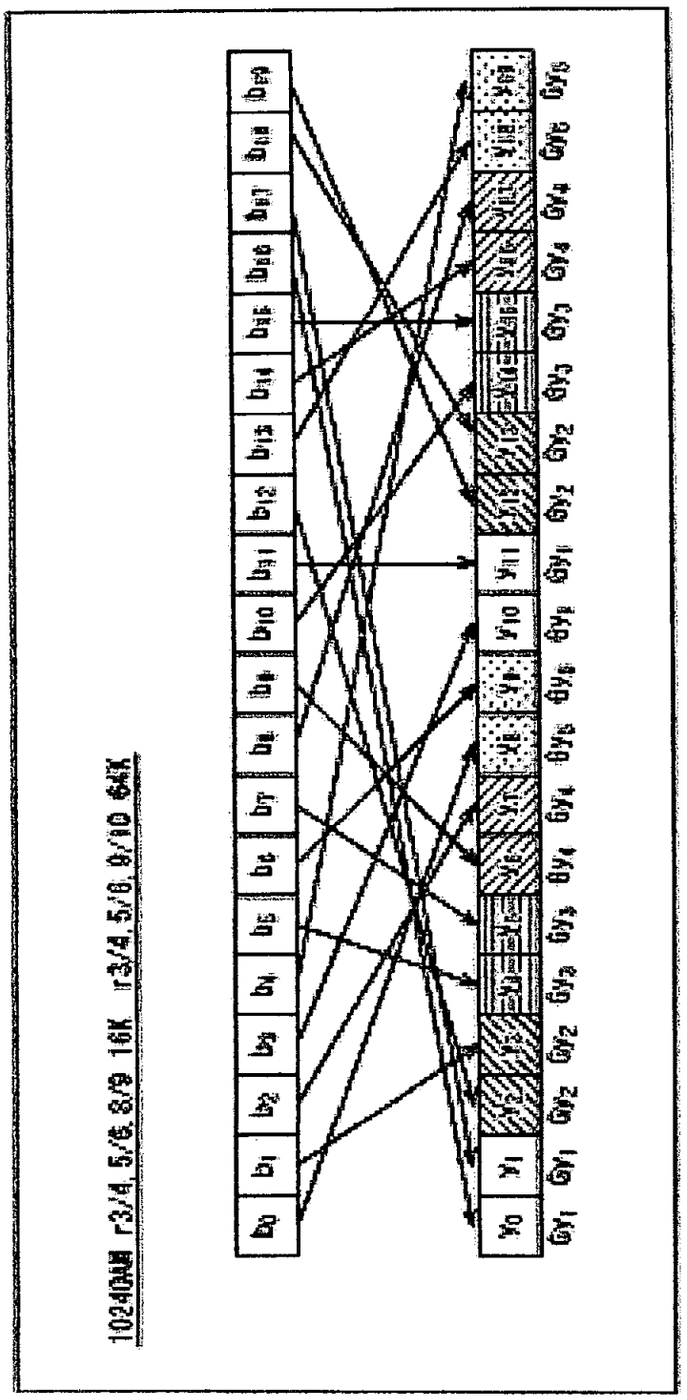


FIG. 128

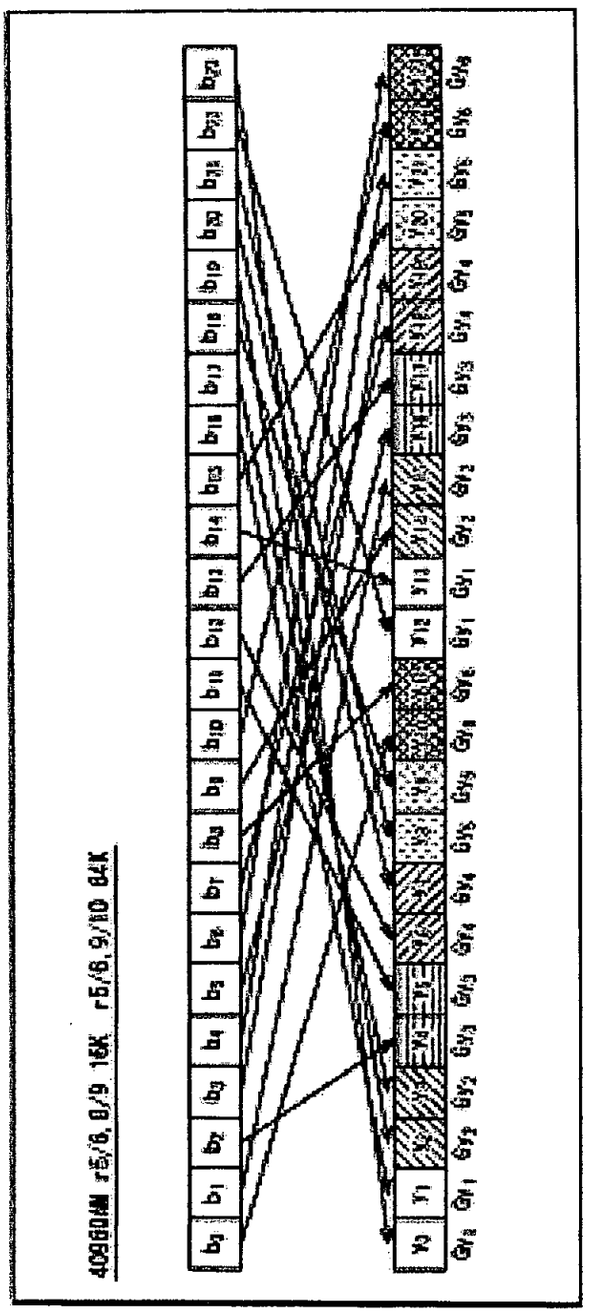


FIG. 129

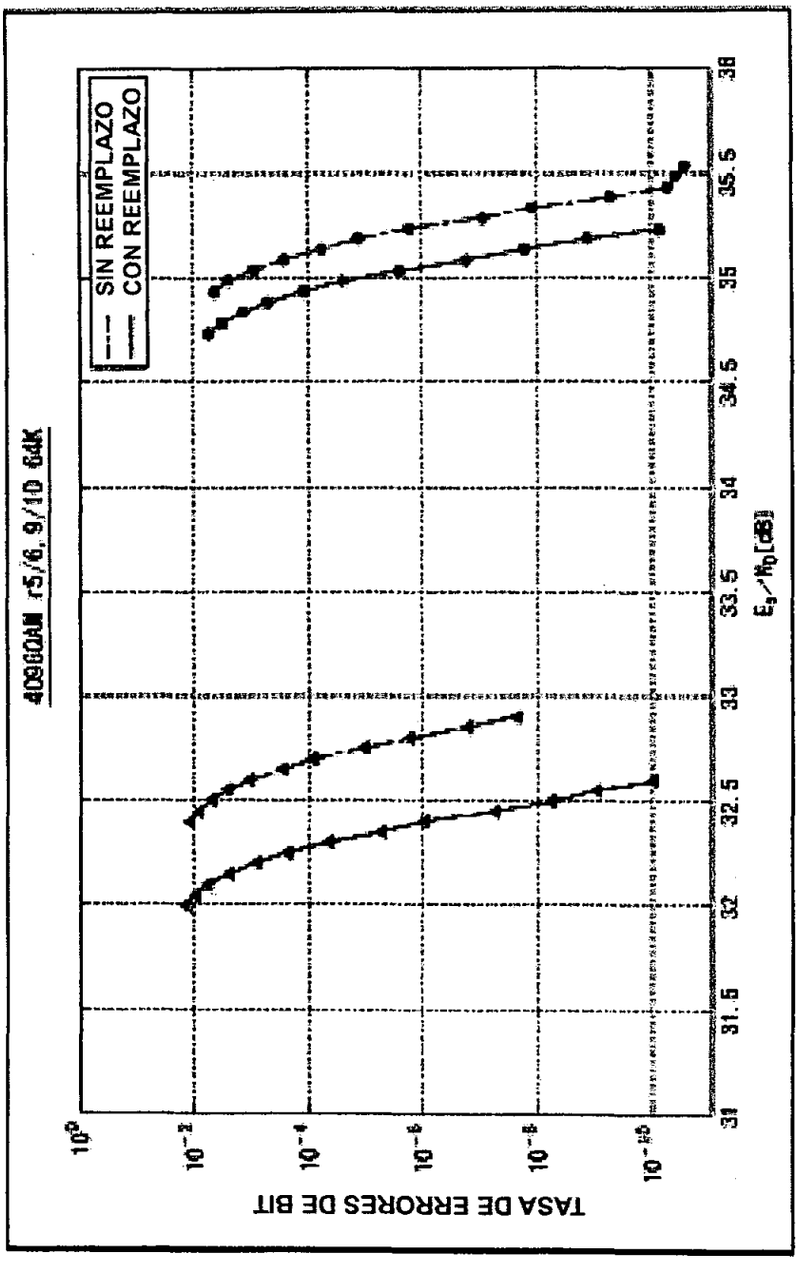
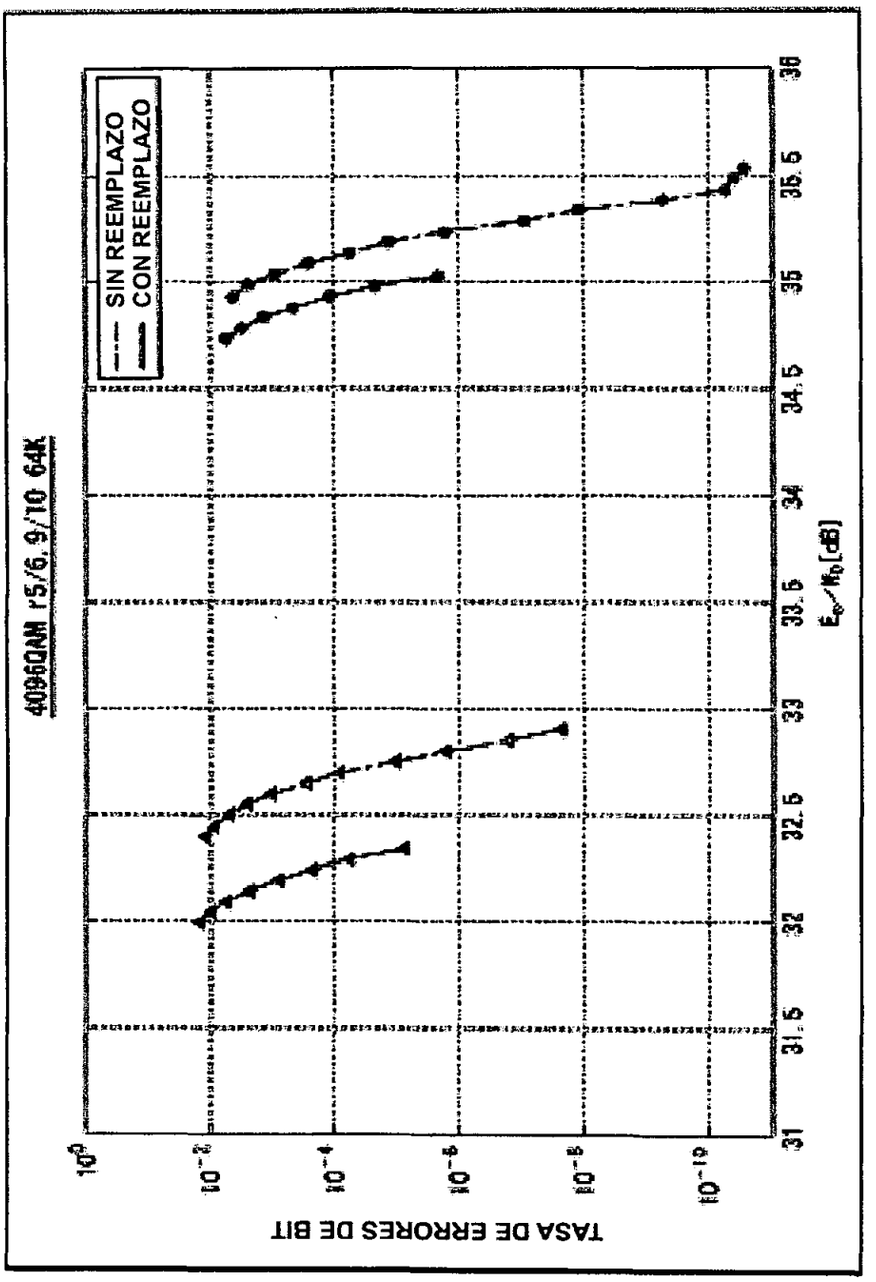

4096QAM r5/6, 9/10 64K
SIN REEMPLAZO
CON REEMPLAZO
TASA DE ERRORES DE BIT
$E_s/N_0$[dB]
$10^{0}$
$10^{-2}$
$10^{-4}$
$10^{-6}$
$10^{-8}$
$10^{-10}$
31
31.5
32
32.5
33
33.5
34
34.5
35
35.5
36

FIG. 130


4096QAM r5/6, 9/10 64K
SIN REEMPLAZO
CON REEMPLAZO
TASA DE ERRORES DE BIT
$E_b/N_0$[dB]
$10^0$
$10^{-2}$
$10^{-4}$
$10^{-6}$
$10^{-8}$
$10^{-10}$
31
31.5
32
32.5
33
33.5
34
34.5
35
35.5
36

000580

FIG.131

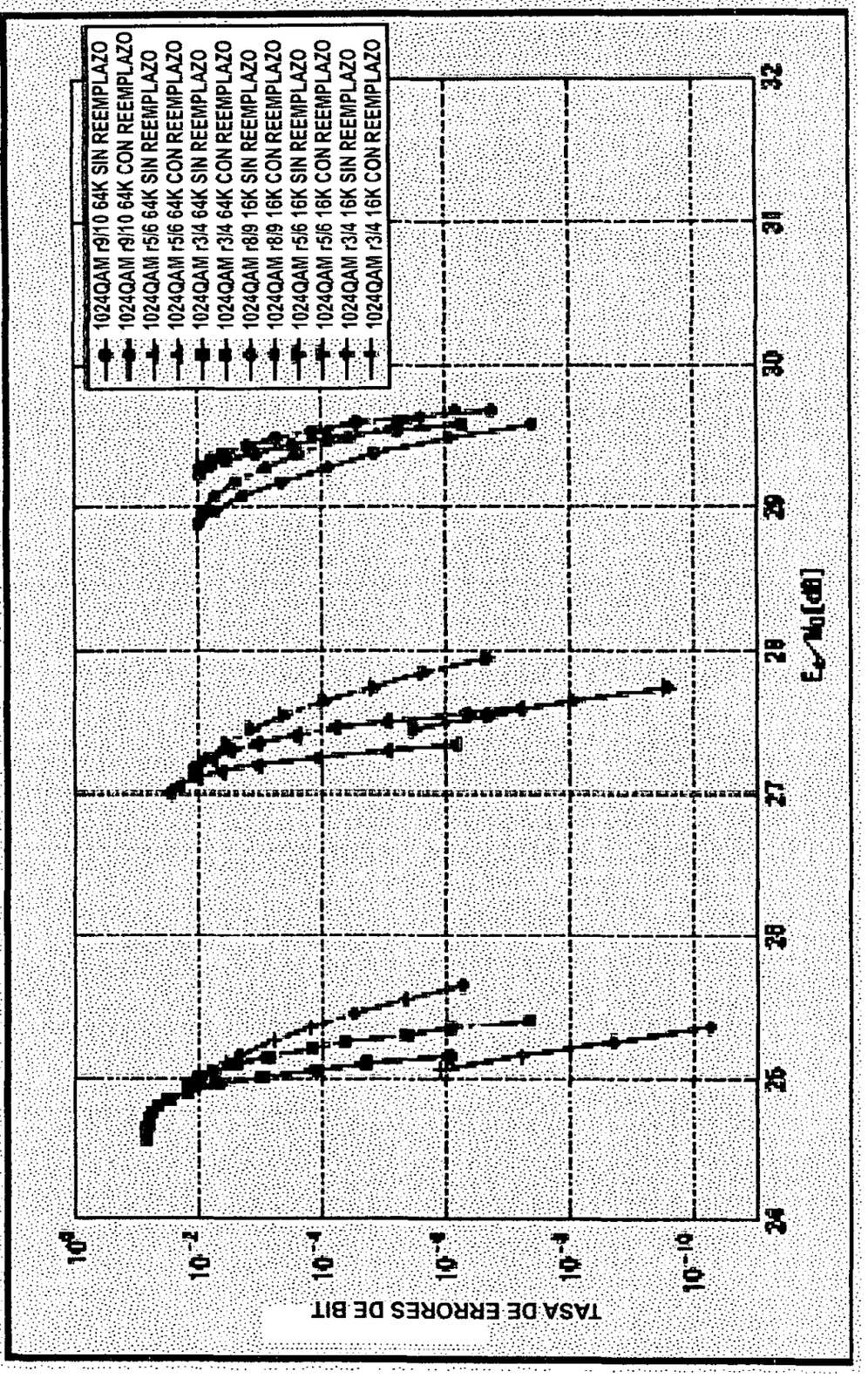


FIG.132

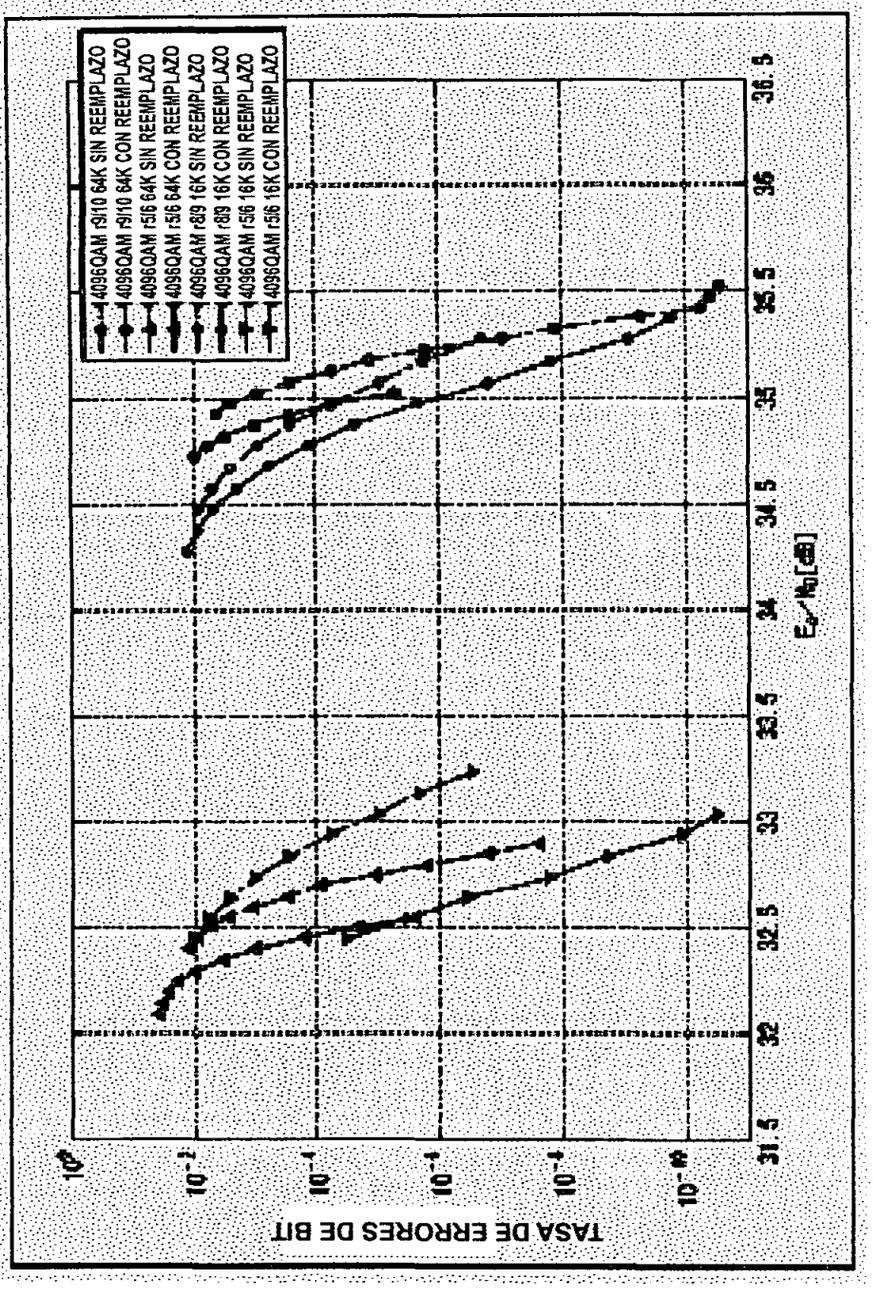

4096QAM r9/10 64K SIN REEMPLAZO
4096QAM r9/10 64K CON REEMPLAZO
4096QAM r5/6 64K SIN REEMPLAZO
4096QAM r5/6 64K CON REEMPLAZO
4096QAM r8/9 16K SIN REEMPLAZO
4096QAM r8/9 16K CON REEMPLAZO
4096QAM r5/6 16K SIN REEMPLAZO
4096QAM r5/6 16K CON REEMPLAZO
TASA DE ERRORES DE BIT
Eb/No[dB]

FIG.133

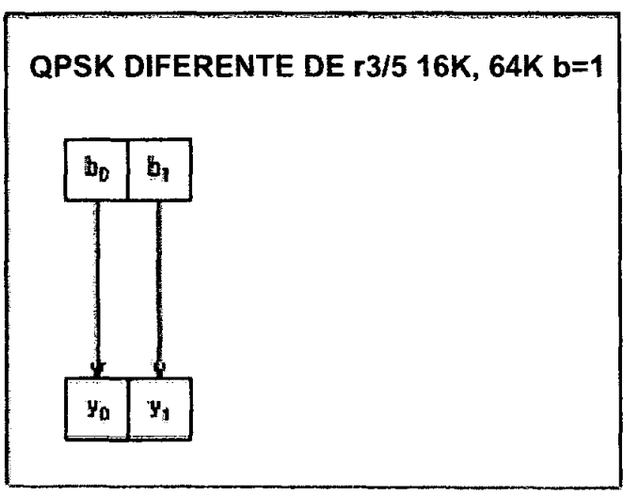
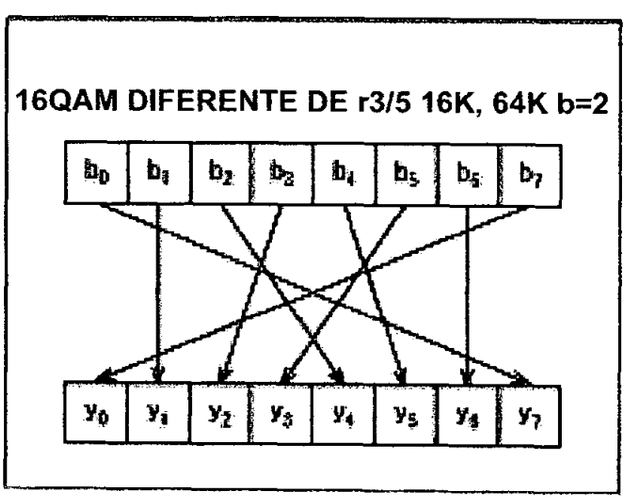


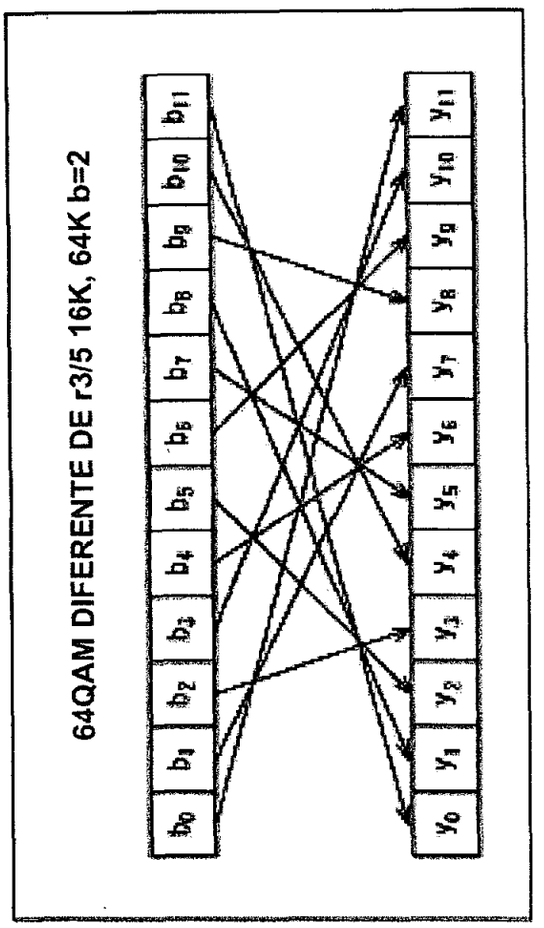

FIG.134



000583



FIG. 135



000534

FIG. 136

000535

FIG.137

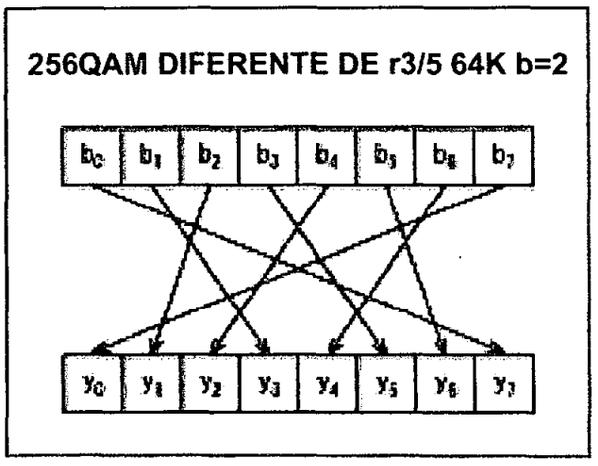
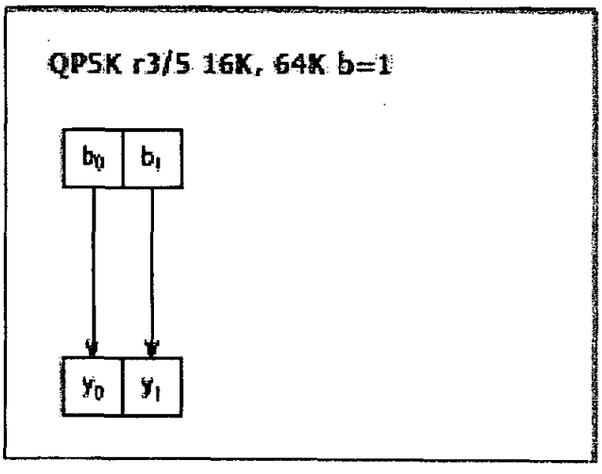



FIG.138



000586

FIG.139

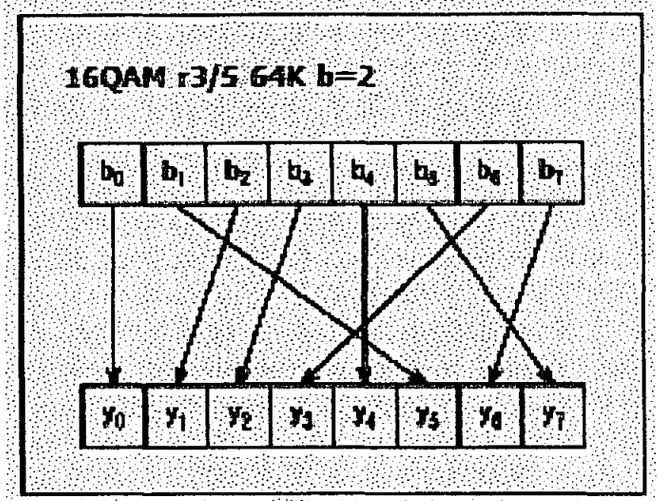



FIG.140

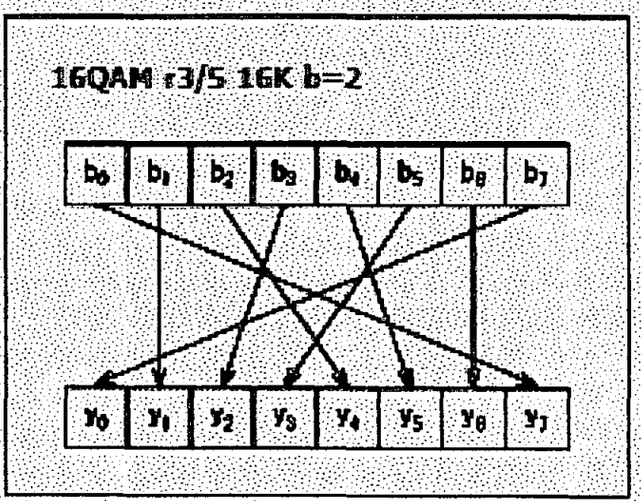


FIG. 141

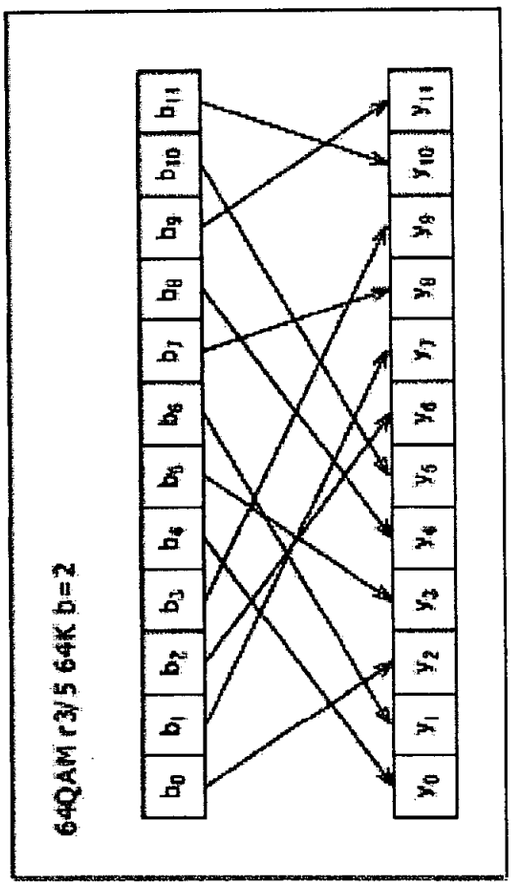
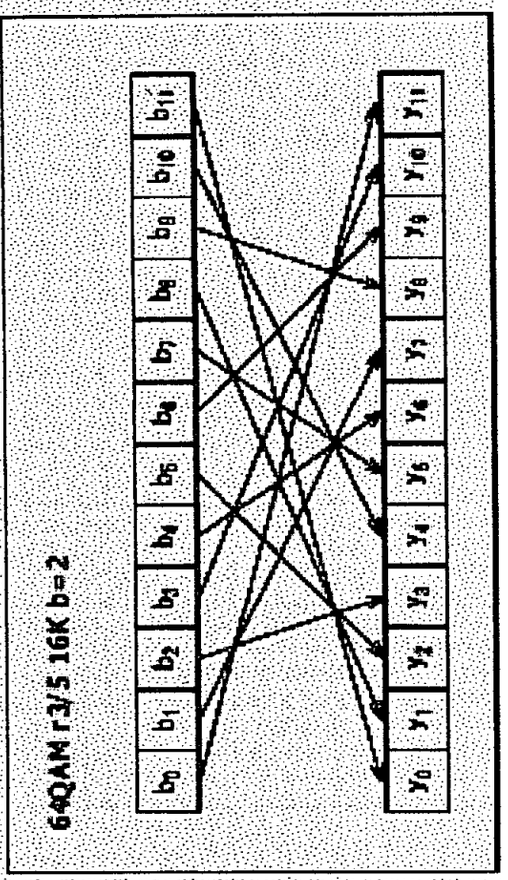
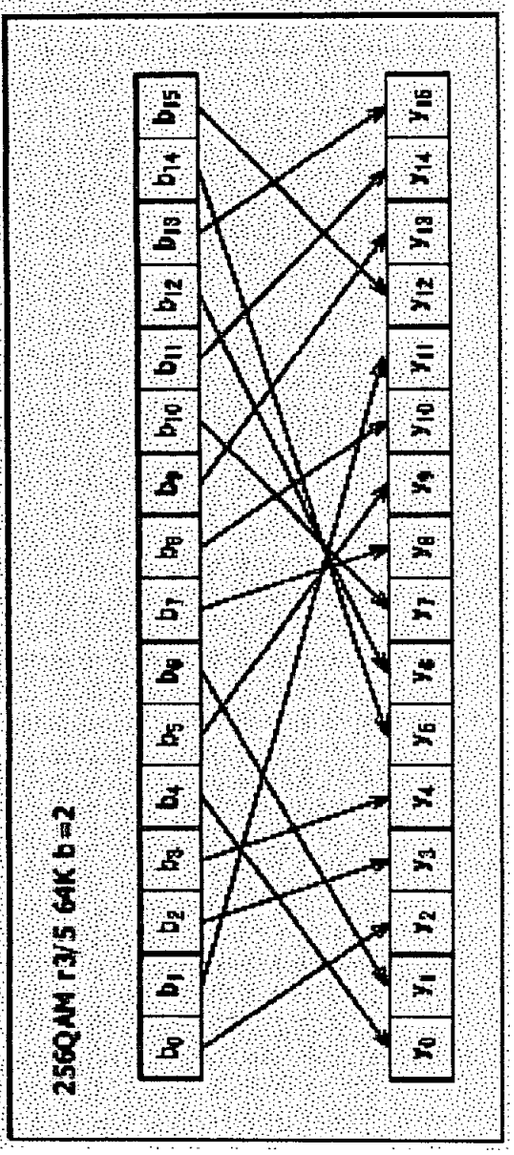

64QAM r3/5 64K b=2
b0
b1
b2
b3
b4
b5
b6
b7
b8
b9
b10
b11
y0
y1
y2
y3
y4
y5
y6
y7
y8
y9
y10
y11

FIG.142


64QAM r3/5 16K b=2
b0 b1 b2 b3 b4 b5 b6 b7 b8 b9 b10 b11
y0 y1 y2 y3 y4 y5 y6 y7 y8 y9 y10 y11

000589

FIG.143



000590

FIG.144

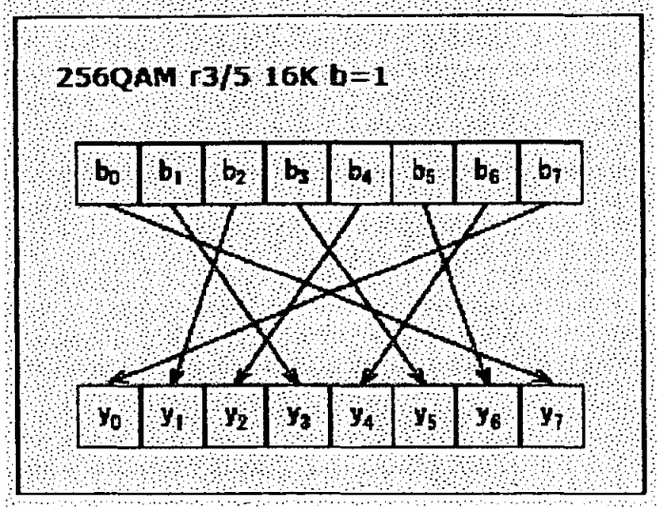


FIG.145

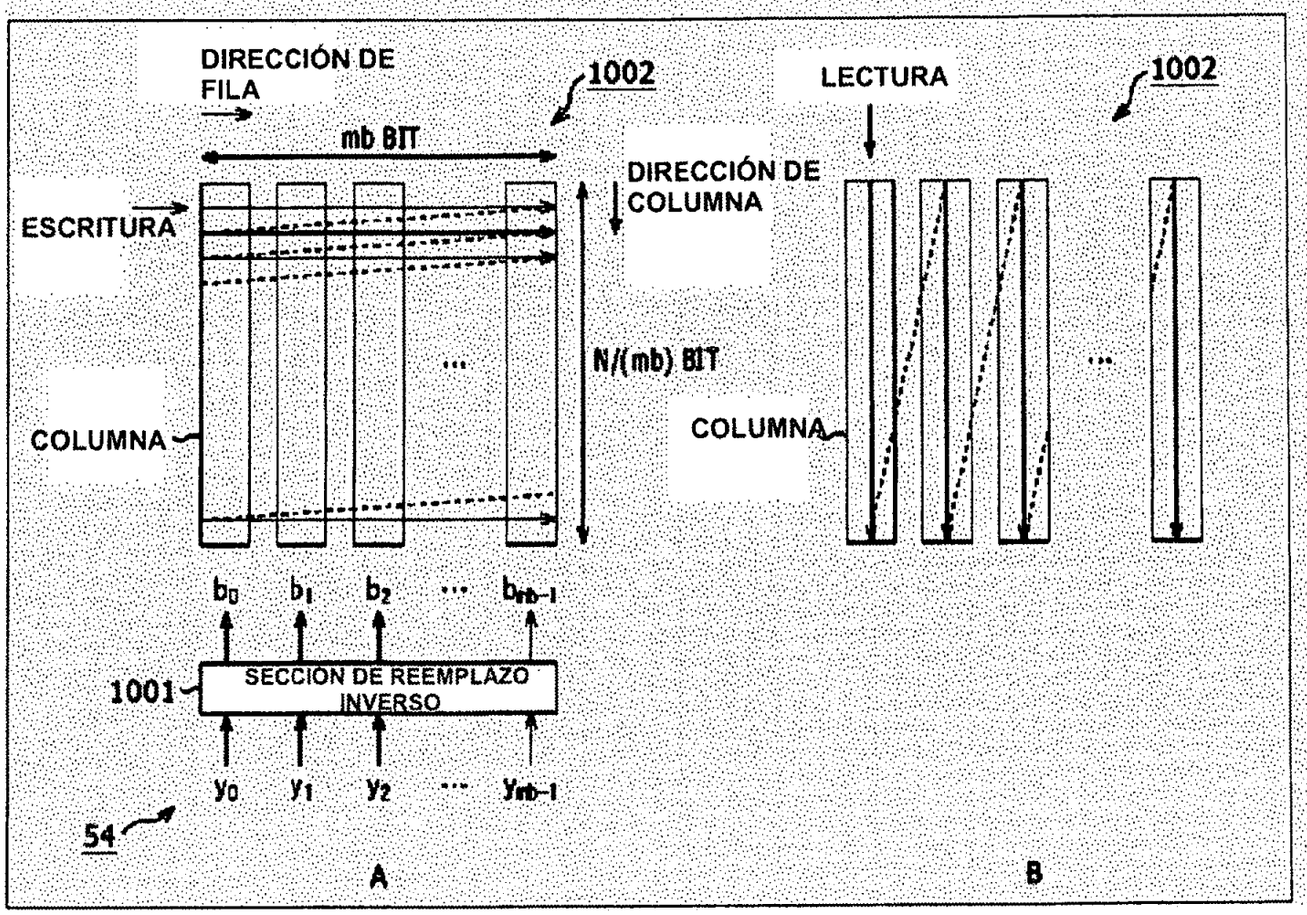
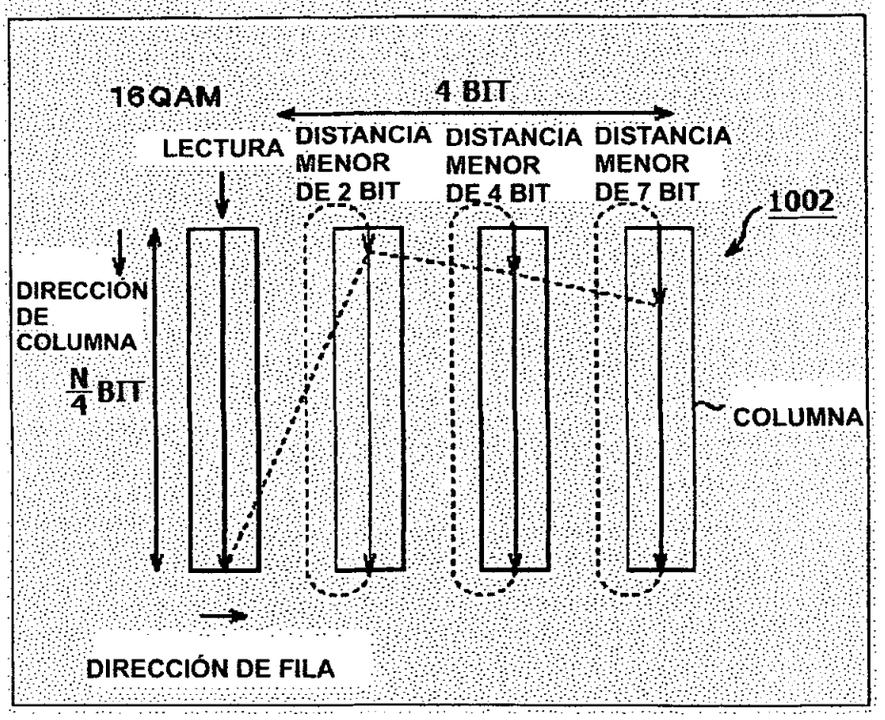

DIRECCIÓN DE FILA
1002
LECTURA
1002
mb BIT
DIRECCIÓN DE COLUMNA
ESCRITURA
N/(mb) BIT
COLUMNA
COLUMNA
$b_0$ $b_1$ $b_2$ ... $b_{mb-1}$
1001
SECCION DE REEMPLAZO INVERSO
$y_0$ $y_1$ $y_2$ ... $y_{mb-1}$
54
A
B

FIG.146


16QAM
4 BIT
LECTURA
DISTANCIA MENOR DE 2 BIT
DISTANCIA MENOR DE 4 BIT
DISTANCIA MENOR DE 7 BIT
1002
DIRECCIÓN DE COLUMNA
N/4 BIT
COLUMNA
DIRECCIÓN DE FILA

000593

FIG.147

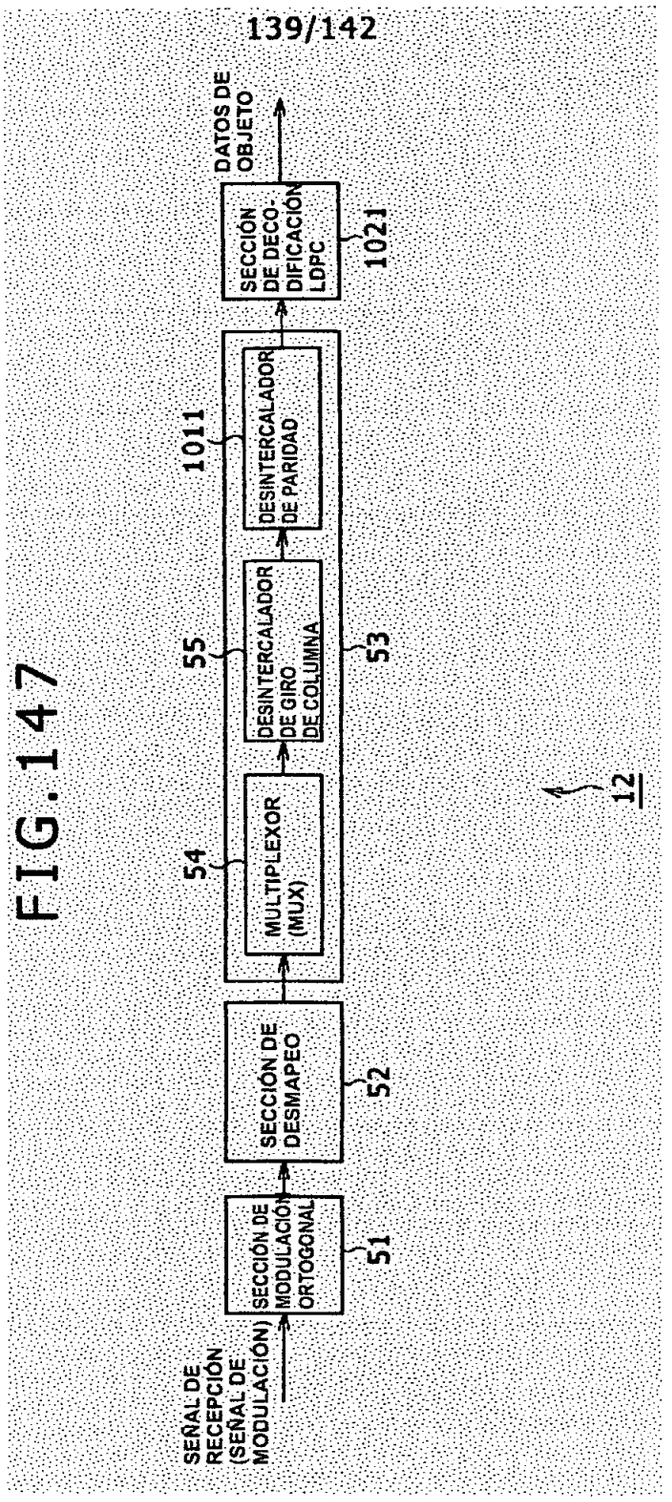
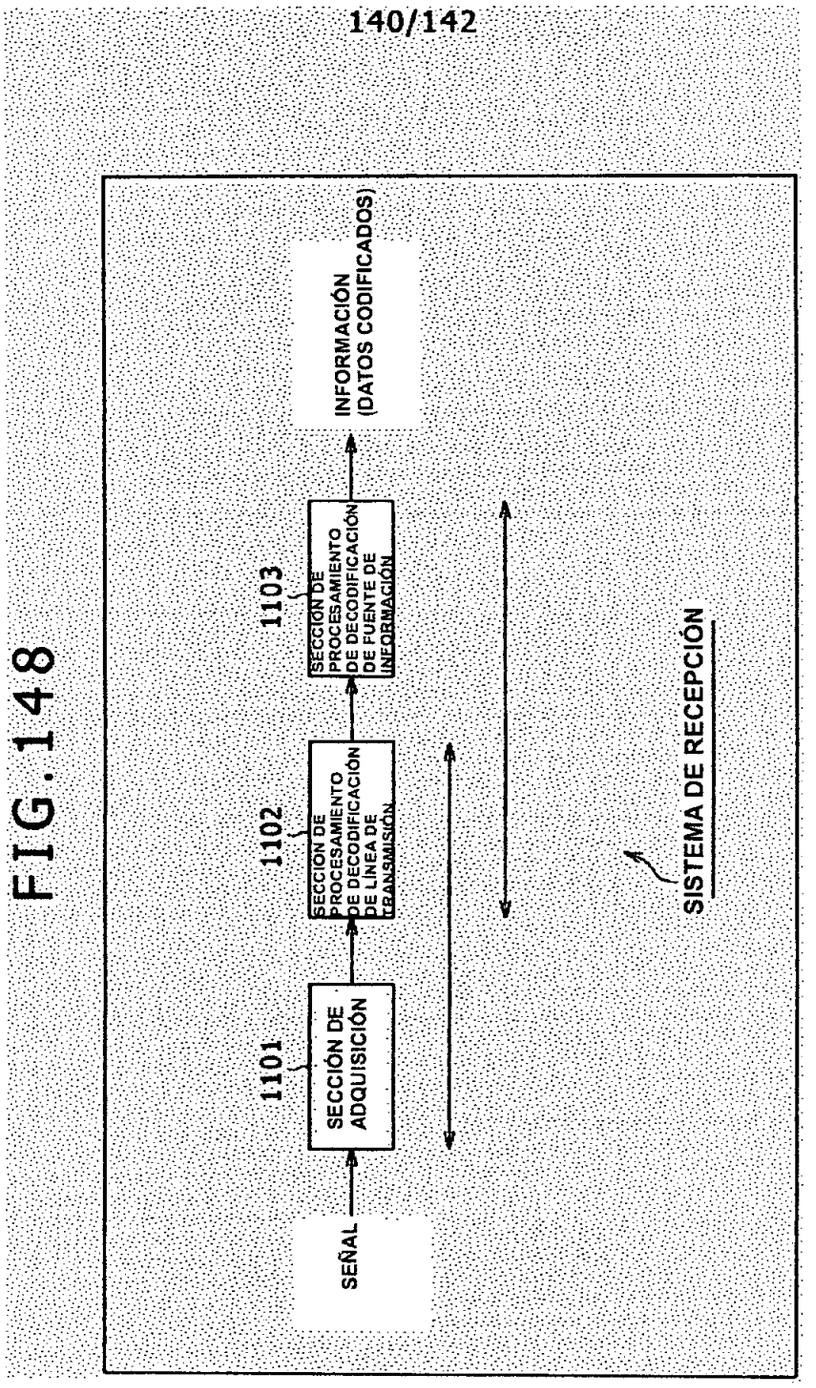
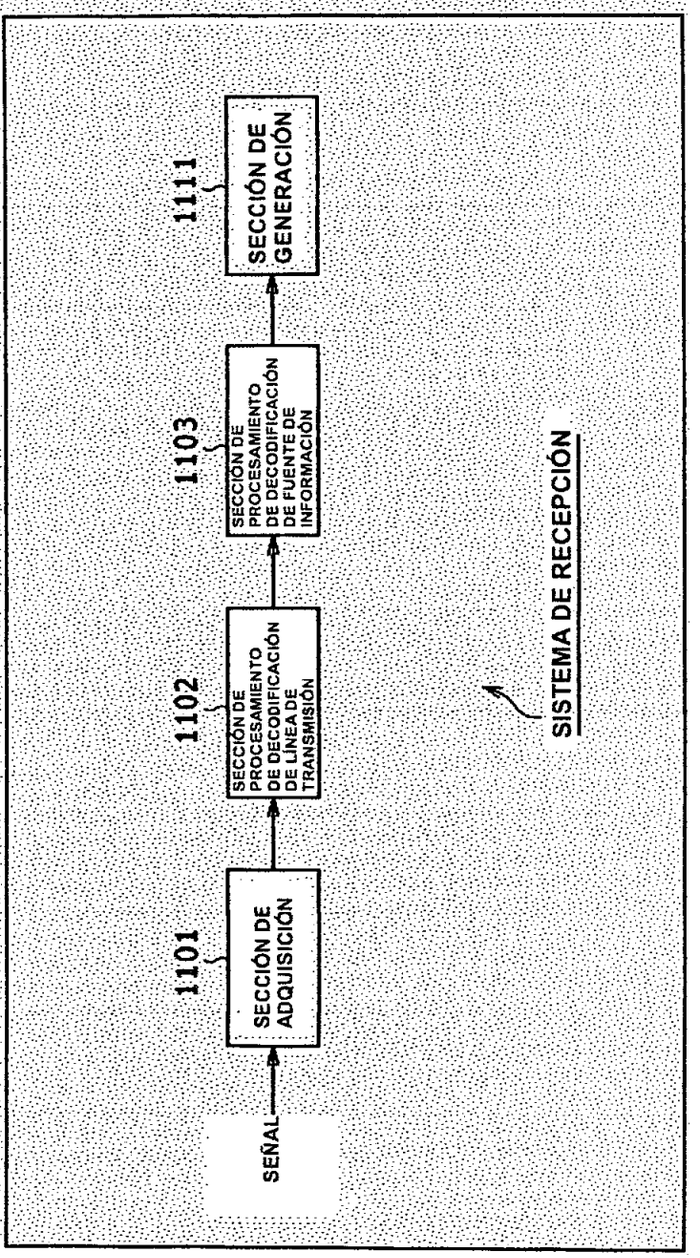


FIG.148


SEÑAL
1101
SECCIÓN DE ADQUISICIÓN
1102
SECCIÓN DE PROCESAMIENTO DE DECODIFICACIÓN DE LÍNEA DE TRANSMISIÓN
1103
SECCIÓN DE PROCESAMIENTO DE DECODIFICACIÓN DE FUENTE DE INFORMACIÓN
INFORMACIÓN (DATOS CODIFICADOS)
SISTEMA DE RECEPCIÓN

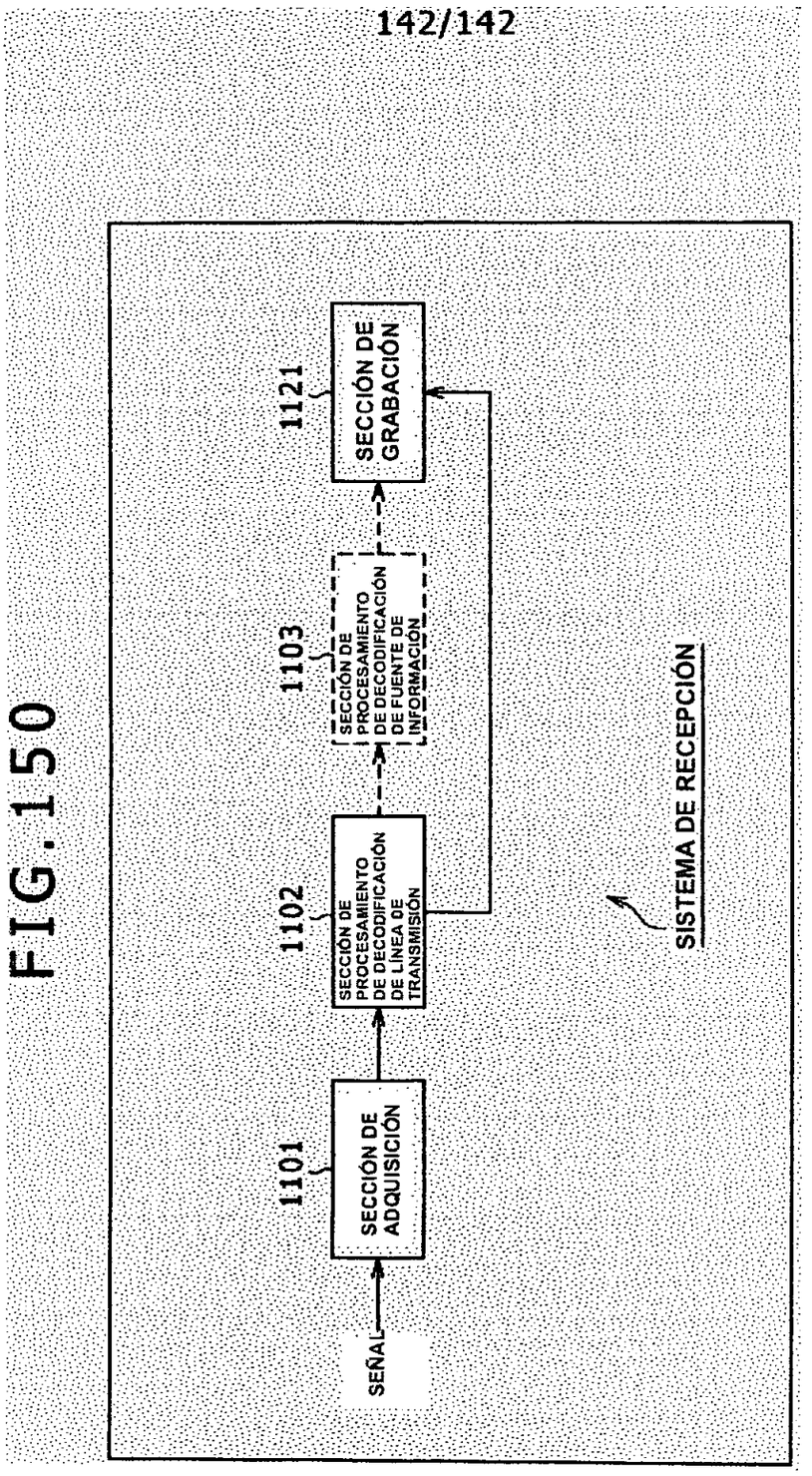
000595

FIG.149



000596

FIG.150



Industria y Comercio
SUPERINTENDENCIA

**SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO**
**DIVISION DE NUEVAS CREACIONES**
**TARJETA ARCHIVO PROPIETARIOS**

000597

PATENTE DE INVENCION ___ PCT __X__ MODELO DE UTILIDAD ___ DISEÑO INDUSTRIAL ___

(21) Nº de solicitud: (22) Fecha de solicitud:

(51) Clasificación Internacional :

(71)Solicitante(s) **SONY CORPORATION**

(72) Inventor(es) **TAKASHI YOKOKAWA, MAKIKO YAMAMOTO, SATOSHI OKADA, RYOJI IKEGAYA**

(74) Apoderado: **DRA. MARGARITA CASTELLANOS ABONDANO**

| (30) Prioridad | (31) | **No. Prioridad** | 32) | **Fecha** | (33) | **País** |
|---|---|---|---|---|---|---|
| | | **2007-304689** | | **26/11/2007** | | **JP** |
| | | **2007-304690** | | **26/11/2007** | | **JP** |
| | | **2008-070467** | | **18/03/2008** | | **JP** |
| | | | | | | |

(85) Fecha inicio fase nacional:
(86) Datos relativos a la presentación de la solicitud PCT
Fecha de presentación de la solicitud: **18/11/2008**
No. de solicitud **PCT/JP2008/070960**

(87) Publicación internacional
Fecha: **04/06/2009**
Nº publicación: **WO 2009/069513 A1**

(54) Título: **APARATO PARA PROCESAMIENTO DE DATOS Y METODO PARA PROCESAMIENTO DE DATOS ASI COMO TAMBIEN APARATO DE CODIFICACION Y METODO DE CODIFICACION**

Industria y Comercio
SUPERINTENDENCIA

**SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO**
**DIVISION DE NUEVAS CREACIONES** 000598
**EXTRACTO PARA PUBLICACIÓN**
**SOLICITUD DE PATENTE DE INVENCIÓN PCT**

21) Nº de solicitud:

22) Fecha de solicitud:

30) Prioridad (31) Nº Prioridad 32) Fecha (33) País
**2007-304689 26/11/2007 JP**
**2007-304690 26/11/2007 JP**
**2008-070467 18/03/2008 JP**

(51) int. Cl.:

(71)Solicitante(s) **SONY CORPORATION**

(72) Inventor(es) **TAKASHI YOKOKAWA**
**MAKIKO YAMAMOTO**
**SATOSHI OKADA**
**RYOJI IKEGAYA**

(74) Apoderado: **MARGARITA CASTELLANOS ABONDANO**

(85) Fecha límite inicio fase nacional:
(86) Datos relativos a la presentación de la solicitud PCT
Fecha de presentación de la solicitud: **18/11/2008**
Nº de solicitud **PCT/JP2008/070960**

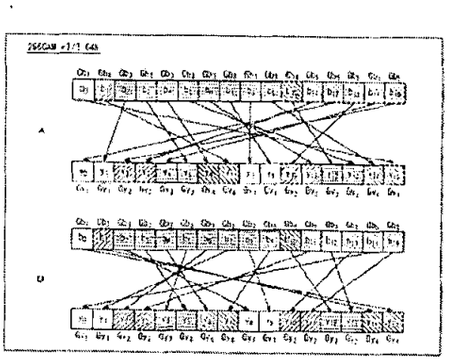
(87) Publicación internacional
Fecha: **04/06/2009**
Nº publicación: **WO 2009/069513 A1**

(54) Titulo: **APARATO PARA PROCESAMIENTO DE DATOS Y METODO PARA PROCESAMIENTO DE DATOS ASI COMO TAMBIEN APARATO DE CODIFICACION Y METODO DE CODIFICACION**

Reivindicación(es):

1. Un aparato de procesamiento de datos, en donde:
Donde los bits de código de un código LDPC (Low Density Parity Check) que tiene una longitud de código de N bits se describen en una dirección de columna de los medios de almacenamiento para almacenar los bits de código en una dirección de fila y la dirección de columna y m bits de los bits de código del código LDPC leído en la dirección de fila se establecen como un símbolo, y además
Un entero positivo predeterminado se representa por b,
Dichos medios de almacenamiento almacenan mb bits en la dirección de fila y almacenan N/ (mb) bits en la dirección de columna;
Los bits de código del código LDPC que son escritos en la dirección de columna de dichos medios de almacenamiento leídos en la dirección de fila;
Dicho aparato de procesamiento de datos que comprende medios de reemplazo para reemplazar,
Donde los mb bits de código leídos en la dirección de fila de dichos medios de almacenamiento establecidos como los símbolos b,
Los mb bits de código tal que los bits de código después del reemplazo forman los bits de símbolo representativos de los símbolos;
El código LDPC es un código LDPC que es prescrito en el estándar DVB-S.2 o DVB-T.2 y que tiene una longitud de código N de 64,800 bits y tiene un índice de codificación de 2/3;
Los m bits que son 8 bits mientras que el entero b es 2;
Los 8 bits del bit de código es mapeado como un símbolo a unos de los 256 puntos de señal prescritos en 256QAM;
Dichos medios de almacenamiento tienen 16 columnas para almacenar 8 x 2 bits en la dirección de fila y almacena 64,800/(8 x 2) bits en la dirección de columna;
Dichos medios de reemplazo que llevan a cabo,
Donde el i+1avo bit del bit más significativo de los 8 x 2 bits de código leídos en la dirección de fila de dichos medios de almacenamiento están representados por el bit $b_i$ y el bit i+1avo del bit más significativo de los 8 x 2 bits de símbolo de dos símbolos sucesivos se representa como el bit $y_i$,
Reemplazo para asignar
El bit $b_0$ al bit $y_{15}$,
El bit $b_1$ al bit $y_7$,
El bit $b_2$ al bit $y_1$,
El bit $b_3$ al bit $y_5$,
El bit $b_4$ al bit $y_6$,
El bit $b_5$ al bit $y_{13}$,
El bit $b_6$ al bit $y_{11}$,
El bit $b_7$ al bit $y_9$,
El bit $b_8$ al bit $y_8$,
El bit $b_9$ al bit $y_{14}$,
El bit $b_{10}$ al bit $y_{12}$,
El bit $b_{11}$ al bit de bit $y_3$,
El bit $b_{12}$ al bit de bit $y_0$,
El bit $b_{13}$ al bit de bit $y_{10}$,
El bit $b_{14}$ al bit de bit $y_4$, y
El bit $b_{15}$ al bit de bit $y_2$.

2. El método de procesamiento de datos, en donde:
Donde los bits de código de un código LDPC (Low Density Parity Check) tiene una longitud de código de N bits se describen en una dirección de columna de los medios de almacenamiento para almacenar los bits de código en una dirección de fila y la dirección de columna y m bits de los bits de código del código LDPC leídos en la dirección de fila se establecen como un símbolo, y además
Un entero positivo predeterminado se representa por b,
Dichos medios de almacenamiento almacenan mb bits en la dirección de fila y almacenan N/ (mb) bits en la dirección de columna;
Los bits de código del código LDPC son escritos en la dirección de columna de dichos medios de almacenamiento y leídos en la dirección de fila;
Dicho aparato de procesamiento de datos que comprende una etapa de reemplazo para reemplazar,
Donde los mb bits de código leídos en la dirección de fila de dichos medios de almacenamiento establecidos como los símbolos b,
Los mb bits de código tal que los bits de código después del reemplazo forman los bits de símbolo representativos de los símbolos;
...



Industria y Comercio
SUPERINTENDENCIA

**ADI**

SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO

**No. 10-076878- -00000-0000**

Fecha: 2010-06-25 13:45:38 Dep: 2020 DIR.NUEVASCR
Tra: 11 PATENTEIYII Eve: 378 FASENACIONALI
Act: 411 PRESENTACION Folios: 598

**PATENTE DE INVENCION** [ ] **MODELO DE UTILIDAD** [ ] **Art. 33 Decisión 486/00**

- [ ] Indicación que se solicita una patente
- [ ] Datos de identificación del solicitante o de la persona que presenta la solicitud
- [ ] Descripción de la invención
- [ ] Dibujos de ser estos pertinentes
- [ ] Comprobante de pago de las tasas establecidas (de ser el caso formato de descuento)

Completa [ ] Incompleta [ ]

**PATENTE DE INVENCION PCT** [X] **MODELO DE UTILIDAD PCT** [ ] **Art. 33 Decisión 486/00 Circular Única**

- [X] Indicación que se solicita una PCT
- [X] Datos de identificación del solicitante o de la persona que presenta la solicitud
- [X] Copia de la solicitud en español, tal como fue presentada inicialmente (capítulo descriptivo, reivindicatorio, resumen)
- [X] Dibujos de ser estos pertinentes
- [X] Comprobante de pago de las tasas establecidas (de ser el caso formato de descuento)

Completa [X] Incompleta [ ]

**DISEÑO INDUSTRIAL** [ ] **(Art. 119 Decisión 486/00)**

- [ ] Indicación que se solicita diseño industrial
- [ ] Datos de identificación del solicitante o de la persona que presenta la solicitud
- [ ] Representación gráfica y fotográfica del Diseño Industrial o muestra del material que incorpora el diseño
- [ ] Comprobante de pago de las tasas establecidas

Completa [ ] Incompleta [ ]

**ESQUEMA DE TRAZADO** [ ] **(Art. 92 Decisión 486/00)**

- [ ] Indicación que se solicita un esquema de trazado
- [ ] Datos de identificación del solicitante o de la persona que presenta la solicitud
- [ ] Representación gráfica de un esquema de trazado
- [ ] Comprobante de pago de las tasas establecidas

Completa [ ] Incompleta [ ]

Industria y Comercio
SUPERINTENDENCIA

Bogotá D.C.,
2020

Doctor(a)
MARGARITA CASTELLANOS ABONDANO
Apoderado(a) y/o Representante de
SONY CORPORATION

| | | |
|---|---|---|
| REFERENCIA | Radicación No. | 10 076878 |
| | Solicitud internacional | PCT/JP2008/070960 |
| | Fecha inicio fase nacional | 26/06/2010 |
| | Trámite | 11 |
| | Evento | 378 |
| | Actuación | 430 |
| | Oficio No. | 008954 |

Como resultado del examen de forma, realizado con fundamento en el artículo 38 de la Decisión 486 de la Comisión de la Comunidad Andina, artículo 27 del Tratado de Cooperación en Materia de Patentes (PCT), regla 51 bis del Reglamento y Circular Única de la Superintendencia de Industria y Comercio, se le comunica que:

1. La solicitud no contiene el poder debidamente otorgado, con el lleno de los requisitos exigidos por los artículos 63 y subsiguientes del Código de Procedimiento Civil. Adicionalmente, deberá presentar el documento que acredita la existencia y representación legal de la sociedad solicitante, cuando ésta fuere persona jurídica.

2. La solicitud no contiene la copia del documento en que consta la cesión del derecho a la patente del inventor al solicitante o a su causante, conforme a lo establecido por el artículo 26 literal k) de la Decisión 486 de la Comisión de la Comunidad Andina. Cuando se trate de documentos otorgados en el extranjero, estos deberán legalizarse de conformidad con lo dispuesto por los artículos 259 y 260 del Código de Procedimiento Civil. Cuando se trate de las declaraciones a que hace referencia la Regla 4.17 ii) del Tratado de Cooperación en Materia de Patentes PCT., el alcance de las tales declaraciones se determinará según indiquen claramente una cesión de derechos del inventor al solicitante o su causante, de conformidad con lo dispuesto en el numeral 5.2.15 del Capítulo Quinto, Título X de la Circular Única de Superintendencia de Industria y Comercio.

En cumplimiento de lo dispuesto por el artículo 39 de la Decisión 486, se le requiere para que dentro del término de dos meses siguientes a la fecha de notificación del presente oficio, complete los requisitos anteriormente enunciados. En caso de no dar cumplimiento al presente requerimiento, la solicitud se considerará abandonada y perderá su prelación.

Continua en la página siguiente...

Notifíquese el presente oficio conforme a lo dispuesto en el numeral 5.2, literal e), del capítulo quinto del título primero de la Circular Unica No.10 de 2001.

ALIX CARMENZA CESPEDES DE VERGEL
Directora de Nuevas Creaciones (c)

El anterior requerimiento fue notificado por fijación en lista de fecha 16 JUL. 2010
adpa11



Sede Centro: Carrera 13 No. 27-00 Pisos 2, 5 , 7 y 10 PBX: 5870000
Sede CAN: Av. Cra 50 No. 26-55 int. 2 Tel: 5880070
Call Center 6513240. Línea 01800-910165
Web: www.sic.gov.co e-mail: info@sic.gov.co