

SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO	
RAD: 10-76881- -6	FECHA: 2013-01-22 13:58:54
DEP: 2020 DIRECCION DE NUEVAS CREACIONES	EVE: 378 FASE NACIONAL INCLUIDO CAPITULO I
TRA: 11 PCT-PATENTE DE INVENCION CAPITULOS I Y II	FOLIOS: 15
ACT: 519 PRESENTACION	

DIRECCIÓN DE NUEVAS CREACIONES

2020
Bogotá, D.C.,

Abogado(a)/Señor(a)
CASTELLANOS ABONDANO MARGARITA
info@castellanosyco.co

Asunto: Radicación: 10-76881- -6
Trámite: 11
Evento: 378
Actuación: 519
Oficio: 908
Folios: 15

Patente de Invención	X			Patente de Modelo de Utilidad	
Vía Nacional					
Vía PCT (Fase Nacional)	X	Capítulo I	X	Capítulo II	
No. Solicitud Internacional	PCT/JP2008/071385				
Fecha de Presentación Internacional	26/11/2008				

Como resultado del Examen de Fondo realizado, con fundamento en el Artículo 45 de la Decisión 486 de la Comisión de la Comunidad Andina, se comunica:

1. Documentos estudiados

Descripción:	Folios 237 a 354	25/Junio/2010
Reivindicaciones:	Folios 490 a 510	15/Julio/2010
Dibujos:	Folios 384 a 484	25/Junio/2010
Prioridades:	JP 2007-304690	26/Noviembre/2007
	JP 2008-070467	18/Marzo/2008

2. Análisis de la Prioridad

Se acepta la reivindicación de Prioridad porque: esta solicitud fue presentada dentro del plazo establecido (Art. 9 D 486) y su contenido técnico corresponde con el de la prioridad reivindicada.

3. Objeto de la invención

De acuerdo con lo establecido en el numeral 1.2.2.2 del Capítulo Primero del Título X de la Circular Única para efectos del examen de patentabilidad, se tendrá en cuenta la tasa pagada por el solicitante al momento de comenzar el examen para las reivindicaciones adicionales; esto es que cuando la solicitud contenga más de diez (10) reivindicaciones y

no se haya pagado la tasa complementaria, sólo se estudiarán las cubiertas por la tasa pagada.

Título de la solicitud: “Aparatos para el procesamiento de datos y método para el procesamiento de datos”.

El problema planteado en esta solicitud consiste en la necesidad de proporcionar un intercalador para intercalar bits de códigos de un código LDPC entre la modulación y codificación LDPC, para reducir la probabilidad de que una pluralidad de los nodos variables conectados a un nodo de comprobación puedan presentar un error (mejorar la tolerancia a errores de los bits de códigos de un código LDPC tales como errores en ráfaga o borrado).

Para resolver este problema técnico la solicitud en estudio proporciona un aparato de procesamiento de datos que intercala datos que incluye medios de disposición para llevar a cabo un proceso de re disposición de bit de códigos del código LDPC de tal manera que una pluralidad de bit de código corresponde al valor 1 incluido en una fila arbitraria de la matriz de comprobación de paridad que no está incluida en el mismo símbolo. Dicho proceso se lleva a cabo cuando se transmite un código LDPC como un símbolo o símbolos cada uno formado de dos o más bits de códigos del mismo.

El objeto de la presente Solicitud se relaciona con la Clasificación Internacional de Patentes (CIP): H 03 M 13/19, 13/27.

4 . No es una invención (Art 15 D 486 literal (e))

El objeto de las reivindicaciones 1 a 33 no se considera una invención, de acuerdo con el Art citado.

De acuerdo a lo anterior, el Tribunal de Justicia de la Comunidad Andina declara que: *“Es necesario aclarar, que de conformidad con el ordenamiento jurídico andino, los programas de ordenador son objeto de protección dentro del ámbito de los derechos de autor, contenidos en la Decisión 351 de la Comisión del Acuerdo de Cartagena. Al que se hará referencia de manera ilustrativa.*

La disposición del artículo 4 de la Decisión 351 incluye, entre las obras objeto de protección, como si se tratase de obras literarias (artículo 23), a los programas de ordenador (literal I), entendidos tales programas (Software) como la expresión de un conjunto de instrucciones mediante palabras, códigos, planes o en cualquier otra forma que, al ser incorporadas en un dispositivo de lectura automatizada, es capaz de hacer que un ordenador —un aparato electrónico o similar capaz de elaborar informaciones— ejecute determinada tarea y obtenga determinado resultado. El programa comprende la documentación técnica y los manuales de uso (artículo 3)”¹.

Para determinar si la solicitud que involucra un programa de computador puede ser considerada materia elegible a estudio de patentabilidad, se deben cumplir los siguientes criterios: (1) la invención reivindicada, debe estar dirigida a una de las dos categorías legales aceptables según el artículo 14 de la Decisión 486: producto o procedimiento, y (2) la materia reclamada, no debe ser dirigida por completo a una excepción a la patentabilidad de las relacionadas en el artículo 15 de la Decisión 486.

A continuación, se brindan las definiciones de procedimiento, máquina y producto:

¹ Proceso 85-IP-2009, Tribunal de Justicia de la Comunidad Andina, págs. 10 y 11.

Procedimiento, Método o proceso: es un acto o una serie de actos o pasos que están vinculados a una determinada máquina, aparato ó dispositivo, o a la transformación de un artículo en particular a un estado u objeto diferente.

Máquina: es un objeto concreto, tangible, que consta de partes, o de ciertos dispositivos y por la combinación e interacción de dichos dispositivos. Esto incluye todos los dispositivos mecánicos, o una combinación de fuerzas mecánicas y dispositivos para realizar alguna función y producir un determinado efecto o resultado.

Producto: es un artículo producido a partir de las materias primas o preparados, dando a estos materiales nuevas formas, cualidades, propiedades, o combinaciones, ya sea por herramientas manuales o por maquinaria.

Se debe tener en cuenta que si la materia reclamada, siendo dicha materia una excepción a la patentabilidad, es limitada en su aplicación a una determinada aplicación práctica, puede llegar a ser elegible a estudio. Para aclarar este concepto, es necesario precisar que una aplicación práctica se refiere a cómo materia no patentable, puede ser aplicada en un producto o un proceso real; es decir, cuando la materia no patentable se reduce a una aplicación práctica particular, teniendo una aplicación real, entonces, la aplicación práctica reivindicada evidencia que la materia reclamada ya no es abstracta, ni puramente mental y no abarca sustancialmente todos los modos posibles de una ley de la naturaleza o un fenómeno natural.

En el caso de una reivindicación de producto, las máquinas, la manufactura y las composiciones, consideradas materia patentable, no son de origen natural; son productos típicamente formados por **elementos ó partes de elementos tangibles** que representan una aplicación práctica de una invención particular o específica. Por lo tanto, para estas categorías de producto, una aplicación práctica particular es generalmente evidente cuando está basada en las limitaciones de la reivindicación que definan su campo particular tangible; en otras palabras, una aplicación práctica particular es una idea aplicada tangiblemente a una estructura no abstracta, es decir, cuando una ley de la naturaleza o fenómeno natural se aplica en forma práctica a una estructura, quedando la idea limitada a una aplicación particular.

En este caso, es importante tener en cuenta que, una reivindicación que incluya términos que impliquen que la invención está dirigida a un producto, pero que no incluya limitaciones tangibles de acuerdo con su interpretación más amplia razonable, no estará limitada a una aplicación práctica, sino mas bien, abarca o comprende el concepto total en la cual la invención está basada. Por lo tanto, dicha reivindicación no es aceptable.

Por otra parte, una reivindicación dirigida a una máquina, definida como “Una máquina que funciona de acuerdo a $F=m*a$ ”, pero que no incluya elementos estructurales tangibles en su interpretación más amplia razonable, abarcaría un principio de operación basado en una relación matemática donde el alcance de la reivindicación no tendría un límite. Por lo tanto, se estaría reclamando un objeto no tangible, sin evidencia de estar ante una aplicación práctica. No habría pruebas de una aplicación práctica, la reivindicación abarcaría, en todas sus posibilidades, el concepto matemático de $F=m*a$ y por lo tanto no sería materia elegible para estudio de patentabilidad.

En el caso de una reivindicación de procedimiento, dicho procedimiento reivindicado deberá: (1) estar vinculado a una determinada máquina, aparato o dispositivo y, (2) ser una transformación específica de un artículo determinado a un estado u objeto diferente.

Por otra parte, la sola presencia de un vínculo con una máquina o con una transformación, no es suficiente para pasar la prueba. Cuando se ha identificado el vínculo con una máquina o con una transformación, se deberá también determinar que

dicho vínculo es con una máquina en particular o con la transformación en particular de un artículo específico. Además, la máquina o la transformación particular vinculada, debe cumplir con dos requisitos para pasar la prueba de materia elegible para estudio de patentabilidad: en primer lugar, el uso de una máquina particular o la transformación de un artículo particular, debe definir un límite significativo para el alcance de la reclamación; por lo tanto, el hecho de tener una máquina vinculada a un único campo de actividad podría no ser suficiente. En segundo lugar, la aplicación de la máquina particular o la transformación del objeto particular, debe implicar más que una actividad insignificante extra a la solución.

Una actividad insignificante extra a la solución significa una actividad que no es fundamental para el objetivo del método propuesto por el solicitante. Por ejemplo, la recopilación de datos para aplicarse en un procedimiento, cuando todas las aplicaciones del procedimiento que requirieran alguna forma de recopilación de datos, no definieran un límite significativo en el alcance de la reivindicación.

Si la máquina o la transformación sólo está presente en una limitación del campo de aplicación o en un paso que sólo es una actividad insignificante extra a la solución, el método reclamado no supera la prueba, a pesar de la presencia de una máquina o una transformación en la reivindicación.

Una "máquina" es algo concreto, que consta de partes, o de ciertos dispositivos, y la combinación de dispositivos. Esto incluye todos los dispositivos mecánicos o una combinación de fuerzas mecánicas y dispositivos para realizar alguna función y producir un efecto o resultado. Esta definición debe ser interpretada ampliamente, incluyendo el campo eléctrico, electrónica, óptica, acústica, y otros dispositivos que cumplen una función de lograr un resultado determinado.

La "máquina" debe implementar el proceso, es decir ser un elemento fundamental sin el que el proceso no podría realizarse y no ser un objeto secundario sobre el cual opera el proceso. Lo reclamado debe ser claro en cuanto a la máquina que implementa el proceso, y no afirmar simplemente "proceso implementado por una máquina". Las limitaciones de la máquina deben dejar claro que el uso de la máquina en el proceso reivindicado impone una limitación significativa en el alcance de la reclamación.

De acuerdo con lo anterior, las reivindicaciones 1 a 33 son consideradas materia no patentable.

5. De la Solicitud de Patente

Reivindicaciones (Art 30 D 486, Art 22 PCT)

Se sugiere al solicitante que incluya en las reivindicaciones independientes un preámbulo en donde se indican aquellas características técnicas conocidas en el estado de la técnica y una parte caracterizadora en donde se indican las características esenciales de la invención.

Se le sugiere al solicitante que indique al frente de la característica o del elemento, el número de referencia guardando correspondencia con el capítulo descriptivo, las gráficas o dibujos y dicho capítulo reivindicatorio, con el objetivo de comprender mejor la invención al momento de hacer el análisis y distinguir los elementos de dicha invención.

Las reivindicaciones 1, 2, 6 a 22, 24, 25, 27, 28 y 30 a 33 no son claras porque mencionan: "medios de re disposición", "medios de decodificación", "medios de intercalado de paridad", "medios de re disposición inversa", siendo frases de carácter

general que sugieren de forma imprecisa que la protección se extiende a otras posibles variaciones o modificaciones. Se sugiere definir dichos medios.

Las reivindicaciones 1, 2, 7, 24, 27, 28, 31 y 32 no son claras porque indican el uso que puede darse al producto reivindicado, el cual no es una característica técnica que defina a la invención. Lo anterior, según los siguientes fragmentos: “...para llevar a cabo, cuando un código LPDC (Comprobación de Paridad de baja densidad) se transmite como un símbolo o símbolos cada uno formado de dos o más bits de código del mismo, un proceso de re disposición que re dispone los bits de código del código LPDC de tal manera que una pluralidad de los bits de código que corresponden al valor 1 incluidos en una fila arbitraria de dicha matriz de comprobación de paridad no se incluyen en el mismo símbolo”, “...para llevar a cabo, cuando un código LDPC (Comprobación de Paridad de baja densidad) en el que una matriz de información que es aquella porción de una matriz de comprobación de paridad del mismo que corresponde a bits de información del código LDPC se transmite como un símbolo o símbolos cada uno formado de dos o más bits de código del mismo mientras que el símbolo se forma desde los bits de código del código LDPC que se escriben en una dirección de columna de medios de almacenamiento para almacenar los bits de código del código LPDC en una dirección de fila y la dirección de columna y se leen en la dirección de fila de dichos medios de almacenamiento, intercalado de giro de columna para cambiar la posición de partida de escritura cuando los bits de código del código LPDC a ser escritos en la dirección de columna de dichos medios de almacenamiento para cada columna de dichos medios de almacenamiento como un medio de proceso de re disposición para re disponer los bits de código del código LPDC”, “...para llevar a cabo intercalado de paridad al intercalar los bits de paridad del código LDPC a las posiciones de otros de los bits de paridad...”, “...para llevar a cabo, cuando el símbolo se forma desde los bits de código del código LDPC que se describen en una dirección de columna de medios de almacenamiento para almacenar los bits de código del código LDPC en la dirección de la fila y la dirección de columna y se leen en la dirección de fila de dichos medios de almacenamiento, intercalando de giro de columna para cambiar la posición de partida de escritura cuando los bits de código del código LDPC a ser escritos en la dirección de columna de dichos medios de almacenamiento para cada columna de dichos medios de almacenamiento como el proceso de re disposición”, “...para llevar a cabo decodificación LDPC del código LDPC para el que se lleva a cabo el proceso de re disposición inverso”, “...lleva a cabo el proceso de re disposición inversa por un código LDPC obtenido al llevar a cabo intercalado de paridad al intercalar bits de paridad de un código LDPC obtenido al llevar a cabo Codificación LDPC de acuerdo con una matriz de comprobación de paridad en la que una matriz de paridad que es aquella porción del código LDPC que corresponde a bits de paridad del código LDPC tiene una estructura escalonada individualmente a posiciones diferentes de los bits de paridad y luego llevar a cabo un proceso de re disposición de la re disposición de los bits de código que corresponden al valor 1 incluido en una fila arbitraria de la matriz de comprobación de paridad no se incluyen en el mismo símbolo... llevan a cabo decodificación LDPC del código LDPC para el que el proceso de re disposición inverso de ha llevado a cabo pero el des intercalado de paridad que se des intercala corresponde al intercalado de paridad que no se lleva a cabo utilizando una matriz de comprobación de conversión de paridad obtenida al llevar a cabo por lo menos reemplazo de columna que corresponde al intercalado de paridad para la matriz de comprobación de paridad”, “...para ser llevados a cabo, cuando el código LDPC es un código LDPC en el que una matriz de información que es aquella porción del código LDPC que corresponde a bits de información del código LDPC es una matriz de comprobación de paridad del código LDPC tiene una estructura cíclica y el símbolo se forma desde los bits de código del código LDPC que se escriben en una dirección de columna de medios de almacenamiento para almacenar los bits de código del código LDPC en la dirección de fila desde dichos medios de almacenamiento, por un código LDPC obtenido al llevar a cabo intercalado de giro de columna para cambiar la posición de partida de escritura cuando los bits de código del

código LDPC a ser escritos en la dirección de columna de dichos medios de almacenamiento para cada columna de dichos medios de almacenamiento como un proceso de re disposición que re dispone los bits de código del código LDPC, un proceso de re disposición inverso que es re disposición inversa que corresponde al proceso de re disposición... para llevar a cabo decodificación LDPC del código LDPC para el que el proceso de re disposición inverso es llevado a cabo.”, “...llevan a cabo el proceso de re disposición inversa por un código LDPC obtenido al llevar a cabo intercalado de paridad al intercalar bits de paridad de un código LDPC obtenido al llevar a cabo Codificación LDPC de acuerdo con una matriz de comprobación de paridad en la que una matriz de paridad que es aquella porción del código LDPC que corresponde a bits de paridad del código LDPC tiene una estructura escalonada individualmente a las posiciones de otros bits de paridad y luego llevar a cabo el proceso de re disposición, y dichos medios de decodificación LDPC llevan a cabo decodificación LDPC del código LDPC para el que el proceso de re disposición inverso ha sido llevado a cabo pero el des intercalado de paridad que se des intercala que corresponde al intercalado de paridad no se ha llevado a cabo utilizando una matriz de comprobación de conversión de paridad obtenida al llevar a cabo por lo menos reemplazo de columna que corresponde al intercalado de paridad para la matriz de comprobación de paridad.”. Se sugiere hacer las aclaraciones respectivas indicando las características esenciales de la invención.

De igual forma, se le recuerda al señor solicitante que las características técnicas esenciales son las que definen la invención, las que la hacen (o deberían hacerla) diferente del estado de la técnica y, por tanto, constituyen la solución al problema técnico que intenta resolver la invención. Para una mayor claridad, se definen los siguientes conceptos:

Las características que definen la invención son las características estructurales. Las características técnicas funcionales son los elementos que conforman las invenciones, descritos en términos de su uso o su función. No definen la invención, pero explican la relación que hay entre sus diversas características estructurales.

Descripción (Art 28 D 486)

Hay inconsistencia entre los números de referencia de los dibujos (Fl. 416) y la descripción (Fls. 310 y 311). Se sugiere realizar la corrección correspondiente.

6. Determinación del Estado de la Técnica

El estado de la técnica se determinó con base en la fecha de presentación de la solicitud de prioridad: noviembre 26 de 2007 y se encontraron los siguientes documentos que anticipan el objeto de esta solicitud:

Ítem	Documento	Título	Fecha de Presentación
D1	CO 10-76875	“Aparato para procesamiento de datos y método para procesamiento de datos”	25/Junio/2010*

*Fecha de presentación nacional

El documento D1 divulga un aparato de procesamiento de datos que puede mejorar la tolerancia a un error de un bit de código de un código LPDC tal como errores en ráfaga o borrado. Una sección de codificación LPDC lleva a cabo la codificación LPDC de acuerdo con una matriz de comprobación de paridad en la que la matriz de paridad que es una porción que corresponde a los bits de paridad de un código LPDC tiene una estructura escalonada, y genera un código LPDC. Un intercalador de paridad lleva a cabo el intercalado de paridad del intercalador bit de paridad del código LPDC generado de la sección de codificación LPDC a las posiciones de otros bits de paridad (Fl. 16, resumen).

Se le recuerda al solicitante que la Superintendencia de Industria y Comercio acepta la prioridad reivindicada en la presente solicitud en virtud del artículo 9 de la Decisión 486, sin desconocer el artículo 16, que establece o delimita lo que comprende el estado de la técnica.

El artículo 16 de la Decisión 486 señala lo siguiente:

“Una invención se considerará nueva cuando no está comprendida en el estado de la técnica.

El estado de la técnica comprenderá todo lo que haya sido accesible al público por una descripción escrita u oral, utilización, comercialización o cualquier otro medio antes de la fecha de presentación de la solicitud de patente o, en su caso, de la prioridad reconocida.

Sólo para el efecto de la determinación de la novedad, también se considerará dentro del estado de la técnica, el contenido de una solicitud de patente en trámite ante la oficina nacional competente, cuya fecha de presentación o de prioridad fuese anterior a la fecha de presentación o de prioridad de la solicitud de patente que se estuviese examinando, siempre que dicho contenido esté incluido en la solicitud de fecha anterior cuando ella se publique o hubiese transcurrido el plazo previsto en el artículo 40”.

En aplicación de la norma anterior, se ha tomado como anterioridad que afecta la patentabilidad de la invención en estudio, el documento CO 10-76875 (en adelante llamado D1), pues corresponde a una solicitud nacional cuya fecha de presentación es el 26 de junio de 2010, con publicación del 22 de agosto de 2011.

7 . Examen de Patentabilidad (Art 14 D 486)

Es importante mencionar que el siguiente análisis de patentabilidad se realizó teniendo en cuenta las objeciones de los Numerales 4 y 5 de la presente comunicación.

Novedad (Art 16 D486)

La reivindicación 1 consiste en: *“Un aparato de procesamiento de datos que intercala datos, que comprende...”* (Fl. 490).

Comparación de las características técnicas **esenciales**, con las del Estado de la Técnica:

Características esenciales	D1
Un aparato de procesamiento de datos que intercala datos.	Un aparato de procesamiento de datos que intercala datos (Fl. 17, reivindicación 1, línea 2).
Medios de re disposición.	Medios de re disposición (Fl. 17, reivindicación 3, líneas 33 a 37).

De acuerdo con la tabla anterior, donde se comparan las características técnicas de la reivindicación 1 con la anterioridad D1, el aparato de procesamiento de datos descrito en dicha reivindicación, ya era conocido en el estado de la técnica. Por lo tanto, la reivindicación 1 no es nueva.

La reivindicación 2 consiste en: *“Un aparato de procesamiento de datos que intercala datos, que comprende...”* (Fl. 490).

Comparación de las características técnicas **esenciales**, con las del Estado de la Técnica:

Características esenciales	D1
Un aparato de procesamiento de datos que intercala datos.	Un aparato de procesamiento de datos que intercala datos (Fl. 17, reivindicación 1, línea 2).
Medios de re disposición.	Medios de re disposición (Fl. 17, reivindicación 3, líneas 33 a 37).
Medios de almacenamiento.	Medios de almacenamiento (Fl. 18, reivindicación 4, líneas 7 a 13).

De acuerdo con la tabla anterior, donde se comparan las características técnicas de la reivindicación 2 con la anterioridad D1, el aparato de procesamiento de datos descrito en dicha reivindicación, ya era conocido en el estado de la técnica. Por lo tanto, la reivindicación 2 no es nueva.

Las reivindicaciones dependientes 3 a 25 no mencionan alguna característica que haga nuevo al aparato de procesamiento de datos de la reivindicación 2, por lo cual se considera que no son nuevas.

De acuerdo al análisis anterior, las reivindicaciones dependientes son afectadas por novedad por las razones dadas a continuación:

- Reivindicación 3: la matriz de paridad en la matriz de comprobación de paridad del código LPDC tiene una estructura pseudocíclica en la que la matriz de paridad tiene una porción que tiene una estructura cíclica excepto parte de la misma, la estructura se obtiene al aplicar el remplazo de fila que corresponde el intercalado de paridad (Fl. 18, reivindicación 5, líneas 15 a 19).
- Reivindicación 4: la matriz de paridad que es una porción que corresponde a los bits de paridad de un código LDPC tiene una estructura escalonada individual a posiciones de otros de los bits de paridad (Fl. 17, reivindicación 1, líneas 7 a 10).
- Reivindicación 5: el código LDPC prescrito en el estándar DVB-S.2. es un código IRA (Fl. 19, Párr. 70, líneas 13 y 14).
- Reivindicación 6: cuando se forma un símbolo de m de los bits de código del código LDPC, y cuando la longitud el código del código LDPC es N bits y un entero positivo predeterminado se representa por b, dichos medios de almacenamiento almacenan mb bits en la dirección de fila y almacena N/(mb) bits en la dirección de columna, los bits de código del código LPDC se describen en la dirección de columna de dichos medios de almacenamiento, después se leen los bits de código en la dirección de fila, los bits de código mb leídos en la dirección de fila de dichos medios de almacenamiento se convierten en símbolos b (Fl. 18, reivindicación 6, líneas 24 a 34).
- Reivindicación 7: medio de intercalado de paridad para llevar a cabo el intercalado de paridad de bits de paridad de intercalado de un código LPDC obtenido al llevar a cabo codificación LPDC (Fl. 17, reivindicación 1, líneas 5 y 6). Medios de re disposición para llevar a cabo cuando el código LPDC se transmite como un símbolo, un proceso de re disposición para re disponer los códigos de bits del código LPDC después del intercalado de paridad (Fl. 17, reivindicación 3, líneas 33 a 35).
- Reivindicación 8: el numero de bit M de los bit de paridad del código LDPC es un se forma un símbolo de valor diferente de los números primos; y cuando dos o mas divisores del numero de bit M de los bit de paridad diferente de 1 y M cuyo producto es igual a el numero de bit M de los bit de paridad se representa por P y q, el numero de bit de bits de información del código LPDC se representa por K, un entero igual o mayor que 0 pero menor que P y se representa por x, y otro entero igual a o mayor de 0 pero menor de q se representa por y, dichos medios de intercalado de paridad intercala un bit de código $K+qx+y+1$ de entre los bits de

- paridad que son bits de código K+1 a K+M del código LDPC a la posición de bit de código K+Py+x+1 (Fl. 17, reivindicación 2, líneas 14 a 28).
- Reivindicaciones 10 a 22: en el estándar DVB-S.2., los números de columna KX, K3 y M (longitud de paridad) así como también el peso de la columna X se prescriben de tal manera como se ve en B en la figura 11. En particular, el B de la figura 11 ilustra los números de columna KX, K3 y M así como también el peso de la columna X con relación a las diferentes índices de codificación de los códigos LPDC prescritos en el estándar DVB-S.2. En el estándar DVB-S.2, los códigos LPDC de la longitud de código N de 64,800 bits y 16,200 bits se prescriben. Como se ve en B de la figura 11, para el código LPDC cuya longitud de código N es 64,800 bits, 11 códigos de codificación (índices nominales) $\frac{1}{4}$, $\frac{1}{3}$, $\frac{2}{5}$, $\frac{1}{2}$, $\frac{3}{5}$, $\frac{2}{3}$, $\frac{3}{4}$, $\frac{4}{5}$, $\frac{5}{6}$, $\frac{8}{9}$ y $\frac{9}{10}$ se prescriben, y para el código LPDC cuya longitud de código N es 16,200 bits, se prescriben los índices de codificación $\frac{1}{4}$, $\frac{1}{3}$, $\frac{2}{5}$, $\frac{1}{2}$, $\frac{3}{5}$, $\frac{2}{3}$, $\frac{3}{4}$, $\frac{4}{5}$, $\frac{5}{6}$ y $\frac{8}{9}$ (Fl. 20, líneas 14 a 31).
 - Reivindicación 23: el código LDPC es transmitido después de dos o más bits de código del mismo después de que dos o más bits de código del mismo son mapeados a un símbolo de modulación ortogonal mediante la sección de mapeado (Fl. 21, Párr. 75). Los métodos de modulación que incluyen, por ejemplo, un método de modulación definido en el estándar DVB-T son QPSK, 16QAM, 64QAM, 265QAM, 1024QAM, 4086QAM y así sucesivamente (Fl. 21, Párr. 80).
 - Reivindicación 24: dicho aparato de procesamiento de datos comprende adicionalmente medios de re disposición para llevar a cabo el intercalado de giro de columna para cambiar, cuando se forma un símbolo de los bits de código del código LDPC escritos en una columna dirección de medios de almacenamiento para almacenar los códigos de bits del código LDPC en una dirección de fila y la dirección de columna y se leen en la dirección de fila, la posición de partida de escritura cuando los bits de código del código LDPC se describen en la dirección de columna de dichos medios de almacenamiento se cambia para cada de las columnas de dichos medios de almacenamiento como un proceso de re disposición para re disponer los bits de códigos del código LDPC (Fl. 18, reivindicación 4, líneas 5 a 14).
 - Reivindicación 25: adicionalmente del intercalador de paridad y del intercalador de giro de columna, también el des multiplexor se puede configurar integralmente (Fl. 22, Párr. 260).

La reivindicación 26 consiste en: “*Un método de procesamiento de datos para un aparato de procesamiento de datos que intercala datos, comprende...*” (Fl. 506).

Comparación de las características técnicas **esenciales**, con las del Estado de la Técnica:

Características esenciales	D1
Un método de procesamiento de datos para un aparato de procesamiento de datos que intercala datos.	Un aparato de procesamiento de datos que intercala datos (Fl. 17, reivindicación 1, línea 2).
Una etapa llevada a cabo mediante el aparato de procesamiento de datos para llevar a cabo, cuando un código LDPC se transmite como un símbolo o símbolos cada uno formado de dos o más bits de código del mismo, re disposición de los bits de código del código LDPC de tal manera que una pluralidad de los bits de código que corresponde al valor 1 incluido en una fila arbitraria de dicha matriz de comprobación de paridad no se incluyen en el mismo símbolo.	Medios de re disposición para llevar a cabo cuando el código LDPC se transmite como un símbolo, un proceso de re disposición para re disponer los código de bits del código LDPC después del intercalado de paridad de tal manera que una pluralidad de bits de código corresponden al valor de 1 incluida en una fila arbitraria de la matriz de comprobación de paridad no se incluye en el mismo símbolo (Fl. 17, reivindicación 3, líneas 33 a 37).

De acuerdo con la tabla anterior, donde se comparan las características técnicas de la reivindicación 26 con la anterioridad D1, el método de procesamiento de datos descrito

en dicha reivindicación, ya era conocido en el estado de la técnica. Por lo tanto, la reivindicación 26 no es nueva.

La reivindicación 27 consiste en: “*Un aparato de procesamiento de datos que recibe un código LDPC transmitido al mismo en una forma intercalada como un símbolo o símbolos cada uno formado de dos o más bits de código, que comprende...*” (Fl. 507).

Comparación de las características técnicas **esenciales**, con las del Estado de la Técnica:

Características esenciales	D1
Un aparato de procesamiento de datos.	En relación a la figura 29, el aparato de recepción (12) es un aparato para procesamiento de datos para recibir una señal de modulación desde el aparato de transmisión (11, Fig. 7) (Fl. 23, Párr. 275).
Medios de re disposición inversos.	Una sección de demodulación ortogonal (51), una sección de des mapeo (52), un des intercalador (53) (Fl. 23, Párr. 275).
Medios de decodificación.	Y una sección de decodificación LDPC (56) (Fl. 23, Párr. 275).

De acuerdo con la tabla anterior, donde se comparan las características técnicas de la reivindicación 27 con la anterioridad D1, el aparato de procesamiento de datos descrito en dicha reivindicación, ya era conocido en el estado de la técnica. Por lo tanto, la reivindicación 27 no es nueva.

La reivindicación dependiente 28 no menciona alguna característica que haga nuevo al aparato de procesamiento de datos de la reivindicación 27, por lo cual se considera que no es nueva.

De acuerdo al análisis anterior, la reivindicación dependiente es afectada por novedad por las razones dadas a continuación:

- Reivindicación 28: el multiplexor (54) lleva a cabo un proceso de remplazo inverso (proceso inverso al proceso de remplazo) que corresponde al proceso de remplazo llevado a cabo por el des multiplexor (25, Fig. 8) para los códigos LDPC desde la sección de des mapeo (52), es un proceso de remplazo inverso de regresar las posiciones de los bits de código remplazados por el proceso de remplazo a las posiciones originales. Luego, el multiplexor (54) suministra un código LDPC obtenido como resultado del proceso de remplazo inverso al des intercalador de giro de columna. El des intercalador de giro de columna (55) lleva a cabo el des intercalado de giro de columna (proceso inverso al intercalado de giro de columna) que corresponde al intercalado de giro de columna como un proceso de re disposición llevado a cabo por el intercalador de giro de columna (24, Fig. 8), esto es, por ejemplo, el des intercalado de giro de columna como un proceso de re disposición inverso de regresar el arreglo de los bits de código del código LDPC que tienen un arreglo cambiado por el intercalado de giro de columna como el proceso de re disposición al arreglo original, para el código LDPC para el multiplexor (54) (Fl. 24, líneas 18 a 32). La sección de decodificación LDPC (56) lleva a cabo la decodificación LDPC del código LDPC desde el des intercalador (53) utilizando una matriz de comprobación de paridad y conversión, obtenido al llevar a cabo al menos un remplazo de columna que corresponde al intercalado de paridad para la matriz de comprobación de paridad H utilizada para la codificación LDPC mediante la sección de codificación (21, Fig. 8), y genera datos obtenidos como resultado de la decodificación LDPC como un resultado de decodificación de datos objeto (Fl. 25, líneas 31 a 37).

La reivindicación 29 consiste en: “*Un método de procesamiento de datos para un aparato de procesamiento de datos que recibe un código LDPC transmitido del mismo*

en una forma intercalado como un símbolo o símbolos cada uno formado de dos o más bits de código, que comprende...” (Fl. 508).

Comparación de las características técnicas **esenciales**, con las del Estado de la Técnica:

Características esenciales	D1
Un método de procesamiento de datos para un aparato de procesamiento de datos.	En relación a la figura 29, el aparato de recepción (12) es un aparato para procesamiento de datos para recibir una señal de modulación desde el aparato de transmisión (11, Fig. 7) (Fl. 23, Párr. 275).
Una etapa llevada a cabo por el aparato de procesamiento de datos llevado a cabo, por un código LDPC obtenido al llevar a cabo un proceso de re disposición que re dispone los bits de código del código LDPC de tal manera que una pluralidad de los bits de código del código LDPC que corresponde al valor 1 incluido en una fila arbitraria de una matriz de comprobación de paridad no se incluyen en el mismo símbolo, un proceso de re disposición inverso que es re disposición inversa que corresponde al proceso de re disposición; y una etapa llevada a cabo por el aparato de procesamiento de datos al llevar a cabo decodificación LDPC del código LDPC para el que el proceso de re disposición inverso se lleva a cabo.	El multiplexor (54) lleva a cabo un proceso de remplazo inverso (proceso inverso al proceso de remplazo) que corresponde al proceso de remplazo llevado a cabo por el des multiplexor (25, Fig. 8) para los códigos LDPC desde la sección de des mapeo (52), es un proceso de remplazo inverso de regresar las posiciones de los bits de código remplazados por el proceso de remplazo a las posiciones originales. Luego, el multiplexor (54) suministra un código LDPC obtenido como resultado del proceso de remplazo inverso al des intercalador de giro de columna. El des intercalador de giro de columna (55) lleva a cabo el des intercalado de giro de columna (proceso inverso al intercalado de giro de columna) que corresponde al intercalado de giro de columna como un proceso de re disposición llevado a cabo por el intercalador de giro de columna (24, Fig. 8), esto es, por ejemplo, el des intercalado de giro de columna como un proceso de re disposición inverso de regresar el arreglo de los bits de código del código LDPC que tienen un arreglo cambiado por el intercalado de giro de columna como el proceso de re disposición al arreglo original, para el código LDPC para el multiplexor (54) (Fl. 24, líneas 18 a 32). La sección de decodificación LDPC (56) lleva a cabo la decodificación LDPC del código LDPC desde el des intercalador (53) utilizando una matriz de comprobación de paridad y conversión, obtenido al llevar a cabo al menos un remplazo de columna que corresponde al intercalado de paridad para la matriz de comprobación de paridad H utilizada para la codificación LDPC mediante la sección de codificación (21, Fig. 8), y genera datos obtenidos como resultado de la decodificación LDPC como un resultado de decodificación de datos objeto (Fl. 25, líneas 31 a 37).

De acuerdo con la tabla anterior, donde se comparan las características técnicas de la reivindicación 29 con la anterioridad D1, el método de procesamiento de datos descrito en dicha reivindicación, ya era conocido en el estado de la técnica. Por lo tanto, la reivindicación 29 no es nueva.

La reivindicación 30 consiste en: “Un método de procesamiento de datos para un aparato de procesamiento de datos que intercala datos, comprenden...” (Fl. 508).

Comparación de las características técnicas **esenciales**, con las del Estado de la Técnica:

Características esenciales	D1
Un método de procesamiento de datos para un aparato de procesamiento de datos.	Un método de procesamiento de datos para un aparato de procesamiento de datos. (Fl. 18, reivindicación 7).
Una etapa llevada a cabo por el aparato de procesamiento de datos llevado a cabo, cuando un código LDPC en el que una matriz de información que es aquella porción de una matriz de comprobación de paridad del mismo que corresponde a bits de información del código LDPC y tiene una estructura cíclica se transmite como un símbolo o	Una etapa llevada a cabo por el aparato de procesamiento de datos para llevar a cabo el intercalado de paridad de los bits de paridad de intercalado de paridad de un código LDPC obtenido al llevar a cabo la codificación LDPC de acuerdo con una matriz de comprobación de paridad en la que una matriz de paridad que es una porción que corresponde bits de paridad un código LDPC tiene una estructura

símbolos cada uno formado de dos o más bits de código del mismo mientras el símbolo se forma desde los bits de código del código LDPC que se escribe en una dirección de columna de medios de almacenamiento para almacenar los bits de código del código LDPC en una dirección de fila y la dirección de columna y se leen en la dirección de fila de los medios de almacenamiento, intercalado de giro de columna para cambiar la posición de partida de escritura cuando los bits de código del código LDPC a ser escritos en la dirección de columna de los medios de almacenamiento para cada columna de los medios de almacenamiento como un proceso de re disposición para re disponer los bits de código del código LDPC.	escalonada individualmente para posiciones de otros de los bits de paridad (Fl. 18 y Fl. 26, reivindicación 7). dicho aparato de procesamiento de datos comprende adicionalmente medios de re disposición para llevar a cabo el intercalado de giro de columna para cambiar, cuando se forma un símbolo de los bits de código del código LDPC escritos en una columna dirección de medios de almacenamiento para almacenar los códigos de bits del código LDPC en una dirección de fila y la dirección de columna y se leen en la dirección de fila, la posición de partida de escritura cuando los bits de código del código LDPC se describen en la dirección de columna de dichos medios de almacenamiento se cambia para cada de las columnas de dichos medios de almacenamiento como un proceso de re disposición para re disponer los bits de códigos del código LDPC (Fl. 18, reivindicación 4, líneas 5 a 14).
---	--

De acuerdo con la tabla anterior, donde se comparan las características técnicas de la reivindicación 30 con la anterioridad D1, el método de procesamiento de datos descrito en dicha reivindicación, ya era conocido en el estado de la técnica. Por lo tanto, la reivindicación 30 no es nueva.

La reivindicación 31 consiste en: *“Un aparato de procesamiento de datos que recibe un código LDPC transmitido del mismo en una forma intercalada como un símbolo o símbolos cada uno formado de dos o más bits de código, que comprende...”* (Fl. 507).

Comparación de las características técnicas **esenciales**, con las del Estado de la Técnica:

Características esenciales	D1
Un aparato de procesamiento de datos.	En relación a la figura 29, el aparato de recepción (12) es un aparato para procesamiento de datos para recibir una señal de modulación desde el aparato de transmisión (11, Fig. 7) (Fl. 23, Párr. 275).
Medios de re disposición inversos.	Una sección de demodulación ortogonal (51), una sección de des mapeo (52), un des intercalador (53) (Fl. 23, Párr. 275).
Medios de decodificación.	Y una sección de decodificación LDPC (56) (Fl. 23, Párr. 275).

De acuerdo con la tabla anterior, donde se comparan las características técnicas de la reivindicación 31 con la anterioridad D1, el aparato de procesamiento de datos descrito en dicha reivindicación, ya era conocido en el estado de la técnica. Por lo tanto, la reivindicación 31 no es nueva.

La reivindicación dependiente 32 no menciona alguna característica que haga nuevo al aparato de procesamiento de datos de la reivindicación 31, por lo cual se considera que no es nueva.

De acuerdo al análisis anterior, la reivindicación dependiente es afectada por novedad por las razones dadas a continuación:

- Reivindicación 31: el multiplexor (54) lleva a cabo un proceso de remplazo inverso (proceso inverso al proceso de remplazo) que corresponde al proceso de remplazo llevado a cabo por el des multiplexor (25, Fig. 8) para los códigos LDPC desde la sección de des mapeo (52), es un proceso de remplazo inverso de regresar las posiciones de los bits de código remplazados por el proceso de remplazo a las posiciones originales. Luego, el multiplexor (54) suministra un código LDPC obtenido como resultado del proceso de remplazo inverso al des intercalador de giro de columna. El des intercalador de giro de columna (55) lleva a cabo el des intercalado de giro de columna (proceso inverso al intercalado de

giro de columna) que corresponde al intercalado de giro de columna como un proceso de re disposición llevado a cabo por el intercalador de giro de columna (24, Fig. 8), esto es, por ejemplo, el des intercalado de giro de columna como un proceso de re disposición inverso de regresar el arreglo de los bits de código del código LDPC que tienen un arreglo cambiado por el intercalado de giro de columna como el proceso de re disposición al arreglo original, para el código LDPC para el multiplexor (54) (Fl. 24, líneas 18 a 32). La sección de decodificación LDPC (56) lleva a cabo la decodificación LDPC del código LDPC desde el des intercalador (53) utilizando una matriz de comprobación de paridad y conversión, obtenido al llevar a cabo al menos un remplazo de columna que corresponde al intercalado de paridad para la matriz de comprobación de paridad H utilizada para la codificación LDPC mediante la sección de codificación (21, Fig. 8), y genera datos obtenidos como resultado de la decodificación LDPC como un resultado de decodificación de datos objeto (Fl. 25, líneas 31 a 37).

La reivindicación 33 consiste en: “Un método de procesamiento de datos para un aparato de procesamiento de datos que recibe un código LDPC transmitido del mismo en una forma intercalada como un símbolo o símbolos cada uno formado de dos o más bits de código, que comprende...” (Fl. 508).

Comparación de las características técnicas **esenciales**, con las del Estado de la Técnica:

Características esenciales	D1
Un método de procesamiento de datos para un aparato de procesamiento de datos.	En relación a la figura 29, el aparato de recepción (12) es un aparato para procesamiento de datos para recibir una señal de modulación desde el aparato de transmisión (11, Fig. 7) (Fl. 23, Párr. 275).
Una etapa llevada a cabo por el aparato de procesamiento de datos al llevar a cabo, cuando el código LDPC es un código LDPC en el que una matriz de información es aquella porción del código LDPC que corresponde a bits de información del código LDPC en una matriz de comprobación de paridad del código LDPC tiene una estructura cíclica y el símbolo se forma desde los bits de código del código LDPC que se escriben en una dirección de columna de medios de almacenamiento para almacenar los bits de código del código LDPC en la dirección de fila y la dirección de columna y se leen en la dirección de fila de los medios de almacenamiento, para un código LDPC obtenido al llevar a cabo intercalado de giro de columna para cambiar la posición de partida de escritura cuando los bits de código del código LDPC a ser escritos en la dirección de columna de los medios de almacenamiento para cada columna de los medios de almacenamiento como un proceso de re disposición que re dispone los bits de código del código LDPC, un proceso de re disposición inverso que es re disposición inversa que corresponde al proceso de re disposición; y una etapa llevada a cabo por el aparato de procesamiento de datos al llevar a cabo decodificación LDPC del código LDPC para que el proceso de re disposición inverso es llevado a cabo.	El multiplexor (54) lleva a cabo un proceso de remplazo inverso (proceso inverso al proceso de remplazo) que corresponde al proceso de remplazo llevado a cabo por el des multiplexor (25, Fig. 8) para los códigos LDPC desde la sección de des mapeo (52), es un proceso de remplazo inverso de regresar las posiciones de los bits de código remplazados por el proceso de remplazo a las posiciones originales. Luego, el multiplexor (54) suministra un código LDPC obtenido como resultado del proceso de remplazo inverso al des intercalador de giro de columna. El des intercalador de giro de columna (55) lleva a cabo el des intercalado de giro de columna (proceso inverso al intercalado de giro de columna) que corresponde al intercalado de giro de columna como un proceso de re disposición llevado a cabo por el intercalador de giro de columna (24, Fig. 8), esto es, por ejemplo, el des intercalado de giro de columna como un proceso de re disposición inverso de regresar el arreglo de los bits de código del código LDPC que tienen un arreglo cambiado por el intercalado de giro de columna como el proceso de re disposición al arreglo original, para el código LDPC para el multiplexor (54) (Fl. 24, líneas 18 a 32). La sección de decodificación LDPC (56) lleva a cabo la decodificación LDPC del código LDPC desde el des intercalador (53) utilizando una matriz de comprobación de paridad y conversión, obtenido al llevar a cabo al menos un remplazo de columna que corresponde al intercalado de paridad para la matriz de comprobación de paridad H utilizada para la codificación LDPC mediante la sección de codificación (21, Fig. 8), y genera datos obtenidos como resultado de la decodificación LDPC como un resultado de decodificación de datos objeto (Fl. 25, líneas 31 a 37).

De acuerdo con la tabla anterior, donde se comparan las características técnicas de la reivindicación 33 con la anterioridad D1, el método de procesamiento de datos descrito en dicha reivindicación, ya era conocido en el estado de la técnica. Por lo tanto, la reivindicación 33 no es nueva.

8. Conclusión

Los requisitos de Patentabilidad de la presente Solicitud están afectados así:

Ítem	Documento	Reivindicaciones afectadas	Requisito que afecta
D1	CO 10-76875	1 a 33	Novedad/ Nivel Inventivo

En cumplimiento del artículo 45 de la Decisión 486 de la Comisión de la Comunidad Andina, se le indica que debe dar respuesta dentro del término de sesenta (60) días contados a partir de la fecha de notificación de la presente comunicación. En caso de no dar respuesta al presente requerimiento, o si a pesar de la respuesta subsistieran los impedimentos para la concesión, se denegará la patente.

Se invita al solicitante se sirva indicar, si así lo considera, su renuncia al término faltante de sesenta (60) días para dar respuesta a este requerimiento y presentarla por escrito.

Finalmente, se le recuerda al solicitante que si como respuesta a este requerimiento llegara a modificar el capítulo reivindicatorio y éste contenga más de diez (10) reivindicaciones, no pagará la tasa de modificación voluntaria pero sí la correspondiente al pago por reivindicación adicional.

Notifíquese el presente oficio conforme a lo dispuesto en el numeral 5.2, literal e), del capítulo quinto del título primero de la Circular Única No. 10 de 2001.



JOSÉ LUIS SALAZAR LÓPEZ
Director de Nuevas Creaciones (c)

El anterior requerimiento fue notificado por fijación en lista, de fecha 2013-01-29

Elaboró: Angelica Maria Ramirez
Revisó: Leonardo Rojas Vega