

JOSE JOAQUIN PEREZ & CIA.
ABOGADOS

69

Señora Jefe
División de Nuevas Creaciones
Dra. Alix Carmenza Cespedes de Vergel
Superintendencia de Industria y Comercio
E. S. D.

SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO
Rad: 03-112657-00005-0000
Pec: 2007-02-06 11:11:41 Desp. 2007 NUEVAS CREACIONES
TR. 11 PATENTE
Env: 3/0 FASE NACIONAL
Act 441 RESPUESTA A LA LEY 1600 de 2006

RADICACION 03.112.657
TRAMITE 011
EVENTO 379
ACTUACION 430
Con Anexos

REF: Expediente No 03.112.657 Patente de Invención PCT entrada en fase nacional "DISPOSICION PARA LA REDUCCION DE LOS EFECTOS PIEZOELECTRICOS EN AL MENOS UN COMPONENTE ELECTRICO QUE ES SENSIBLE A LOS EFECTOS PIEZOELECTRICOS Y ESTA DISPUESTO EN UNA CAPA DE MATERIAL SEMICONDUCTOR", a nombre de LANDIS+Gyr AG

La suscrita vecina de Bogotá, abogada titulada e identificada como aparece al pie de mi firma, actuando como apoderada de este asunto, me refiero al auto No 13615 proferido por ese despacho notificado por Anotación de Estado de Patentes del 24 de noviembre de 2006, y para dar respuesta a dicho requerimiento me permito adjuntar los siguientes documentos:

- Tummala R R; Rymaszewski E J; editors
"Microelectronics parking handbook" 1989, Van Nostrand Reinhold, New York
XP002214184
ISBN:0-442-20578-3; páginas 367 a 371 y página 541

De otra parte adjuntamos la traducción al español de dicho documento

Solicito se agregue este escrito al expediente de la referencia con el fin de que se continúe con el examen de patentabilidad.

Agradeciendo la atención que se sirva prestar al presente.

De la señora Jefe,


Maria del Consuelo Zarama Urdaneta
C. C. 21.067.863 de Usaquen
T. P. 82.353

Bogotá, D. C. 6 de febrero, de 2007

XP-002214184

PD: 00-00-1989 (6)

P: 367-371+541

6.3 CONTROLLED COLLAPSE CHIP CONNECTION (C4)

307

Two other acronyms are used in this section: BLM and TSM. These refer to the terminal connecting metallurgies at the chip and substrate, respectively. BLM stands for Ball Limiting Metallurgy and refers to the region of terminal metallurgy on the top surface of the chip that is wettable by the solder. TSM stands for Top Surface Metallurgy and refers to the terminal metallurgy on the substrate to which the chip and its associated solder ball are joined.

6.3.1 C4 History

The solder-bump interconnection of flip chips, the face-down soldering of silicon devices to alumina substrates, has been practiced for approximately twenty years [5]. First introduced in 1964 with the Solid Logic Technology (SLT) hybrid modules of IBM's System/360, it was part of a design to eliminate the expense, unreliability, and low productivity of manual wirebonding [6]. The solder bump was also an integral part of a chip-level hermetic sealing system created by the glass passivation film on the wafer [7]. Most semiconductor devices of that era were, in contrast, protected by expensive hermetically sealed cans. The terminal metallurgy design was intended to reveal the access of "via" holes through the glass as well as to provide a means for testing and joining the chip (Fig. 6-5).

Initially, for the discrete transistors or diodes of the hybrid SLT, copper ball standoffs, embedded in the solder bumps, were used to keep the unpassivated silicon edges of the chips from electrically shorting to solder-coated

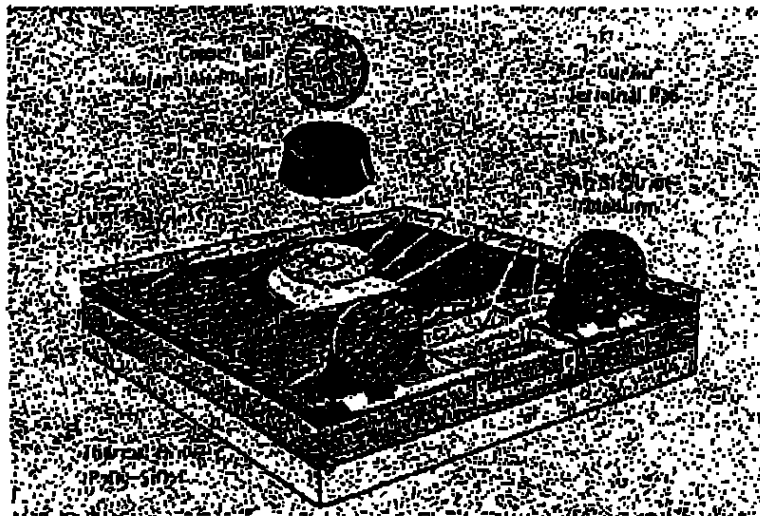


Figure 6-5. Terminal Metallurgy Design. The original SLT flip chip (27 mm square) with glass passivation, BLM sealing of via holes, and Cu ball solder bumps. After Totta, Ref. [4], 1969.

72
71

thick-film lands [4]. Later, in the integrated circuit era, the controlled collapse chip connection was devised. In this technique a pure solder bump was restrained from collapsing or flowing out on the electrode land by using thick-film glass dams, or stop-offs [8], which limited solder flow to the tip of the substrate metallization (Fig. 6-6).

Similarly, the flow on the chip is limited by a ball limiting metallurgy (BLM) pad, which is a circular pad of evaporated, thin-film chromium, copper, and gold that provides the sealing of the via as well as a solderable, conductive base for the solder bump. A very thick deposit (100–125 μm) of evaporated 95 Pb/5 Sn solder acts as the primary conduction and joining material between chip and substrate [9].

The early integrated circuit chips typically had peripheral C4 I/O pads like their wirebonded counterparts. The pads were 125 to 150 μm in diameter, on 300 to 375 μm centers. The pitch of connections was typically compatible with the resolution capability of thick-film (AgPd) electrode screening on the ceramic substrates.

Occasionally it was convenient to have an "in-board" power pad or two in the thick-film technology, but larger numbers of inside I/O pads could not be used until metallized ceramic (MC) technology became available in the mid-1970s, as discussed in Chapter 7, "Ceramic Packaging," and Chapter 9, "Thin-Film Packaging." The narrower lines and spaces made

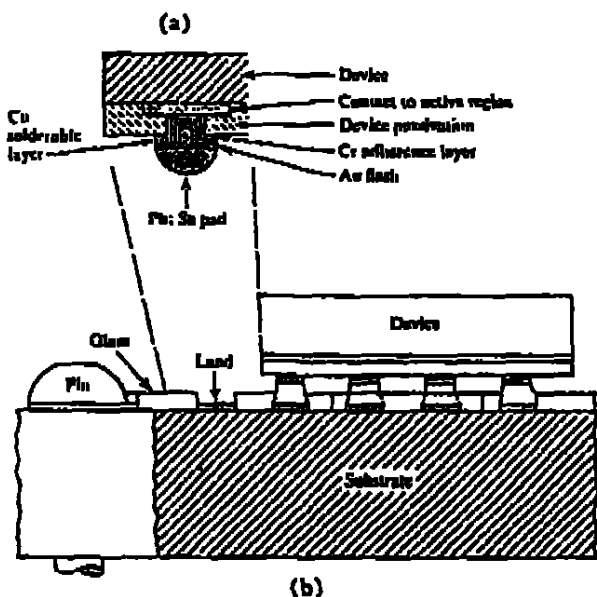


Figure 6-6. Controlled Collapse Chip Connection. (a) Side view of a device. (b) Side view of a device on a substrate (dam method). After Miller, Ref. [8], 1969.

possible with etched thin-film $Cr-Cu-Cr$ on ceramic, associated with that technology, allowed wiring escape for double rows of I/O pads and many internal connections. Later, a "depopulated" grid of bumps allowed the interconnection of 120 pads on 700-circuit logic chips. The fully populated area grid array, in which every grid point is occupied by a solder bump, required the complexity of multilayered, cofired ceramic packages. In these packages the distribution of I/O wiring could be accommodated by via "microsockets" and buried layers of wiring as opposed to single-level wiring, where the "escape" of wires is geometrically restricted by the maximum number of lines per channel between I/O connections [10]. The progression of C4 geometry is shown in Figure 6-7.

An example of an area array C4 configuration is shown in Figure 6-8. The I/O count is 120 in an efficient square grid array, which is 11 C4 pads long by 11 pads wide on 250 μm (10 mil) centers. A 125 μm (5mil) solder bump is located at every intersection in the grid except one, which is displaced for orientation purposes [2]. Some packages, such as the cofired alumina ceramic MLC, (Fig. 6-9) use 9 to 133 area array chip sites per package to attain high bipolar circuit densities in IBM's 4300 and 3081 series computers. Logic and memory chips are mixed as required. As many as 25,000 logic circuits or 300,000 memory bits have been packaged on a single TCM substrate in this technology [10, 11, 12, 13, 14]. The most populous logic flip chip to date is a circuit "computer-on-a-chip" which has 762 C4 solder bumps in a 29 x 29 area array (Fig. 6-10) [15]. Four levels of metal wiring in this chip are used, compared to the two or three levels normally used, previously.

Over time, the C4 technology has been extended to other applications. C4s are used on thin-film resistor and capacitor chips in hybrid module applications [17]. Solder pads for this application are very large — 750 μm in diameter. At the other extreme, Schmid [18] used C4s for precision registration and alignment in the joining of a $GaAs$ waveguide. The C4s in this case were only 25 μm high. The most dense area array reported has been a 128 x 128 array of 25 μm bumps on 60 μm centers, resulting in 16,000 pads [19]. The photolith process for forming these is discussed later. C4s or solder structures similar to C4s are used for attaching chip carriers to boards and have become part of the surface mount revolution discussed in the first chapter. New applications of this technology are being explored continually.

6.3.2 Materials

Melting point has been a prime consideration in the choice of solder alloys for C4s. High-lead solders, especially 95 $Pb/5 Sn$, have been most widely used with alumina ceramic substrates because of their high melting point, approximately 315°C. Their use for the chip connection allows other, lower-melting-point solders to be used at the module-to-card or card-to-board packaging level without remelting the chip C4s.

74
73

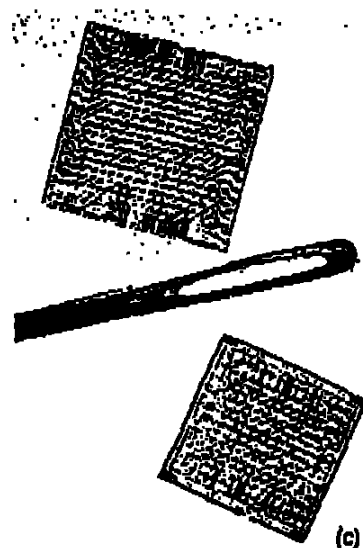
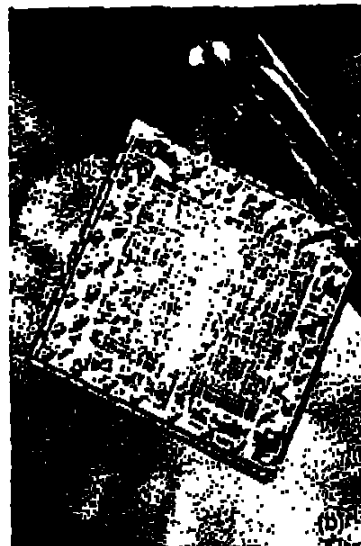


Figure 6-7. Progression of C4 Geometry. (a) Progression of solder-bump I/O geometry from MST integrated circuits; (b) to double-row perimeter; (c) to area arrays. After Goldmann, Ref. [5], 1983, reprinted with permission of Solid State Technology.

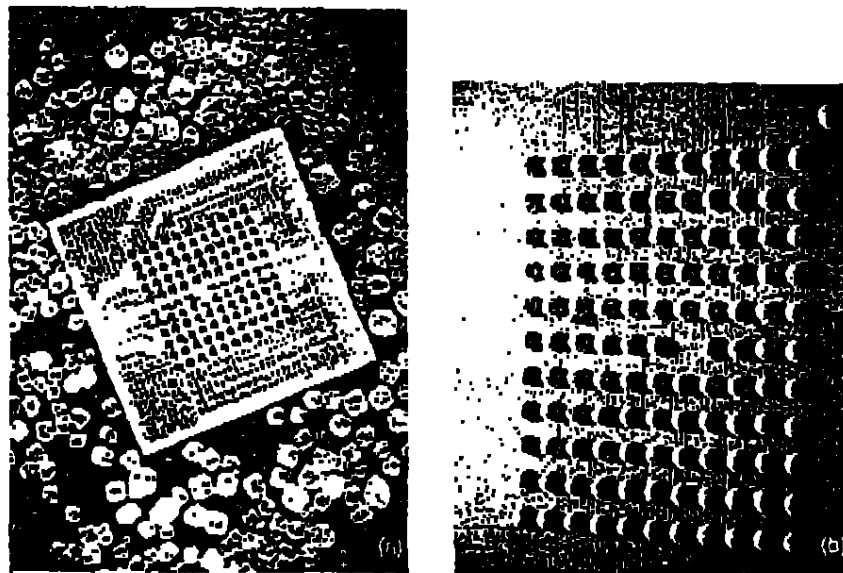


Figure 6-8. Area Array C4 Configuration. (a) An 11 x 11 full area array of solder bumps on a 700-circuit logic chip for use with multilayered ceramic. (b) SEM view of solder bumps. After Goldmann, Ref. [5], 1983, reprinted with permission of Solid State Technology.

A reverse order of assembly (e.g., modules-to-board, then chips-to-module) would require a reverse order of melting point. Josephson superconducting devices have been joined in such a fashion, using an alloy of 51 *In*/32.5 *Bi*/16.5 *Sn* (having a melting point of 60°C) for the chip C4s, while a higher-melting-point eutectic alloy, 52 *In*/48 *Sn* (having a melting point of 117°C), was used for pins and for orthogonal connections to the chip carrier [20, 21, 22].

Joining to organic carriers such as polyimide-Kevlar®¹⁹ [23] or printed-circuit boards [24, 25, 26] also requires lower processing temperatures. Here, intermediate melting point solders, such as eutectic 63 *Sn*/37 *Pb* (melting point 183°C), and *Pb*/*In* alloys, such as 50 *Pb*/50 *In* (melting point of approximately 220°C), have been used. A listing of solder alloy compositions and melting points is shown in Table 6-1. Some phase diagrams relevant to C4 solder joints are shown in Figure 6-11.

¹⁹ Trademark of Dupont Corp.

26
25

- A large difference (over 30 times) in expansion rates between the elastomer and the plastic usually leads to premature failure of gold wires on temperature-cycling stress tests.
- When the elastomer is applied over large chips, a thick dome forms. During temperature cycling, the dome expands and tends to force the plastic away from the lead frame.
- The coating application adds an extra assembly operation that would ultimately raise the unit cost of the modules.

The development of low-chloride molding compounds has curtailed the use of silicone elastomers as a corrosion inhibitor.

8.2.8 Distribution of Stresses

There are families of semiconductor chips, such as Hall-effect devices and linear circuits, that contain resistors, which must be balanced to achieve circuit performance. These resistor elements on a chip's active surface change values as a function of pressure (due to piezoresistive effects). The resistor sets become unbalanced when the pressure exerted on them is nonuniform, as is the case when plastic is in contact with the chip surface.

Silicone elastomers are tailor-made for solving the piezoresistive problem. Hall-effect chips are completely encapsulated with a thin layer of elastomer prior to molding. The nonuniform compressive forces of the rigid plastic are transmitted to the elastomer, which exerts uniform hydrostatic pressure on the entire Hall-effect chip. Each resistor now has equal pressure applied, and the set remains in balance in the final molded configuration. Hall-effect chips are an extreme case of linear devices which require an elastomeric coating for stress redistribution.

Nowadays, silicone elastomers are increasingly being used as stress buffers for large CMOS logic-array chips. Molding compound induced-stress increases as silicon dies get larger. Eventually, stresses reach a critical point where aluminum lines deform and the passivation layers crack. A conformal coating of a silicone elastomer on the chip separates the rigid plastic from the surface structures of the semiconductor, thus eliminating any potential deformation induced by molding stresses. More recently, polyimide resins have supplanted silicone elastomers for linear device applications since these polymers do not have the drawbacks of elastomers mentioned previously [9, 10, 11, 12, 13, 14].

8.2.9 Radiation Barriers

Alpha particle-induced errors in semiconductor devices were recorded for the first time in 1976 [15]. Such errors are likely to be magnified with the current trend toward higher levels of integration.

6.3 CONEXION DE CHIP DE COLAPSO CONTROLADO (C4)

En esta sección se han utilizado otras dos siglas: BLM y TSM. Ellas se refieren a las metalurgias conectoras terminales en el chip y en el substrato respectivamente. BLM quiere decir Ball Limiting Metallurgy (Metalurgia Limitante de Bola) y se refiere a la región de metalurgia terminal en la superficie superior del chip, la cual es humectable por el estañado. TSM quiere decir Top Surface Metallurgy (Metalurgia de Superficie Superior) y se refiere a la metalurgia terminal en el substrato al cual son unidos el chip y su bola asociada de estañado.

6.3.1 Historia de C4

La interconexión de protuberancia de estañado de circuitos de golpe, la soldadura de frente de dispositivos de silicona a substratos de alúmina, ha sido practicada durante aproximadamente veinte años [5]. Introducida por primera vez en 1964 con módulos híbridos de Tecnología Lógica Sólida (SLT) del Sistema IBM/360, ella era parte de un diseño para eliminar el gasto, la poca confiabilidad y la baja productividad del empalme manual de conductores [6]. La protuberancia de estañado también era una parte integral de un sistema de sellado hermético de nivel de chip creado mediante la película de pasivación de vidrio sobre la microplaqueta [7]. La mayoría de los dispositivos semiconductores de aquella época estaban, en contraste, protegidos mediante costosas latas selladas herméticamente. El diseño de metalurgia terminal tenía el propósito de resellar el acceso de agujeros de "vía" a través del vidrio, así como también de proporcionar un medio para someter a prueba y unir el chip (Figura 6-5).

Figura 6.5. Diseño de Metalurgia Terminal. El chip de golpe SLT original (cuadrado de 27 mm) con pasivación de vidrio, sellamiento BLM de los agujeros de vía y protuberancias de estañado de bola de Cu. Según Totta, Ref. [4], 1969.

Inicialmente para los transistores o diodos separados de la Tecnología Sólida híbrida se utilizaron distanciadores de bola de cobre, incrustados en las protuberancias de estañado, para que los bordes de silicona no-pasivados de los chips no provocaran corto circuitos en las zonas de conectores de película gruesa recubiertas de estañado [4]. Posteriormente, en la era de los circuitos integrados, fue concebida la conexión de chip de colapso controlado. En esta técnica se evitaba que una protuberancia de estañado puro colapsara o fluyera hacia afuera de la zona de conectores de electrodo mediante el uso de represas de vidrio de película gruesa o detentores [8], los cuales limitaban el flujo de estañado a la punta de la metalización del sustrato (Figura 6-6).

Similarmente, el flujo en el chip se encuentra limitado por un atenuador de metalurgia limitante de bola, el cual es un atenuador circular de película delgada evaporada de cromo, cobre y oro que proporciona el sellamiento de la vía así como también una base conductiva soldable para la protuberancia de estañado. Un depósito bastante grueso (100-125 μm) de estañado evaporado de 95 Pb/5 Sn actúa como la conducción primaria y como material de unión entre el chip y el sustrato [9].

Los tempranos chips de circuitos integrados tenían típicamente atenuadores periféricos C4 I/O al igual que sus homólogos de empalme de conductores. Los atenuadores tenían de 125 a 150 μm de diámetro en centros de 300 a 375 μm . El espaciado de conexión era típicamente compatible con la capacidad de resolución del enrejillado de electrodos de película gruesa (AgPd) en los sustratos cerámicos.

Figura 6. Conexión de Chip de Colapso Controlado. (a) Vista lateral de un dispositivo. (b) Vista lateral de un dispositivo en un sustrato (método de represa). Según Miller. Ref. [8], 1969

Cu solderable layer = capa soldable de Cu

79
77

Pb/Sn pad = atenuador de Pb/Sn

Device = dispositivo

Conduct to active region = conducto a región activa

Cr adherence layer = capa de adhesión de Cr

Au flash = Rebaba de Au

Glass = vidrio

Land = zona de conectores

Pin = pin

Substrate = substrato

Ocasionalmente era conveniente tener uno o dos atenuadores de energía "interior" en la tecnología de película gruesa, pero números mayores de atenuadores I/O interiores no pudieron ser utilizados hasta que estuvo disponible la tecnología de cerámica metalizada (MC) a mediados de la década de 1970, tal como se discute en el Capítulo 7 "Empaque Cerámico" y en el Capítulo 9 "Empaque de Película Delgada". Las líneas y los espacios más estrechos hechos posibles con película delgada grabada Cr-Cu-Cr en cerámica, asociada con dicha tecnología, permitió el escape de alambrado para hileras dobles de atenuadores I/O y muchas conexiones internas. Posteriormente, una retícula de protuberancias "despoblada" permitió la interconexión de 120 atenuadores en chips lógicos de 700 circuitos. El arreglo de retícula de área poblada totalmente, en el cual cada punto de la retícula está ocupado por una protuberancia de estañado, requirió la complejidad de empaques cerámicos codisparados de múltiples capas. En estos empaques la distribución de alambrado I/O podía ser acomodada mediante "microreceptáculos" de vía y capas enterradas de alambrado a diferencia del alambrado de un solo nivel, en el cual el "escape" de alambres está restringido geométricamente por el número máximo de líneas por canal entre las conexiones I/O [10]. En la Figura 6-7 se muestra la evolución de la geometría del C4.

En la Figura 6-8 se muestra un ejemplo de una configuración C4 de arreglo de área. El número de I/O es 120 en un eficiente arreglo de retícula cuadrada, el cual tiene 11 atenuadores C4

de largo por 11 atenuadores de ancho en centros de 250 μm (10 mil). Una protuberancia de estañado de 125 μm (5 mil) se encuentra ubicada en cada intersección en la retícula, excepto una que está desplazada para propósitos de orientación [2]. Algunos empaques, como por ejemplo el MLC cerámico de alúmina codisparado (Figura 6-9), utilizan de 9 a 133 sitios de chip de arreglo de área por empaque para lograr elevadas densidades de circuitos bipolares en las computadoras IBM series 4300 y 3081. Los chips lógicos y los chips de memoria están mezclados según se requiera. En esta tecnología se han empacado hasta 25.000 circuitos lógicos o 300.000 bits de memoria en un solo substrato TCM [10, 11, 12, 13, 14]. El chip lógico de golpe más populoso que se puede mencionar es un circuito "computadora en un solo chip" que tiene 762 protuberancias de estañado C4 en un arreglo de área de 29 x 29 (Figura 6-10)[15]. En este chip se utilizan cuatro niveles de alambrado metálico en comparación con los dos o tres niveles normalmente usados anteriormente.

Con el correr del tiempo la tecnología C4 ha sido extendida a otras aplicaciones. Los C4s se utilizan en chips resistores y capacitores de película delgada en aplicaciones de módulo híbrido [17]. Los atenuadores de estañado para esta aplicación son bastante grandes, teniendo 750 μm de diámetro. Al otro extremo, Schmid [18] utilizó C4s para registro y alineación de precisión en la unión de una guíaondas GaAs. En este caso los C4s tenían una altura de solamente 25 μm . El arreglo de área más denso que se ha reportado fue un arreglo de 128 x 128 de protuberancias de 25 μm en centros de 60 μm , resultando en 16.000 atenuadores [19]. Más adelante se discute el proceso de fotolito para la formación de éstos. Los C4s o estructuras de estañado similares a los C4s son utilizados para unir portadores de chips a tarjetas y se han convertido en parte de la revolución de montaje de superficie discutida en el Capítulo

primero. Nuevas aplicaciones de esta tecnología siguen siendo exploradas permanentemente.

6.3.2 Materiales

El punto de fusión ha sido una consideración de primera importancia en la elección de aleaciones de estañado para los C4s. Los estañados de alto contenido de plomo, especialmente 95 Pb/5 Sn, han sido utilizados ampliamente con substratos de cerámica de alúmina debido a su alto punto de fusión, aproximadamente 315°C. Su utilización para la conexión de chips permite el uso de otros estañados de más bajo punto de fusión al nivel de empaque módulo a tarjeta o tarjeta a módulo sin tener que volver a fundir los chips C4.

Figura 6-7. Evolución de la geometría de C4. (a) Evolución de la geometría I/O de protuberancia de estañado desde los circuitos integrados MST; (b) al perímetro de doble hilera; (c) a los arreglos de área. Según Goldmann, Ref. [5], 1983 re-impreso con permiso de Solid State Technology.

CHIP-TO-PACKAGE INTERCONNECTIONS = INTERCONEXIONES CHIP A EMPAQUE

Figura 6-8. Configuraciones de C4 de arreglo de área. (a) un arreglo de área total de 11 x 11 de protuberancias de estañado en un chip lógico de 700 circuitos para uso con cerámica de capa múltiple. (b) Vista de SEM de protuberancias de estañado. Según Goldmann, Ref. [5], 1983 re-impreso con permiso de Solid State Technology.

CONTROLLED COLLAPSE CHIP CONNECTION (C4)

= CONEXION DE CHIP DE COLAPSO CONTROLADO (C4)

Un ensamblaje de orden inverso (como por ejemplo módulos a tarjeta, luego chips a módulo) requeriría un orden inverso del punto de fusión. Los dispositivos superconductores de Josephson han sido unidos de esa manera utilizando una alea-

ción de 51 Bi/32,5 Bi/6,5 Sn (con un punto de fusión de 60°C) para los chips C4s, mientras que una aleación eutéctica de punto de fusión más elevado, 52 In/48 Sn (con un punto de fusión de 117°C) fue utilizada para pines y conexiones ortogonales al portador de chips [20, 21, 22].

La unión a portadores orgánicos tales como poliimida-Kevlar® [23] o tarjetas de circuitos impresos [24, 25, 26] también requiere temperaturas de procesamiento bajas. Para esto se han utilizado estañados de punto de fusión intermedios, tales como aleaciones eutécticas de 63 Sn/37 Pb (punto de fusión 183°C) y PbIn, tales como 50 Pb/50 In (punto de fusión de aproximadamente 220°C). En la Tabla 6-1 se presenta un listado de composiciones de aleación y puntos de fusión. En la Figura 6-11 se muestran algunos diagramas de fase relevantes para las uniones de estañado C4.

8.2 DISEÑO DE EMPAQUE IC MOLDEADO PLASTICO

- Una diferencia grande (más de 30 veces) en las velocidades de expansión entre el elástomero y el plástico resulta usualmente en la falla prematura de los alambres de oro en las pruebas de tensión por ciclos de temperatura.
- Cuando el elástomero se aplica sobre chips grandes se forma una cúpula gruesa. Durante los ciclos de temperatura la cúpula se expande y tiende a forzar el plástico hacia fuera del marco de plomo.
- La aplicación del recubrimiento añade una operación de ensamblaje extra, la cual en último término aumentaría el costo unitario de los módulos.

El desarrollo de compuestos de moldeo de bajo cloruro ha reducido el uso de los elástomeros de silicona como inhibidor de corrosión.

8.2.8 Distribución de tensiones

Hay familias de chips semiconductores, tales como los dispositivos de efecto de Hall y circuitos lineales, que contienen resistores que tienen que ser balanceados para alcanzar rendimiento del circuito. Estos elementos resistores en la superficie activa del chip cambian sus valores en función de la presión (debido a efectos piezoresistivos). Los conjuntos de resistores pierden su balance cuando la presión ejercida sobre ellos no es uniforme, tal como sucede cuando el plástico está en contacto con la superficie del chip.

Los elástomeros de silicona están hechos a la medida para solucionar el problema piezoresistivo. Los chips de efecto de Hall son encapsulados completamente con una capa delgada de elástomero antes del moldeo. Las fuerzas de compresión no-uniformes del plástico rígido son transmitidas al elástomero, el cual ejerce presión hidrostática uniforme sobre todo el chip de efecto de Hall. Ahora cada resistor tiene aplicada una presión igual y el conjunto permanece balanceado en la configuración moldeada final. Los chips de efecto de Hall son un caso extremo de dispositivos lineales que requieren un recubrimiento elastomérico para la redistribución de la tensión.

Actualmente los elástomeros de silicona se utilizan cada vez más como amortiguadores de tensión para chips grandes de arreglo lógico CMOS. La tensión inducida por los compuestos de moldeo se incrementa a medida que los chips de silicona se hacen más grandes. Finalmente las tensiones alcanzan un punto crítico en el cual las líneas de aluminio se deforman y las capas de pasivación se quiebran. Un adecuado recubrimiento de un elástomero de silicona sobre el chip separa el plástico rígido y las estructuras de superficie del semiconductor, eliminando así cualquier deformación potencial inducida por las tensiones de moldeo. Mucho más recientemente las resinas de poliimida han reemplazado a los elástomeros de silicona para

aplicaciones de dispositivos lineales ya que estos polímeros no tienen los inconvenientes de los elástomeros mencionados anteriormente [9, 10, 11, 12, 13, 14].

8.2.9 Barreras de radiación

En 1978 fueron registrados por primera vez los errores inducidos por partículas alfa en los dispositivos semiconductores [15]. Es muy probable que tales errores se magnifiquen con la tendencia actual hacia niveles más altos de integración.

83
84

SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO
DIVISIÓN DE NUEVAS CREACIONES

2020
Bogotá D.C.

Doctora:
María del Consuelo Zarama Urdaneta
Apoderada

REFERENCIA:

Radicación	03-112.657
Trámite	002
Evento	001
Actuación	430
Oficio No	4351
Folios	004

Como resultado del examen de fondo, realizado conforme a lo establecido por el artículo 45 de la Decisión 486 de la Comisión de la Comunidad Andina, se le comunica:

1. Documentos estudiados:

Para el presente estudio se tuvo en cuenta la descripción de los folios 5 a 12, los dibujos 1 y 2 del folio 15, las reivindicaciones 1 a 5 de los folios 26 a 27, documentos anexos en la radicación inicial, que se aceptaron y el memorial de respuesta al oficio No 13.615 del 24 de noviembre de 2006.

2. Objeto de la Invención

Según la descripción, el objeto de la solicitud consiste en suministrar una forma de fijar una capa de material semiconductor a un sustrato, reivindicada en la forma de disposición de chip o circuito integrado.

De otra parte, el pliego reivindica: una disposición de chip para la reducción de los efectos piezoeléctricos en al menos un componente (3) eléctrico sensible... eléctrico de contacto, relacionada en las reivindicaciones 1 a 5.

Según la IPC la clasificación del objeto reclamado es H01L 43/04.

3. Claridad de la solicitud:

3.1 El artículo 28 de la Decisión 486 de la Comisión de la Comunidad Andina señala que: "la descripción deberá divulgar la invención de manera suficientemente clara y completa para su comprensión y para que una persona capacitada en la materia técnica correspondiente pueda ejecutarla".

La descripción calificada presenta errores de transcripción, redacción y traducción que deforman la exposición y que pueden conducir a errores de Interpretación debido, de un lado, al uso permanente de extranjerismos tales como: "packaging", "underfiller", "low-stress-plastic-materials", "wafer level chip size packaging", "flip-chip-bonding", "ball-grid-array", etc. y, de otro lado, a la mala ubicación de los numerales posicionales. Por estos motivos la exposición no es clara.

3.2 El artículo 30 de la citada Decisión indica que: "las reivindicaciones definirán la materia

que se desea proteger mediante la patente. Deben ser claras y concisas y estar enteramente sustentadas por la descripción".

Las reivindicaciones del pliego calificado, además de incluir errores de redacción y traducción como los citados para la descripción, están redactadas en términos de un procedimiento de fabricación, lo cual, no se permite.

La reivindicación 1 no tiene suficiente sustento descriptivo porque en ella se menciona que, "... se ha configurado un espacio intermedio 8...", el cual, no se describe ni aparece en las figuras; además, no es claro para nosotros como se "configura un espacio".

Por los motivos precedentes el pliego no cumple las disposiciones del artículo 30.

Como se informa en el folio 68 no se presentaron oposiciones por parte de terceros.

Finalmente, se recomienda que las observaciones de este punto sean resueltas en conjunción con las del punto 5 de adelante.

4. Evaluación de la unidad de invención:

El artículo 25 de la Decisión 486 establece que, "La solicitud de patente sólo podrá comprender una invención o un grupo de invenciones relacionadas entre sí, de manera que conformen un único concepto inventivo".

Para efectos de este examen, se considerará que el pliego calificado se dirige a un único objeto, por lo que cumple el requisito establecido.

5. No cumplimiento de los requisitos de patentabilidad:

El artículo 14 de la Decisión 486 establece que: "Los países miembros otorgarán patentes para las invenciones, sean de producto o de procedimiento (...) Industrial", (resaltado fuera de texto).

Para dar cumplimiento a tal requisito, y teniendo en cuenta que ni la Decisión ni el reglamentario establecen, taxativamente, cómo se debe definir cada una de las categorías, la oficina estableció como práctica común del procedimiento de calificación, basándose en las definiciones del párrafo 57 de la *Guía sobre el examen de las solicitudes de patentes*, donde se especifica que existen dos tipos de reivindicaciones: de producto y de procedimiento (método), que las primeras deben definir el objeto que se desea proteger mediante las características estructurales ó de función y las de procedimiento, deben definirse con una secuencia de etapas que conduzcan a la fabricación de un producto.

Lo anterior está en concordancia con la jurisprudencia dictada por el Tribunal de Justicia de la Comunidad Andina, en la interpretación prejudicial dentro del proceso 36-IP-98, donde en 4.1 establece:

"(...) Las invenciones de producto son aquellas (...) que revisten una forma tangible, por ejemplo, máquinas, equipos, aparatos, dispositivos, etc. la invención puede residir tanto en un producto independiente como en un producto que solo constituye una parte de otro producto y que solo puede venderse como parte de otro producto. Una invención de procedimiento, en general, es una solución consistente en una secuencia de etapas conducentes a la fabricación de un producto (...)", (subrayados fuera de texto).

A la luz de lo anterior, de acuerdo a la norma, el procedimiento y la jurisprudencia dictada, un producto debe revestir una forma tangible y ser definido o bien por las características

de estructura o bien por las características de función entre los componentes de una estructura; consecuentemente, resulta obvio que un producto NO se puede definir en términos de un procedimiento de fabricación porque sería tratar de definir una cosa por otra, y se relacionaría un producto por las características de un procedimiento, a todas luces contrario a lo que establece la norma, el procedimiento y la jurisprudencia.

6. Determinación del estado de la técnica:

La fecha para determinar el estado de la técnica es 27 de junio de 2001.

El estado de la técnica determinado es el mismo que se relacionó en el informe de búsqueda de la publicación WO 03/003840.

7. Evaluación de los requisitos de patentabilidad:

En cumplimiento del artículo 14 de la Decisión 486, el cual, dispone que: "Los países miembros otorgarán patentes para las invenciones, sean de producto o de procedimiento, en todos los campos de la tecnología, siempre que sean nuevas, tengan nivel inventivo y sean susceptibles de aplicación industrial"; se procedió a evaluar los requisitos de fondo con el objeto de establecer la patentabilidad de las reivindicaciones de la solicitud presentadas para tal efecto.

7.1 Evaluación del nivel inventivo

Conforme al artículo 18 de la decisión 486 que establece "Se considerará que una invención tiene nivel inventivo, si para una persona del oficio normalmente versada en la materia técnica correspondiente, esa invención no hubiese resultado obvia ni se hubiese derivado de manera evidente del estado de la técnica".

La persona del oficio, normalmente versada en la materia técnica correspondiente, que se puede encargar de solucionar el problema planteado en la presente solicitud, es un ingeniero electrónico con experiencia en circuitos integrados, que conozca la composición y los principios básicos de fabricación de dichos dispositivos o, por lo menos, que cuente con las condiciones necesarias para informarse acerca de esos principios al consultar la literatura técnica respectiva.

El documento D3 (US 4 123 772) divulga una disposición de chip con un componente eléctrico dispuesto en una capa activa de material semiconductor, la cual capa comprende una primera área con un componente eléctrico y una segunda área con varios contactos para conexión eléctrica. La única diferencia, entre lo reivindicado en 1 y lo revelado por el antecedente, consiste en que la anterioridad no menciona el tipo de empaque para el componente eléctrico sensible a los efectos piezoeléctricos.

Sin embargo, el antecedente D1 (Tummala R R; Rymaszewski E J; editors: "Microelectronics packaging handbook") enseña un tipo de empaque para componentes eléctrico sensible a los efectos piezoeléctricos como los dispositivos de efecto de Hall, los circuitos lineales con resistencias, que se expone en las interconexiones de empaque para chips, materiales y distribución de esfuerzos.

Consecuentemente, un técnico en la materia, a partir de las enseñanzas del documento 3 con las enseñanzas del documento 1 pudo derivar, de forma evidente, lo reivindicado en 1 a 5, por ello, el pliego no tiene nivel inventivo.

Por otra parte, se conoce ampliamente en la técnica que los chips se diseñan y elaboran asistidos por computador con tecnología planar, uno de cuyos pasos finales es el empaquetamiento o encapsulamiento del circuito eléctrico "sensible" a los "efectos piezoeléctricos". Desde ese punto de vista, lo que la solicitud propone es una técnica de

88
87

empaquetado a tamaño de circuito integrado, en la que la capa activa del material semiconductor se fija mecánica, eléctrica y/o térmicamente a una base impresa en una sola operación.

Adicionalmente, desde los inicios de la fabricación de CI se conocen varias fases como la preparación del material, el crecimiento epitaxial, la fotolitografía, etc. en una de esas fases, por ejemplo, el crecimiento epitaxial o bajo difusión se puede lograr el "rebase a forma de balcón" mencionado en la solicitud, por estos motivos se considera que lo solicitado no tiene nivel inventivo.

7.2 En opinión de la oficina, el contenido de la solicitud en estudio encuadra mejor en las disposiciones del título IV de la Decisión 486, razón por la que se recomienda cambiar a ese tipo de protección.

En conclusión, la solicitud no cumple las disposiciones de los artículos 14, 18, 28 y 30; no es evidente que parte de la solicitud podría servir de base para sustentar la patentabilidad de un objeto definido; si el interesado considera que hay alguna materia patentable deberá fundamentarlo con características técnicas, que no podrán ir más allá de lo permitido por el artículo 34 e indicar en que parte de la descripción inicialmente radicada tiene(n) sustento.

En cumplimiento del artículo 45 de la decisión 486 de la Comisión de la Comunidad Andina, se le indica que debe dar respuesta dentro del término de sesenta días contados a partir de la fecha de notificación de la presente comunicación. En el caso de no dar respuesta al presente requerimiento, o si a pesar de la respuesta subsisten impedimentos para la concesión, se denegará la patente.

Notifíquese el presente oficio conforme a lo dispuesto en el numeral 5.2, literal e), del capítulo quinto del título primero de la Circular Única No 10 de 2001.


ALIX CÉSPEDES DE VERGEL
Jefe de la División de Nuevas Creaciones

El anterior requerimiento fue notificado por fijación en lista, de fecha 13 ABR 2007

Concepto Técnico	Examinador Técnico IE	Examinador jurídico
Número: 524	Código: 202004	Código: