

99 99

JOSE JOAQUIN PEREZ & CIA.
ABOGADOS

SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO



No. 03-112657- -00011-0000

Fecha: 2008-09-19 15:35:28 Dep. 2020 NUECREACION
Tra. 11 PATENTEIYII Eve: 379 FASENACIONALII
Act. 444 RESPUESTAREQUE Folios: 14

Señores
DIVISION DE NUEVAS CREACIONES
SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO
Ciudad

REFERENCIA: Expediente No. 03 – 112.657

TÍTULO: “DISPOSICION PARA LA REDUCCION DE LOS EFECTOS PIEZOELECTRICOS EN AL MENOS UN COMPONENTE ELECTRICO QUE ES SENSIBLE A LOS EFECTOS PIEZOELECTRICOS Y ESTA DISPUESTO EN UNA CAPA DE MATERIAL SEMICONDUCTOR”

SOLICITANTE: LANDIS+GYR AG

TRÁMITE: Respuesta a Concepto Técnico No. 1087 del 9 de Mayo de 2008

RESPUESTA AL CONCEPTO TECNICO.

MARIA DEL CONSUELO ZARAMA URDANETA, en mi condición de apoderada de la Sociedad **LANDIS+GYR AG**, me permito informar a ese Despacho que dentro del término legal, el 4 de agosto de 2008 solicité una prórroga para atender el **OFICIO 5998 DEL 9 DE MAYO DE 2008**, la anterior solicitud la hice de acuerdo a lo establecido en el artículo 45 de la Decisión 486 de la Comisión de la Comunidad Andina.

Me permito dar respuesta al **Concepto Técnico No. 1087** notificado mediante **Oficio No. 5998 del 9 de mayo de 2008**, como sigue:

1. DE LA SOLICITUD DE PATENTE

Objeciones con relación a la claridad de la descripción

El Examinador Técnico objeto la descripción de la invención en lo relacionado con lo siguiente:

“La descripción calificada presenta errores de transcripción, redacción y traducción que deforman la exposición y que pueden conducir a errores de interpretación debido, de un lado, al uso permanente de extranjerismos tales como: “packaging”, “underfiller” “low-stress-materials” “wafer level chip size

**JOSE JOAQUIN PEREZ & CIA.
ABOGADOS**

estos motivos la ex'posición no es clara".

R/: El solicitante se permite aclarar los términos en idioma extranjero que aparecen la descripción original de la solicitud, como sigue:

Packaging: Proceso de encapsulado del circuito electrónico.

Underfiller: Material de relleno externo o de soporte.

Low stress plastic materials: materiales plásticos de bajo coeficiente de

Wafer lever chip size packaging: Un tipo de técnica de fabricación de circuitos integrados, tamaño del encapsulado del circuito electrónico.

flip chip bonding: Técnica de incorporar el circuito integrado al soporte de encapsulado.

ball grid array : Arreglo de bolas en forma de rejilla.

Nuestro poderdante se permite poner a consideración del Examinador Técnico de Patentes una **NUEVA DESCRIPCION DE LA INVENCION** la cual incluye las aclaraciones a los términos en idioma extranjero.

Objeciones con relación a la claridad de las reivindicaciones

El Examinador Técnico objeto las Reivindicación de la invención en lo relacionado con lo siguiente:

"Las Reivindicaciones del pliego calificado, además de incluir errores de redacción y traducción como los citados para la descripción, están redactadas en términos de un procedimiento de fabricación, lo cual no se permite."

"La reivindicación 1 no tiene suficiente sustento descriptivo porque en ella se menciona que, "...se ha configurado un espacio intermedio 8...", el cual no se describe ni aparece en las figuras; además, no es claro para nosotros como se "configura un espacio".

"Por los motivos precedentes el pliego no cumple con las disposiciones del artículo 30".

R/: Con relación al espacio intermedio 8 se incluyó en la Descripción de la Invención la explicación de cómo está delimitado dicho espacio entre la primera zona 2a de la capa activa 2 de material semiconductor y el sustrato 5 y se puede apreciar en la **NUEVA FIGURA 1** que se corrigió y se adjunta nuevamente.

Por otro lado, nuestro poderdante se permite poner a consideración del Examinador Técnico de Patentes **UN NUEVO CAPITULO REIVINDICATORIO** al cual se le han efectuado las correcciones y aclaraciones mencionadas por el Examinador

JOSE JOAQUIN PEREZ & CIA.
ABOGADOS

2. DEL ANÁLISIS DE PATENTABILIDAD.

ACTIVIDAD INVENTIVA.

El Examinador de Patentes hace un análisis los documentos **D3 (US 4.123.772)** y **D1 (Tummala R R; Rymaszewski E J editors...)** donde concluye que la única diferencia entre lo reivindicado en 1 y lo revelado en los antecedentes **D3 y D1** consiste en que en la anterioridad **D3** no se menciona el tipo de empaque para el componente eléctrico sensible a los efectos piezoeléctricos; además manifiesta que se conocen ampliamente en la técnica que los chips se diseñan y elaboran asistidos por computador con tecnología planar, donde uno de los pasos finales es el empaquetamiento o encapsulamiento del circuito eléctrico sensible a los efectos piezoeléctricos. Por lo cual, un técnico en la materia, a partir de las enseñanzas del documento **D3** con las enseñanzas **D1** se puede derivar de forma evidente lo Reivindicado en 1 a 3, por ello el pliego no tiene nivel inventivo.

R/: A los argumentos del Examinador el solicitante manifiesta lo siguiente:

En el documento **D3** (ver en la columna 8, línea 62 hasta la columna 9, línea 2; Figuras 1 y 2) se da a conocer un arreglo de chips con un elemento Hall dispuesto en una capa semiconductor, comprendiendo dicha capa semiconductor una primera área con un elemento Hall y una segunda área con varios contactos para contactar eléctricamente; pero en este documento **D3** no se menciona el tipo de empaque o encapsulamiento del componente.

A diferencia de lo contemplado en la Reivindicación 1 de la presente solicitud de patente de invención de nuestro poderdante, donde el área con el elemento Hall sobresale lateralmente por encima de la segunda zona **2b** de la capa activa **2** de material semiconductor a manera de un balcón determinándose un espacio intermedio (**8**) entre la primera zona **2a** de la capa activa **2** de material semiconductor y el sustrato **5**.

De acuerdo con la técnica contenida en el documento **D3**, se puede considerar que el problema al cual está dirigida la presente solicitud es el encapsulado o empaquetamiento de un elemento Hall teniendo los contactos externos el propósito de prevenir la tensión mecánica.

Por lo tanto para una persona con experiencia en este campo de la tecnología es normal aplicar componentes eléctricos a un sustrato por medio de la técnica del circuito de golpe; sin embargo, en la técnica anterior no se conoce ni de ella resulta obvio para dicha persona versada, resolver el problema del encapsulado antes

102 102

JOSE JOAQUIN PEREZ & CIA.

ABOGADOS

presente solicitud de patente de invención de nuestro poderdante, por lo que queda demostrado que la solicitud **SI CUMPLE** con el **NIVEL INVENTIVO**.

Por todo lo expresado anteriormente, nuestro poderdante pone a consideración del Examinador Técnico de Patentes una **NUEVA DESCRIPCION DE LA INVENCION, NUEVA FIGURA 1 y UN NUEVO CAPÍTULO REIVINDICATORIO**, el cual cumple con el requisito de **NIVEL INVENTIVO** exigido por la Decisión 486 de la Comisión de la Comunidad Andina con respecto a los antecedentes del Estado de la Técnica mencionados en el Concepto Técnico No. 1087 del 9 de mayo de 2008; por lo tanto solicito respetuosamente se proceda a **CONCEDER** la Patente de Invención titulada: **"DISPOSICION PARA LA REDUCCION DE LOS EFECTOS PIEZOELECTRICOS EN AL MENOS UN COMPONENTE ELECTRICO QUE ES SENSIBLE A LOS EFECTOS PIEZOELECTRICOS Y ESTA DISPUESTO EN UNA CAPA DE MATERIAL SEMICONDUCTOR"** a nombre de **LANDIS+GYR AG**.

Atentamente,

Consuelo Zarama U.

MARIA DEL CONSUELO ZARAMA URDANETA

C.C. No. 21.067.863 de Bogotá

T.P. No. 82.353 C.S.J.

Bogotá D.C., 19 de septiembre de 2008

Anexo: Lo anunciado.

**DISPOSICION PARA LA REDUCCION DE EFECTOS PIEZOELECTRICOS EN
AL MENOS UN COMPONENTE ELECTRICO, SENSIBLE A EFECTOS
PIEZOELECTRICOS, DISPUESTO EN UNA CAPA ACTIVA DE MATERIAL
SEMICONDUCTOR**

El invento debe ser asignado al ámbito de la técnica de medida y en especial a la técnica de contadores. Se refiere a la disposición para la reducción de los efectos piezoeléctricos en al menos un efecto piezoeléctrico sensible al componente eléctrico, dispuesto en una capa activa de material semiconductor.

ESTADO DE LA TECNICA.

Los parámetros de la mayoría de los componentes eléctricos integrados en una capa activa de material semiconductor dependen de las tensiones mecánicas en este material semiconductor. Este fenómeno se conoce como efecto piezoeléctrico en particular en las resistencias integradas en el material semiconductor y está especialmente manifiesto con los distintos elementos Hall.

La sensibilidad mecánica de las propiedades de transmisión de los circuitos integrados en el material semiconductor tiene gran importancia, en especial con relación al encapsulado de los materiales semiconductores. En el encapsulado se agrupan forzosamente diferentes materiales. Debido a las diferencias en la reacción de los materiales utilizados, a la temperatura, la humedad y el envejecimiento, se producen tensiones mecánicas en el material semiconductor encapsulado. Estas tensiones mecánicas pueden dar lugar a problemas inaceptables de la estabilidad a largo plazo.

En la clase de encapsulado más comunes por lo general de más bajo precio, el material semiconductor es recubierto con un material plástico. La mayor parte de las tensiones mecánicas en este encapsulado se debe atribuir a los cambios en el material plástico del encapsulado. La estabilidad del elemento Hall integrado en material de silicio es problemático, incluso cuando se utilizan los conocidos materiales plásticos de bajo coeficiente de tensión. Para la utilización en contadores de electricidad no se conoce ningún tipo de carcasa de material

Las tensiones mecánicas son menores en la clase de encapsulado más cara, conocida como de tipo hermético, ya que falta el encapsulado directo en un material plástico. Sólo quedan las tensiones que se producen entre el chip semiconductor y la superficie de soporte del encapsulado. Sin embargo, estas tensiones tampoco son tolerables, cuando se exige una estabilidad grande. Con el fin de reducir estas tensiones mecánicas entre el material semiconductor y el material de soporte se puede recurrir a lo descrito en el documento EP 0 342 274 B1. En este caso, el material semiconductor sólo está unido parcialmente con el sustrato. La parte del material semiconductor, que comprende la parte del circuito sensible a efectos piezoeléctricos posee un espacio con relación al material de soporte. Sin embargo, en el documento mencionado no se describe el contacto eléctrico, respectivamente el cableado del material semiconductor con las conexiones del encapsulado, pero que tiene que producirse inevitablemente, representando con ello una fijación adicional del material semiconductor. En la ejecución real se fija el material semiconductor doblemente, por un lado, el material de unión, que debe ser aplicado sólo localmente al material de soporte y, por otro lado, con el contacto eléctrico, respectivamente el cableado eléctrico con un entorno técnico de conexión.

Otra clase de encapsulado de bajo costo y utilizada cada vez más, en la que se puede evitar el encapsulado directo con material plástico, es el conocido "Encapsulado del chip al tamaño de una oblea" (WL-CSP). Con este tipo de encapsulado las tensiones mecánicas se producen principalmente en los contactos eléctricos entre el material semiconductor y la placa impresa del circuito en la que está montada la carcasa.

DESCRIPCION DE LA INVENCION.

El objeto de la invención es crear una Disposición de chip de bajo costo, que se pueda fabricar con facilidad, que elimine la influencia negativa del efecto piezoeléctrico, debido al montaje, en particular, al efecto negativo en la exactitud y en la estabilidad a largo plazo de un circuito electrónico de precisión formado por componentes semiconductores. La Disposición según el invento debe liberar los componentes eléctricos sensibles a efectos piezoeléctricos (de de) tensiones X

El objeto de la invención se soluciona con las características descritas en la Reivindicación 1. Otras configuraciones ventajosas de la invención son objeto de las reivindicaciones dependientes.

El núcleo de la invención se describe en el hecho de que la capa activa del material semiconductor de la Disposición del Chip, que comprende un componente sensible a efectos piezoeléctricos, puede ser fijada, tanto mecánicamente como eléctricamente y térmicamente a un sustrato, por ejemplo, una placa impresa de circuito, en una sola operación. Por lo tanto, la fabricación de la Disposición del chip de acuerdo a la invención es considerablemente más simple, y además, esta disposición es debido al ahorro de al menos un paso de fabricación, más barata frente al estado de la técnica expuesto, en el que, de forma convencional, la disposición del chip tiene que ser segada unilateralmente sobre un sustrato y tiene que posteriormente ser conectada eléctrica y/o térmicamente en un paso de fabricación posterior. Además, en la invención es esencial, que la disposición del chip no posee, en la zona de un componente eléctrico sensible a efectos piezoeléctricos, acoplamientos mecánicos y eléctricos / térmicos, con lo que este componente eléctrico sensible a efectos piezoeléctricos queda libre de fuerzas debido a la dilatación térmica o mecánica.

Una configuración especialmente ventajosas que prevé la invención, es que la primera zona de la capa de material semiconductor, en la que está dispuesto el componente eléctrico sensible a efectos piezoeléctricos, rebase a modo de balcón una segunda zona con los contactos mecánicos y eléctricos / térmicos. A modo de balcón significa en relación con ello, que la zona con los contactos y la zona con el componente eléctrico sensible a efectos piezoeléctricos están dispuestas una al lado de la otra, prácticamente en un plano, al mismo tiempo, que la zona con este dispositivo sobresale lateralmente de la zona con estos contactos.

Es una ventaja de diseño, que la capa activa de material semiconductor se construya de tal modo que se pueda montar por la técnica de incorporar el circuito integrado al soporte de encapsulado.

En dicha técnica se unen los componentes semiconductores no encapsulados en posición invertida con una placa conductora por medio de bolas de soldadura.

En el caso de disposiciones de chip muy pequeñas se dispone ventajosamente de una capa de cableado entre la capa activa de material semiconductor y el sustrato con el fin de preparar superficies de contacto apropiadas, que se correspondan con superficies de contacto correspondientes en el sustrato. Estas capas de cableado se aplican sobre la capa de material semiconductor, por ejemplo, por medio de una técnica de película fina.

En caso necesario se intercala exclusivamente entre la zona de la capa de material semiconductor con los contactos y el sustrato un material de relleno que garantice una distensión mecánica de los contactos.

Es especialmente ventajoso, que los contactos se dispongan en una estructura de matriz, conocida como "Arreglo de bolas en forma de rejilla".

BREVE DESCRIPCIÓN DE LA FIGURA.

En la Figura se representa de forma esquemática y simplificada un ejemplo de ejecución de la invención. Se muestran:

La Figura 1, una vista en corte de la disposición del chip de acuerdo con la invención a lo largo de la línea B-B de la Figura 2.

La Figura 2 es la vista inferior de la disposición del chip.

DESCRIPCION DETALLADA DE LA INVENCION.

La Figura 1 muestra una disposición de chip 1 de acuerdo con la invención con una capa 2 de material semiconductor. Esta capa 2 de material semiconductor se subdivide por medio de la línea A-A, de trazo discontinuo, en una primera región 2a y en una segunda región dividida 2b. La primera zona 2a comprende un componente eléctrico 3 sensible a efectos piezoeléctricos, como por ejemplo, un

que posee contactos eléctricos 6 y por el hecho de que en ella no se dispone al menos de un componente eléctrico 3 sensible al efecto piezoeléctrico. La totalidad de la disposición de chip 1 está unida por medio de estos contactos eléctricos 6 de forma mecánica y eléctrica / térmica con un sustrato 5. Este sustrato 5 puede ser por ejemplo una placa de circuito rígida o flexible, la cual no se muestra aquí en detalle.

Entre los contactos 6 y la capa activa 2 de material semiconductor se dispone una capa de cableado 4, que adapta las conexiones eléctricas, no representadas aquí en detalle, de la capa activa 2 de material semiconductor a la geometría del sustrato 5.

Además, en la segunda zona 2b de la capa de material semiconductor 2 se dispone entre la disposición de chip 1 y el sustrato 5 una capa de material de relleno 7 externo o de soporte que compensa y reduce con ello las fuerzas, que actúan, debido a la dilatación mecánica y/o térmica, sobre la disposición de chip 1. Según el invento, esta capa de material de relleno 7 se prevé únicamente en la segunda zona 2b y no en la primera zona 2a, para que esta zona 2a con el componente eléctrico 3 sensible a efectos piezoeléctricos quede libre de la acción de cualquier fuerza debida al montaje. La primera zona 2a sobresale, por esta razón, lateralmente a modo de balcón por encima de la segunda zona 2b. Con ello se puede fabricar la capa de material semiconductor 2 de forma sencilla en una sola capa plana y se puede montar de forma mecánica, eléctrica / térmica en una zona, es decir la segunda zona 2b, al mismo tiempo, que la primera zona 2a es exterior a cualquier campo de fuerzas mecánicas y eléctricas / térmicas. Los contactos 6 cumplen aquí, de acuerdo con la invención, tres funciones:

- Los contactos 6 establecen una unión rígida entre la disposición de chip 1 y el sustrato 5,
- sirven como interfaces eléctricas entre la disposición de chip 1 y el sustrato 5, y
- sirven para la disipación del calor de la disposición de chip 1 al sustrato 5.

Una aplicación típica de la disposición de chip 1 de acuerdo con la invención es la

componente eléctrico 3 sensible a efectos piezoeléctricos puede ser por ejemplo un sensor Hall con el que se mide la intensidad y/o la tensión. El sensor Hall debe ser considerado por ello como "componente analógico" en la capa activa 2 de material semiconductor, cuyos parámetros intrínsecos reaccionan, como se sabe, de forma sensible a la acción de una fuerza. La segunda zona 2b – es decir la "zona digital" de la capa activa 2 de material semiconductor – considerablemente menos sensible en este aspecto, está fijada al sustrato 5 por medio de los contactos 6.

La capa activa 2 de material semiconductor se construye de tal modo, que puede ser montada superficialmente con la técnica de incorporar el circuito integrado al sustrato 5 de encapsulado. En dicha técnica se unen los componentes semiconductores no encapsulados en posición invertida con una placa de circuito impreso por medio de bolas de soldadura.

Entre la primera zona 2a de la capa activa 2 de material semiconductor y el sustrato 5 se delimita un espacio intermedio 8 de tal modo que esta primera zona 2a con el componente eléctrico 3 sensible a efectos piezoeléctricos sobresale lateralmente a manera de balcón por encima de la segunda zona 2b de la capa activa 2 de material semiconductor.

La Figura 2 muestra una vista inferior de la disposición del chip 1 con los contactos eléctricos 6 alojados en una matriz. Si bien esta disposición de matriz posee frente a una disposición irregular, ventajas de estandarización, no obstante cualquier disposición en contacto es más concebible sin esfuerzo inventivo.

El componente eléctricos 3 sensible a efectos piezoeléctricos, no es visible de forma directa debido al plano elegido para el dibujo, y por ello se representa únicamente con líneas de trazado discontinuo. La línea A-A de trazo discontinuo separa nuevamente la primera zona 2a con el componente eléctrico 6 sensible a efectos piezoeléctricos de la segunda zona 2b de la capa activa 2 de material semiconductor. La línea B-B de trazo discontinuo es sólo una información del plano de corte de la Figura 1.

109
109

SIMBOLOS DE REFERENCIA

- 1 Disposición de chip
- 2 Capa activa de material semiconductor
- 2a Primera zona de 2
- 2b Segunda zona de 2
- 3 Componente eléctrico sensible a efectos piezoeléctricos
- 4 Capa de cableado
- 5 Sustrato
- 6 Contactos eléctricos
- 7 Material de relleno
- 8 Espacio intermedio

REIVINDICACIONES

1. Disposición de Chip para la reducción de los efectos piezoeléctricos en al menos un componente eléctrico (3) sensible a efectos piezoeléctricos dispuesto en una capa activa (2) de material semiconductor, comprendiendo esta capa activa (2) de material semiconductor al menos una primera zona (2a) con el componentes eléctricos (3) sensible a efectos piezoeléctricos y una segunda zona (2b), con una pluralidad de contactos eléctricos (6) para un contactamiento eléctrico, y estando esta capa activa (2) de material semiconductor en la zona (2b) de los contactos eléctricos (6) unida mecánica y eléctricamente y/o térmicamente mediante un material eléctrico de contacto con un sustrato (5), y estando la zona (2a) con el componente eléctrico (3) sensible a efectos piezoeléctricos distanciada del sustrato (5) y permaneciendo además libre de dicho material eléctrico de contacto; disposición **CARACTERIZADA PORQUE** entre la primera zona (2a) de la capa activa (2) de material semiconductor y el sustrato (5) se delimita un espacio intermedio (8) de tal modo que esta primera zona (2a) con el componente eléctrico (3) sensible a efectos piezoeléctricos sobresale lateralmente a manera de balcón por encima de la segunda zona (2b) de la capa activa (2) de material semiconductor.
2. Disposición de acuerdo con la Reivindicación 1, **CARACTERIZADA PORQUE** la capa activa (2) de material semiconductor se construye de tal modo que se puede montar superficialmente con la técnica de incorporar el circuito integrado al sustrato (5) de encapsulado.
3. Disposición de acuerdo con una de las Reivindicaciones 1 ó 2, **CARACTERIZADA PORQUE** la capa activa (2) de material semiconductor está provista de una capa de cableado (4) dispuesta entre ella y los contactos eléctricos (6).
4. Disposición de acuerdo con una de las anteriores Reivindicaciones, **CARACTERIZADA PORQUE** el espacio intermedio (8) se rellena únicamente en la zona de los contactos eléctricos (6) con un material de relleno (7) para la distensión mecánica de los contactos (6).

111 ~~111~~ ~~111~~

5. Disposición de acuerdo con una de las anteriores Reivindicaciones, **CARACTERIZADA PORQUE** los contactos eléctricos (6) están dispuestos en una estructura de matriz conocida como "Arreglo de bolas en forma de rejilla".

112
112

P2100COPC

1/1

Fig. 1

Schnitt B - B

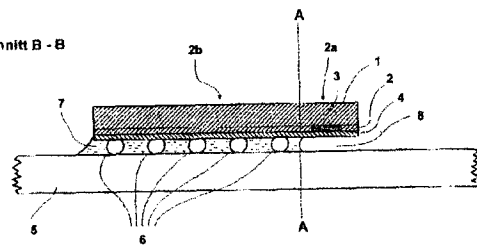
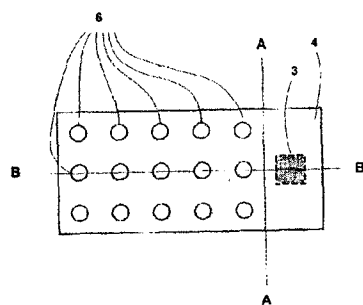


Fig. 2



113 113

SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO

DIVISIÓN DE NUEVAS CREACIONES

Radicación No. 03-112.657

Clasificación Internacional (IPC): H01L 43/04 ; 21/60

Concepto Técnico No. 156

Patente de Invención

☒

Patente de Modelo de Utilidad

☐

Vía Nacional

☐

Vía PCT (fase nacional)

☐

Cap. I

Cap. II

☒

No. Sol. Internacional

PCT 2005/008.184

Fecha de Presentación Internacional.

2003- VII- 16

Como resultado del examen definitivo, realizado con fundamento en el artículo 48 de la Decisión 486 de la Comisión de la Comunidad Andina, se le comunica:

1. Documentos estudiados:

1.1. Descripción: Folios: 5 a 12 como se radicó inicialmente
Folios 103 a 109 memorial del 19 de septiembre de 2008

1.2. Reivindicaciones: Folios a como se radicó inicialmente
Folios 110 a 111 memorial del 19 de septiembre de 2008

1.3. Dibujos: Folio 25 como se radicó inicialmente
Folios a

1.4 Oposiciones: Como se informa en el folio 67 no se presentaron oposiciones por parte de terceros.

1.5 Respuesta del Solicitante: Folios: 99 a 102

2. Modificaciones no aceptadas (artículo 34 D.486)

Las modificaciones realizadas a la descripción y la figura 1 NO se pueden aceptar porque de acuerdo a la jurisprudencia dictada y a la práctica común aplicada por la oficina, **NO** se permite agregar o **cambiar** ni a la descripción ni a los dibujos **información adicional de ninguna clase que sea necesaria para evaluar la invención o para ejecutarla**, incluida la "mejor manera que el solicitante conozca para realizar la invención", pues la descripción de la mejor manera es de la información **no comprendida en el estado de la técnica**; de ahí, que lo **único que se permite agregar** a la descripción son elementos del estado de la técnica.

3. Objeto de la invención

Según la descripción, el objeto de la solicitud consiste en suministrar una forma de fijar una capa de material semiconductor a un sustrato, reivindicada en la forma de disposición de chip o circuito integrado.

Según la IPC la clasificación del objeto reclamado es H01L 43/04.

4. Claridad de la solicitud de Patente

4.2 Reivindicaciones (artículo 30 D 486)

Las reivindicaciones del pliego calificado incluyen algunos errores de redacción, se redactaron en términos de un procedimiento de fabricación y de efectos del uso, lo cual, no se permite.

La reivindicación 1 no tiene suficiente sustento descriptivo porque en ella se menciona que, "... se ha configurado un espacio intermedio 8...", el cual, no se describe ni aparece en las figuras.

Por los motivos precedentes el pliego no cumple las disposiciones del artículo 30.

5. Unidad de invención (artículo 25 D 486):

Para efectos de este examen se considera que el pliego calificado se dirige a un único objeto, por lo que cumple el requisito establecido.

6. Requisitos de patentabilidad (artículo 14 D 486)

De acuerdo a la norma, el procedimiento y la jurisprudencia vigentes, la oficina estableció que un **producto** debe revestir una forma tangible y ser definido o bien por las características de estructura o bien por las características de función entre los componentes de una estructura y, las reivindicaciones de **procedimiento** (método) deben definirlo mediante una secuencia de etapas (pasos) que conduzcan a la fabricación de un producto.

A la luz de lo precedente resulta evidente, un **producto NO** se puede definir en términos de un **procedimiento** de fabricación porque sería tratar de definir una cosa por otra, y se relacionaría un **producto** por las características de un **procedimiento**, a todas luces contrario a lo que establece la norma, el procedimiento y la jurisprudencia.

Por las razones precedentes, las reivindicaciones del pliego **no** cumplen las disposiciones del artículo 14. $\cap$

7. Determinación del estado de la técnica:

La fecha para determinar el estado de la técnica es 27 de junio de 2001.

El estado de la técnica determinado es el mismo que se relacionó en el informe de búsqueda de la publicación WO 03/003840. (FOLIO 36)

48

8. Evaluación de los requisitos de patentabilidad:

8.1 Evaluación del nivel inventivo (artículo 18 de la decisión 486)

La persona del oficio, normalmente versada en la materia técnica correspondiente, que se puede encargar de solucionar el problema planteado en la presente solicitud, es un ingeniero electrónico con experiencia en circuitos integrados, que conozca la composición y los principios básicos de fabricación de dichos dispositivos o, por lo menos, que cuente

El documento D3 (US 4 123 772) divulga una disposición de chip con un componente eléctrico dispuesto en una capa activa de material semiconductor, la cual capa comprende una primera área con un componente eléctrico y una segunda área con varios contactos para conexión eléctrica. La única diferencia, entre lo reivindicado en 1 y lo revelado por el antecedente, consiste en que la anterioridad no menciona el tipo de empaque para el componente eléctrico sensible a los efectos piezoeléctricos.

Sin embargo, el antecedente D1 (Tummala R R; Rymaszewski E J; editors: "Microelectronics packaging handbook") enseña un tipo de empaque para componentes eléctrico sensible a los efectos piezoeléctricos como los dispositivos de efecto de Hall, los circuitos lineales con resistencias, que se expone en las interconexiones de empaque para chips, materiales y distribución de esfuerzos.

Consecuentemente, un técnico en la materia, a partir de las enseñanzas del documento 3 con las enseñanzas del documento 1 pudo derivar, de forma evidente, lo reivindicado en 1 a 5, por ello, el pliego no tiene **nivel inventivo**.

Por otra parte, se conoce ampliamente en la técnica que los chips se diseñan y elaboran asistidos por computador con tecnología planar, uno de cuyos pasos finales es el empaquetamiento o encapsulamiento del circuito eléctrico "sensible" a los "efectos piezoeléctricos". Desde ese punto de vista, lo que la solicitud propone es una técnica de empaquetado a tamaño de circuito integrado, en la que la capa activa del material semiconductor se fija mecánica, eléctrica y/o térmicamente a una base impresa en una sola operación.

Adicionalmente, desde los inicios de la fabricación de CI se conocen varias fases como la preparación del material, el crecimiento epitaxial, la fotolitografía, etc. en una de esas fases, por ejemplo, el crecimiento epitaxial o bajo difusión se puede lograr el "rebase a forma de balcón" mencionado en la solicitud, por estos motivos se considera que lo solicitado no tiene **nivel inventivo**.

9. Respuesta a los argumentos del solicitante:

1) Al inicio del memorial se identifica la apoderada, hace mención al último concepto técnico puesto en conocimiento del solicitante y se declara que da repuesta al oficio No 5.998 allegando una nueva descripción, nuevos dibujos y nuevas reivindicaciones que, el la medida posible, se calificaron arriba donde explicamos por que no se pueden aceptar las modificaciones a la descripción y la figura 1, motivo por el que la reivindicación 1 queda sin suficiente sustento descriptivo.

2) Para desvirtuar los alegatos del numeral 2 de la respuesta, resulta suficiente resaltar que en el arte, es ampliamente conocido que los circuitos integrados se ejecutan con asistencia (control) por computador, lo que de plano afecta el **nivel inventivo** de lo solicitado. Razón por la que en la Decisión 486 se creó el título IV, que da protección a los CI o a parte de ellos, conversión que propusimos, que amablemente fue aceptada por el solicitante pero que por no preverse en la norma, lastimosamente, no se pudo efectuar.

No obstante, el análisis del nivel inventivo presentado por la oficina no es controvertido ni menos objetado porque, de un lado, el solicitante acepta que el documento D3 contiene lo señalado excepto la mención al encapsulamiento y luego concluye que para una persona con experiencia es normal aplicar componentes eléctricos a un sustrato por medio de la técnica del circuito de golpe.

Pero, de otro lado, lo relativo a lo explicado acerca del documento D1, que enseña un tipo

9. Conclusión:

En consecuencia y por todo lo expuesto anteriormente, se recomienda **Negar** las reivindicaciones: __1__ a __5__ (folios: _110_a_111_)

Bogotá, D.C., 16, 01, 2009

CONCEPTO TECNICO No. 156	EXAMINADOR TECNICO Código No. 202004
---------------------------------	--

117

SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO
DETALLE DE NOTIFICACION DE PROVIDENCIACOMO CONTINUAR
LA CONSULTA

RESOLUCION 49924 de fecha 30/09/2009

Establece Notificar a: ZARAMA URDANETA MARIA DEL CONSUELO
Con notificación directamente a: ZARAMA URDANETA MARIA DEL CONSUELO
Vinculación del Notificado al Asunto: APODERADO
Presentó Recurso: SI en Fecha 15/10/2009
Notificación: MEMORIAL • NOTIFICAR
Fecha de Notificación: 07/10/2009 (dd/mm/aaaa)
Forma de Comunicar la Notificación: LOCAL
Fecha V/miento Notificación Personal: 08/10/2009 (dd/mm/aaaa)
Fecha de Ejecutoria Individual:
Despacho Comisorio:
Renuncia a Término:
Estado General de la providencia • RESOLUCION 49924 de fecha 30/09/2009 • (en fecha:2009-11-05 12:22:33.000)
Providencia Recurrída SI
Fecha de Notificación 07/10/2009 (dd/mm/aaaa) con base a datos del sistema
Fecha de Ejecutoria
Correspondencia Remitida a la(s) siguiente(s) direccion(es)
CALLE 76 # 8-56 de la ciudad de BOGOTA D.C., Procesada en fecha 30/09/2009
Estado de Correspondencia: ENVIADO, de fecha 2009-10-01 12:01:40

Salir

REPÚBLICA DE COLOMBIA
SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO

RESOLUCIÓN N° 49924

Por la cual se niega una patente de invención

Rad. N° PCT/03 - 112657

EL SUPERINTENDENTE DE INDUSTRIA Y COMERCIO
en ejercicio de sus facultades legales, en especial de las que se confirieron en el artículo 4, numeral 5 del decreto 2153 de 1992, y

CONSIDERANDO

PRIMERO: Que mediante escrito radicado en esta Superintendencia el 26 de diciembre de 2003, bajo el número 03112657, entró a fase nacional la solicitud de patente de invención titulada: "DISPOSICIÓN PARA LA REDUCCIÓN DE LOS EFECTOS PIEZOELÉCTRICOS EN AL MENOS UN COMPONENTE ELÉCTRICO QUE ES SENSIBLE A LOS EFECTOS PIEZOELÉCTRICOS Y ESTÁ DISPUESTO EN UNA CAPA DE MATERIAL SEMICONDUCTOR", que corresponde a la solicitud internacional PCT/IB02/01211 del 9 de abril de 2002.

SEGUNDO: Que efectuado el examen de forma en cuanto a los requisitos que debe llenar la solicitud y cumplidas las exigencias legales, se ordenó publicar el extracto sin que se hubieran presentado oposiciones por parte de terceros.

TERCERO: Que realizado el examen de patentabilidad se encontró que la invención no cumple con los requisitos establecidos. En consecuencia, con fundamento en lo dispuesto en los artículos 45 y 46 de la Decisión 486 de la Comisión de la Comunidad Andina, se requirió al peticionario en dos oportunidades para que se pronunciara sobre las objeciones efectuadas a la solicitud.

CUARTO: Que el solicitante mediante escritos radicados el 6 de febrero y el 28 de agosto de 2007 y el 19 de septiembre de 2008, atendió oportunamente a los requerimientos formulados, presentando aclaraciones y correcciones. Así mismo, allegó nueva descripción, nuevas figuras y nuevo capítulo reivindicatorio, los cuales se aceptan parcialmente, tal como se explica en el numeral 2 de la presente resolución.

QUINTO: Que según lo dispuesto en el artículo 14 de la Decisión 486 expedida por la Comisión de la Comunidad Andina se otorgarán patentes "... para las invenciones, sean de producto o de procedimiento, en todos los campos de la tecnología, siempre que sean nuevas, tengan nivel inventivo y sean susceptibles de aplicación industrial."

SEXTO: Que las nuevas reivindicaciones 1 a 5, contenidas en los folios 110 y 111 del expediente en estudio, no cumplen con los requisitos de claridad y nivel inventivo. Lo anterior, de acuerdo con las siguientes consideraciones:

1. Objeto de la invención

La presente solicitud consiste en suministrar una forma de fijar una capa de material

REPÚBLICA DE COLOMBIA
SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO

RESOLUCIÓN N° 49924

Por la cual se niega una patente de invención

Rad. N° PCT/03 - 112657

semiconductor a un sustrato, reivindicada en la forma de disposición de chip o circuito integrado.

Por su parte, las reivindicaciones 1 a 5 relacionan una disposición de chip para la reducción de los efectos piezoeléctricos en al menos un componente eléctrico (3) sensible a efectos piezoeléctricos distanciada del sustrato (5) y permaneciendo además libre de dicho material eléctrico de contacto.

2. Se acepta parcialmente la modificación de la solicitud original

El artículo 34 de la Decisión 486 señala que: "El solicitante de una patente podrá pedir que se modifique la solicitud en cualquier momento del trámite. La modificación no podrá implicar una ampliación de la protección que correspondería a la divulgación contenida en la solicitud inicial."

Sobre el particular, el Tribunal de Justicia de la Comunidad Andina señala lo siguiente:

"La única limitación impuesta al solicitante respecto de la modificación consiste en que ésta no debe implicar una ampliación del invento o de la divulgación contenida en la solicitud presentada. *Contrario sensu*, la modificación de la solicitud podrá concretar el invento o reducir el alcance de las reivindicaciones, sin importar cuál haya sido la redacción originariamente propuesta; por lo que aún cuando el cambio sea sustancial con relación a las reivindicaciones iniciales, lo único relevante viene a ser que las nuevas reivindicaciones puedan seguir siendo sustentadas racionalmente con fundamento en la descripción contenida en la solicitud inicial."

Para el caso concreto, se acepta el capítulo reivindicatorio, pero no se aceptan las modificaciones realizadas a la descripción y la figura 1, porque no es posible agregar información adicional que sea necesaria para evaluar o ejecutar la invención, pues la "mejor manera conocida por el solicitante para ejecutar o llevar a la práctica la invención" mencionada en el literal e) del artículo 28 de la Decisión 486, se refiere a la información no comprendida en el estado del arte, de lo cual se infiere, que lo único que se permite agregar en la modificación de la descripción son elementos del estado de la técnica que permitan una mejor comprensión del invento.

3. No se cumple con el artículo 30

El artículo 30 de la Decisión 486 consagra que: "Las reivindicaciones definirán la materia que se desea proteger mediante la patente. Deben ser claras y concisas y estar enteramente sustentadas por la descripción."

Cabe señalar, que el cumplimiento de estos requisitos es indispensable para definir el

REPÚBLICA DE COLOMBIA
SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO

RESOLUCIÓN N° 49924

Por la cual se niega una patente de invención

Rad. N° PCT/03 - 112657

objeto susceptible de protección, necesario para la búsqueda de posibles antecedentes que puedan afectar la solicitud.

Refiriéndose sobre el particular, el Tribunal Andino de Justicia, sostiene que:

"(...) las reivindicaciones constituyen parte esencial de la respectiva solicitud, debido a que delimitan el campo de la patente y especifican la regla técnica que se desea patentar, razones por las cuales éstas deben ser suficientemente claras y concisas. Su fundamento radica pues en la descripción respectiva, de forma tal que el alcance de la reivindicación corresponda y se justifique con el contenido de aquella".²

Sobre este aspecto puede decirse en términos generales, que las reivindicaciones contienen errores de redacción, toda vez que fueron redactadas en términos de procedimiento de fabricación y de efectos del uso.

Por otra parte, la reivindicación 1 no cuenta con suficiente sustento descriptivo pues en ella se menciona que, "se ha configurado un espacio intermedio 8", el cual no se describe ni aparece en las figuras.

Por estos motivos, no obstante los requerimientos formulados, las reivindicaciones de la solicitud no cumplen con los requisitos establecidos en el artículo 30 de la Decisión 486.

4. Determinación del estado de la técnica

La fecha para determinar el estado de la técnica es el 27 de junio de 2001, que corresponde a la fecha de prioridad invocada respecto de la solicitud DE 1030591. La fecha de prioridad fue tomada en cuenta para el estudio de patentabilidad, según obra a folio 114 del expediente en estudio.

Consultadas las fuentes de información con que se cuenta, se encontraron los siguientes documentos, anteriores a la fecha de prioridad y relacionados con la materia de solicitud en estudio:

No	Documento	Título	Fecha de Publicación
D1		Tummala R. R.; Rymaszewski E. J.; Editors: "Microelectronics Packaging Handbook"	1989
D2	US 4 423 434	(Komatsu Shigeru)	1983-12-27
D3	US 4 123 772	(Janssen Johannes H. H.)	1978-10-31



Industria y Comercio
SUPERINTENDENCIA

REPÚBLICA DE COLOMBIA
SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO

RESOLUCIÓN N° 49924

Por la cual se niega una patente de invención

Rad. N° PCT/03 - 112657

5. Nivel inventivo

De acuerdo con el artículo 18 de la Decisión 486: "Se considerará que una invención tiene nivel inventivo, si para una persona del oficio normalmente versada en la materia técnica correspondiente, esa invención no hubiese resultado obvia ni se hubiese derivado de manera evidente del estado de la técnica."

El estado de la técnica, al tenor de lo dispuesto en el artículo 16 de la misma Decisión, comprende "todo lo que haya sido accesible al público, por una descripción escrita u oral, utilización, comercialización o cualquier otro medio antes de la fecha de presentación de la solicitud de patente o, en su caso, de la prioridad reconocida."

Por su parte, al referirse a este requisito el Tribunal de Justicia de la Comunidad Andina, sostiene:

"Con el requisito del nivel inventivo, lo que se pretende es dotar al examinador técnico de un elemento que le permita afirmar o no si a la invención objeto de estudio no se habría podido llegar a partir de los conocimientos técnicos que existían en ese momento dentro del estado de la técnica (...). En este punto conviene advertir que uno es el examen que realiza el técnico medio respecto de la novedad y otro el que se efectúa con respecto al nivel inventivo; si bien en uno y otro se utiliza como parámetro de referencia el 'estado de la técnica', en el primero, se coteja la invención con las 'anterioridades' existentes dentro de aquella, cada uno (sic) por separado, mientras que en el segundo (nivel inventivo) se exige que el técnico medio que realiza el examen debe partir del conocimiento general que él tiene sobre el estado de la técnica y realizar el cotejo comparativo con su apreciación de conjunto, determinado si con tales conocimientos técnicos existentes ha podido o no producirse tal invención."³

Teniendo en cuenta lo enunciado y al comparar las reivindicaciones 1 a 5 con las anterioridades encontradas, se observa que lo pretendido para protección se deriva de manera evidente del estado de la técnica, tal como se muestra a continuación:

En el presente caso, la persona del oficio normalmente versada en la materia, que puede encargarse de solucionar el problema técnico planteado en la presente solicitud, es un ingeniero electrónico con experiencia en circuitos integrados que conozca la composición y los principios básicos de fabricación de dichos dispositivos, o por lo menos, que cuente con las condiciones necesarias para informarse a cerca de esos principios al consultar la literatura técnica respectiva.

Por su parte, D3 divulga una disposición de chip con un componente eléctrico dispuesto en una capa activa de material semiconductor, la cual comprende una primera área con un componente eléctrico y una segunda área con varios contactos para conexión eléctrica. De esta manera, la única diferencia entre la reivindicación 1 y

REPÚBLICA DE COLOMBIA
SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO

RESOLUCIÓN N° 49924

Por la cual se niega una patente de invención

Rad. N° PCT/03 - 112657

la anterioridad, es que el antecedente no menciona el tipo de empaque para el componente eléctrico sensible a los efectos piezoeléctricos.

Sin embargo, D1 enseña un empaque para componentes eléctrico, sensible a los efectos piezoeléctricos como los dispositivos de efecto de Hall, los circuitos lineales con resistencias que se exponen en las interconexiones de empaque para chips, materiales y distribución de esfuerzos.

Con base en el contenido de estas anterioridades, un técnico medianamente versado en la materia, puede derivar de forma evidente lo solicitado en las reivindicaciones 1 a 5, de allí que el pliego carezca de nivel inventivo.

De otro lado, es ampliamente conocido en la técnica que los chips se diseñan y elaboran asistidos por computador con tecnología planar, uno de cuyos pasos finales es el empaquetamiento o encapsulamiento del circuito eléctrico sensible a los efectos piezoeléctricos. Desde ese punto de vista, lo que la solicitud propone es una técnica de empaquetado a tamaño de circuito integrado, en la que la capa activa del material semiconductor se fija mecánica, eléctrica y/o térmicamente a una base impresa en una sola operación.

Adicionalmente, desde los inicios de la fabricación de CI se conocen varias fases como la preparación del material, el crecimiento epitaxial, la fotolitografía, entre otras; siendo posible, por ejemplo, lograr que en la fase de crecimiento epitaxial o de bajo difusión se logre el "rebase a forma de balcón" mencionado en la solicitud.

Dado lo anterior, lo reivindicado no representa un avance tecnológico o un salto cualitativo sobre el estado de la técnica, razón por la cual no puede acceder al privilegio solicitado, toda vez que no cumple con el requisito de nivel inventivo contenido en el artículo 18 de la Decisión 486.

6. Respuesta a los argumentos del solicitante

Para desvirtuar los argumentos sobre el nivel inventivo expuestos por el solicitante (folio 101), resulta suficiente resaltar que en el arte es ampliamente conocido que los circuitos integrados se ejecutan con asistencia (control) por computador, situación que afecta de plano el nivel inventivo de lo solicitado.

Y no obstante dichos argumentos, el análisis del nivel inventivo presentado por esta Superintendencia no es controvertido ni objetado en la respuesta al requerimiento de fondo, porque, de un lado, el solicitante acepta que el documento D3 contiene lo señalado excepto la mención al encapsulamiento y luego concluye, que para una persona con experiencia es normal aplicar componentes eléctricos a un sustrato por medio de la técnica del circuito de golpe.

REPÚBLICA DE COLOMBIA
SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO

RESOLUCIÓN N° 49924

Por la cual se niega una patente de invención

Rad. N° PCT/03 - 112657

De otro lado, el hecho que D1 enseñe un tipo de empaque para componentes eléctricos sensible a los efectos piezoeléctricos como los dispositivos de efecto de Hall, tampoco fue tomado en cuenta por el solicitante para discutir el nivel inventivo.

Por los motivos expuestos, con fundamento en lo dispuesto en los artículos 18, 30 y 34 de la Decisión 486, se denegará la patente, toda vez que a pesar de la respuesta del interesado a la notificación de fondo, no cumple con los requisitos exigidos en la ley.

RESUELVE

ARTICULO PRIMERO: Negar el privilegio de patente de invención a la creación denominada: "DISPOSICIÓN PARA LA REDUCCIÓN DE LOS EFECTOS PIEZOELÉCTRICOS EN AL MENOS UN COMPONENTE ELÉCTRICO QUE ES SENSIBLE A LOS EFECTOS PIEZOELÉCTRICOS Y ESTÁ DISPUESTO EN UNA CAPA DE MATERIAL SEMICONDUCTOR".

ARTICULO SEGUNDO: Notificar personalmente a la doctora Maria del Consuelo Zarama Urdaneta, en su calidad de apoderada de la sociedad Landis+Gyr AG., o a quien haga sus veces, el contenido de la presente resolución, entregándole copia de la misma, advirtiéndole que contra ella procede el recurso de reposición ante el Superintendente de Industria y Comercio al momento de notificarse o dentro de los 5 días hábiles siguientes.

NOTIFIQUESE Y CUMPLASE

Dada en Bogotá D.C., a los

30 SET. 2009

EL SUPERINTENDENTE DE INDUSTRIA Y COMERCIO, (E)


GIANCARLO MARCENARO JIMENEZ

Doctora
MARÍA DEL CONSUELO ZARAMA URDANETA
Calle 76 N° 8 - 56
Bogotá D.C.

202068