

SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO



No. 16-171357-00000-0000

Fecha: 2016-06-28 16:37:41 Dep. 2020 DIR.NUEVASCR
Tra. 2 PATENTES Eve. 1 REGDEPOSITO
Act. 411 PRESENTACION Folios: 45

Industria y Comercio
SUPERINTENDENCIA

AS

DELEGATURA DE PROPIEDAD INDUSTRIAL
DIRECCIÓN DE NUEVAS CREACIONES

SOLICITUD DE PATENTE DE
INVENCION

TITULO: MÉTODO Y CIRCUITO PARA COMPENSAR LA TENSION DE OFFSET
DE CIRCUITOS ELECTRONICOS.

SOLICITANTE: UNIVERSIDAD INDUSTRIAL DE SANTANDER

DIRECCIÓN: Carrera 27 - Calle 9, Edificio de Administración 2, Piso 5,
Bucaramanga, Colombia

APODERADO: CARLOS R. OLARTE

BOGOTÁ 28 de junio de 2016

P2016/000115

16-171357-0

FORMULARIO ÚNICO DE SOLICITUD DE PATENTE

P2016/000115

SOLICITUD DE:

1

☒

Patente de Invención.

☐

Patente de Modelo de Utilidad.

2

SOLICITANTE
(71)

Nombre: UNIVERSIDAD INDUSTRIAL DE SANTANDER

Dirección: Carrera 27 - Calle 9, Edificio de Administración 2, Piso 5, Bucaramanga, Colombia

Nacionalidad o Domicilio: Colombia

Lugar de Constitución: Colombia

Teléfono: _____

Fax: _____

E-mail: _____

IDENTIFICACIÓN

C.C. ☐ **NIT** ☒

C.E. ☐ **Otro** ☐

Cual _____

Número
890201213-4

3

REPRESENTANTE
O APODERADO

Nombre: CARLOS R. OLARTE

Dirección: Carrera 5 No. 34-03

Teléfono: 601-7700 **Fax:** 601-7799

E-mail: office@olartemoure.com

IDENTIFICACIÓN

C.C. ☒ **NIT** ☐

C.E. ☐ **Otro** ☐

Cual _____

Número 79.782.747
Btá
TP 74.295

4

INVENTOR (ES)
(72)

Nombre: Andrés Felipe AMAYA BELTRÁN, (2) Rodolfo VILLAMIZAR MEJÍA y (3) Élkim Felipe ROA FUENTES

Dirección: Carrera 27 - Calle 9, Edificio de Administración 2, Piso 5, Bucaramanga, Colombia

Nacionalidad o Domicilio: Colombia

5

Título (54) MÉTODO Y CIRCUITO PARA COMPENSAR LA TENSIÓN DE OFFSET DE CIRCUITOS ELECTRÓNICOS

6

Clasificación Internacional (51) _____

7

Prioridad

SI ☐ **NO** ☒

(33) País de Origen

(32) Fecha

(31) Número de Solicitud

8

Para publicar a partir de la fecha de la presente solicitud a los:

6 meses ☐ 12 meses ☐ 18 meses ☒ otro ☐ cual _____

9

Comprobante de pago No. _____ **Fecha** _____



ANEXOS



Comprobante de pago de la tasa de presentación de la solicitud.



Documento que acredita la existencia y representación legal cuando el solicitante sea persona jurídica.



Poderes, si fuere el caso. Adjunto copia simple.



Documento de cesión del inventor al solicitante o a su causante.



Declaraciones. Declaración bajo la regla 4.17 (ii) del PCT.



Copia de la solicitud internacional. (Resumen, descripción, reivindicaciones, dibujos).



Traducción de la solicitud internacional al castellano. (Resumen, descripción, reivindicaciones, dibujos).



Copia del examen preliminar internacional efectuado por la Autoridad Internacional de Examen Preliminar (IPEA).



Traducción del examen preliminar internacional efectuado por la IPEA.



De ser el caso, copia del contrato de acceso.



De ser el caso, documento que acredite la licencia o autorización de uso de conocimientos tradicionales de las comunidades indígenas.



De ser el caso, certificado de depósito del material biológico.



Arte final 12 x 12.



De ser el caso, información sobre otras solicitudes de patente o títulos obtenidos en el extranjero por el mismo titular o su causante, relacionadas parcial o totalmente con la invención de esta solicitud.



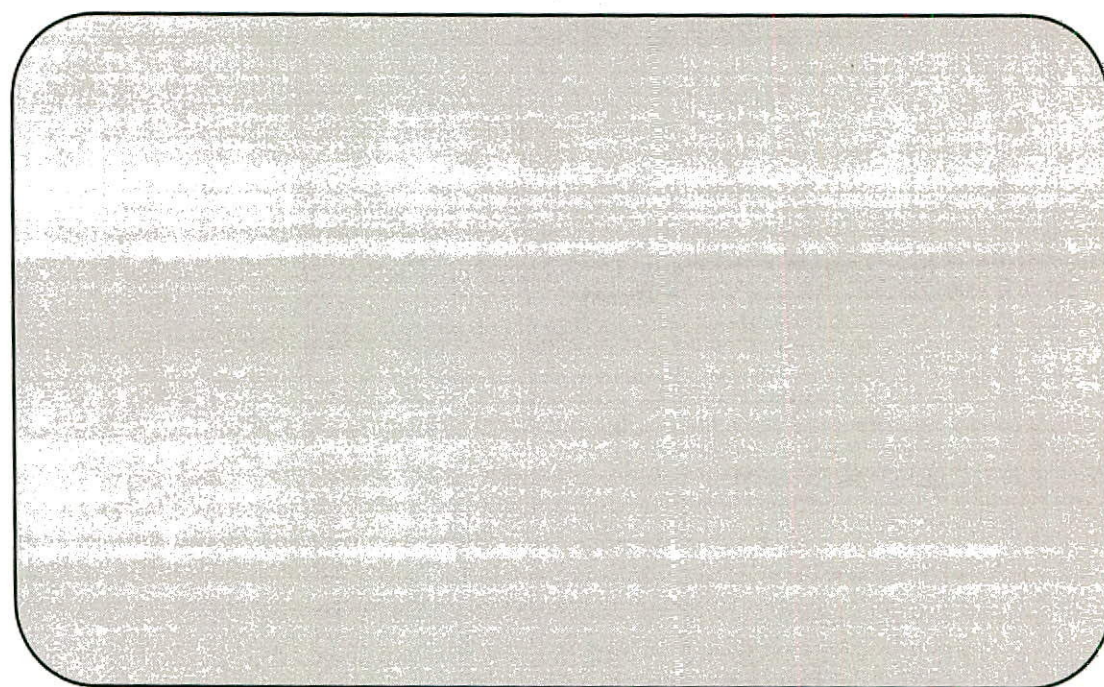
De ser el caso, modificaciones efectuadas a la solicitud internacional.



Otros. Búsqueda Internacional



FIGURA CARACTERÍSTICA:



Solicito la concesión de la patente,

NOMBRE: CARLOS R. OLARTE

FIRMA:


C.C. 79.782.747 Btá T.P. 74.295

SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO

NIT : 800.176.089-2

- / -



RECIBO DE CAJA

No. 16 - 0051887

Bogotá D.C., Mayo 25 de 2016 - 16:22:51

RECIBIDO DE : OLARTE MOURE & ASOCIADOS

NI 830.122.870

*** Soporte del Pago ***

TIPO PAGO	BANCO	CUENTA	No. PAGO	FECHA PAGO	VR. PAGO
CONSIGNACION	BANCO DE BOGOTA	062754387	601322665	24/05/2016	11.431.00
CONSIGNACION	BANCO DE BOGOTA	062754387	601322676	24/05/2016	11.419.569.00

*** Conceptos Pagados ***

CANT. RENTISTICO	CONCEPTO	Vr.UNDITARIO	Vr.CONCEPTO
1 50005-01-01 SOLICITUDES	1607 REIVINDICACION PATENTE UNITARIA ADICIONAL A LAS 10 INICIALES	40.000.00	40.000.00
			\$40.000.00

SON: **CUARENTA MIL PESOS MONEDA CORRIENTE***

Responsable: _____

Recibo de Caja Aplicado al Expediente No. _____

SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO



No. 16-171357- -00000-0000

Fecha 2016-06-28 16:37.41 Dep. 2020 DIR NUEVASCR
Tra 2 PATENTES Eve: 1 REGDEPOSITO
Act. 411 PRESENTACION Folios: 45

Sede Centro: Carrera 13 No. 27 - 00 Pisos 3,4,5 y 10 Bogotá, D.C.- Colombia

Web: www.sic.gov.co e-mail: info@sic.gov.co Conmutador: (571) 5870000 Fax: (571) 5870284 Línea: 018000-910165 Call Center: (571) 6513240

Mayo 25 de 2016 - 16:22:53

SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO

NIT : 800.176.089-2

- / -

Industria y Comercio
SUPERINTENDENCIA

RECIBO DE CAJA

No. 16 - 0057732

Bogotá D.C., Junio 09 de 2016 - 16:36:29

RECIBIDO DE : OLARTE MOURE & ASOCIADOS

NI 830.122.870

*** Soporte del Pago ***

TIPO PAGO	BANCO	CUENTA	No. PAGO	FECHA PAGO	VR. PAGO
RECIBO DE CA	SIC ** RECIBO **	999999999	51892	25/05/2016	760.000.00

*** Conceptos Pagados ***

CANT. RENTISTICO	CONCEPTO	Vr.UNDITARIO	Vr.CONCEPTO
1 50005-01-01 SOLICITUDES	1607 REIVINDICACION PATENTE UNITARIA ADICIONAL A LAS 10 INICIALES	40.000.00	40.000.00
			\$40.000.00

SON: **CUARENTA MIL PESOS MONEDA CORRIENTE**

Responsable: _____

Recibo de Caja Aplicado al Expediente No. _____

SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO



No. 16-171357- -00000-0000

Fecha: 2016-06-28 16:37:41 Dep: 2020 DIR NUEVASCR
Tra: 2 PATENTES Eve: 1 REGDEPOSITO
Act: 411 PRESENTACION Folios: 45

Sede Centro: Carrera 13 No. 27 - 00 Pisos 3,4,5 y 10 Bogotá, D.C.- Colombia

Web: www.sic.gov.co e-mail: info@sic.gov.co Conmutador: (571) 5870000 Fax: (571) 5870284 Línea: 018000-910165 Call Center: (571) 6513240

, Junio 9 de 2016 - 16:36:30

 Industria y Comercio SUPERINTENDENCIA	TESTIGO DOCUMENTAL	Folio: <u>4</u>
--	----------------------------------	------------------------

Dependencia Jerárquica: DEL PROPIEDAD INDUSTRIAL		Código	2000
Dependencia Productora: GRUPO DE NUEVAS CREACIONES		Código	2020
Tipo de Radicación: Entrada: ☒ Salida: ☐ Traslado: ☐ Convenio: ☐			
Radicador:			
DESCRIPCIÓN DE LA PRUEBA			
Nombre de la Serie / Subserie:		Código:	
Expediente:		Solicitante / Quejoso / Demandante / otros.	
16-171357-0			
Prueba excluida: <u>CD</u>			
Nº. de Pruebas excluidas: <u>1</u>			
Fecha de emisión de la Prueba:			
UBICACIÓN DE LA PRUEBA EN LA SECCIÓN DE MATERIAL GRÁFICO			
Nº. de bloque:		Otras especificaciones:	
Nº. de rodante:			
Nº. de estante:			
Nº. de archivador:			
Nº. de entropaño:			
Nº. de gaveta:			
Nº. de caja:			
IMPORTANTE: - El material gráfico o especial que se encuentra dentro o anexo a las unidades documentales o expedientes, debe extraerse y llevarse a aquella sección del archivo que se haya dispuesto para conservar documentos en distintos formatos. - Entiéndase por material gráfico todos aquellos dibujos, croquis, mapas, planos, fotografías, ilustraciones, pictografías, códigos, prensa, objetos tridimensionales, entre otros.			
Observaciones:		Unidad de Conservación ☐ Bolsa ☐ Caja ☐ Libro ☐ Sobre ☐ Tomo ☐ Otro	
El CD Contiene: 12 Archivos PDF procesados y Cargados al sistema 1 Archivo PDF no procesado		Soporte Documental ☒ CD ☐ Disquete ☐ DVD ☐ Folleto ☐ Periódico ☐ Plano ☐ Publicación Periódica ☐ USB ☐ Otro	



No. 16-171357- -00000-0000

Fecha: 2016-06-28 16:37:41 Dep: 2020 DIR.NUEVASCR

Tra. 2 PATENTES

Eve. 1 REGDEPOSITO

Act. 411 PRESENTACION

Folios 45

PATENTE DE INVENCION



MODELO DE

☐

Indicación que se solicita una patente.

☐

Datos de identificación del solicitante o de la persona que presenta la solicitud

☐

Descripción de la invención

☐

Dibujos de ser estos pertinentes

☐

Comprobante de pago de las tasas establecidas (De ser el caso formato de descuento)

Completa



Incompleta

☐

PATENTE DE INVENCION PCT

☐

MODELO DE UTILIDAD PCT

☐

Art.33 Decisión 486/00, Circular Única

☐

Indicación que se solicita una PCT

☐

Copia de la solicitud en español, tal como fue presentada inicialmente (capítulo descriptivo, reivindicatorio, resumen)

☐

Dibujos de ser estos pertinentes

☐

Comprobante de pago de las tasas establecidas (de ser el caso formato de descuento)

Completa

☐

Incompleta

☐

DISEÑO INDUSTRIAL

☐

(Art. 119 Decisión 486/00)

☐

Indicación que se solicita Diseño industrial

☐

Datos de identificación del solicitante o de la persona que presenta la solicitud

☐

Representación gráfica y fotográfica del Diseño industrial o muestra del material que incorpora el diseño

☐

Comprobante de pago de las tasas establecidas

Completa

☐

Incompleta

☐

ESQUEMA DE TRAZADO

☐

(Art. 92 Decisión 486/00)

☐

Indicación que se solicita un esquema de trazado

☐

Datos de identificación del solicitante o de la persona que presenta la solicitud

☐

Representación gráfica de un esquema de trazado

☐

Comprobante de pago de las tasas establecidas

Completa

☐

Incompleta

☐

MÉTODO Y CIRCUITO PARA COMPENSAR LA TENSION DE OFFSET DE CIRCUITOS ELECTRÓNICOS

5 **Campo de la invención**

El presente invento se relaciona con métodos y dispositivos electrónicos para la compensación de la tensión de offset en circuitos electrónicos.

10 **Descripción del estado de la técnica**

La tensión de offset es una de las principales limitantes en circuitos electrónicos , tales como convertidores de datos e interfaces de datos en especial en aquellas de alta velocidad, la tensión de offset establece la tensión mínima de la señal que un circuito electrónico puede
15 sensar: que Para el caso de los circuitos convertidores, la tensión de offset impone la máxima resolución que el circuito convertidor puede desarrollar; por ejemplo en las interfaces seriales, la tensión de offset limita la máxima tasa de transferencia. Por tal motivo, es importante que se incluya una alternativa que ayude a compensar la tensión de offset. para el correcto funcionamiento de los circuitos electrónicos.

20

Los métodos y circuitos tradicionales de compensación de la tensión de offset necesitan interrumpir la trayectoria de la señal que se está procesando. En el estado de la técnica se encuentran las divulgaciones US 7,541,857B1 y US 6,320,426B1, correspondientes a documentos de patentes. Estas divulgaciones referencian a métodos y circuitos donde se
25 necesita que la tensión de entrada sea ajustada a un nivel de modo común, para luego iniciar rutinas de calibración.

El documento de patente US 7,541,857B1 divulga un circuito de compensación de tensión de offset mediante impedancias e incluye circuitos de impedancia programables en las entradas de un dispositivo programable. Los circuitos de impedancia programables pueden
30 configurarse para aplicar una tensión de compensación a los nodos de entrada para reducir o eliminar la tensión de offset. El circuito de compensación de impedancia puede incluir resistencias en serie o fuentes de corriente en paralelo. Un conjunto de interruptores de bypass aplica selectivamente resistencias o fuente de corriente en un nodo de entrada del circuito electrónico, compensando de este modo la tensión de offset y los desajustes de impedancia.

35 Este comportamiento adiciona carga extra a la entrada del circuito, por lo que la máxima velocidad de operación del circuito electrónico se ve afectada.

En el estado de la técnica, es frecuente el uso de una trayectoria adicional que sirven como apoyo para compensación de la tensión de offset mientras el circuito electrónico está siendo

calibrado. Esto involucra un aumento del consumo de potencia y costo de implementación, ya que continuamente se tienen que estar calibrando las trayectorias adicionales.

En el estado de la técnica, también reporta métodos para compensar la tensión de offset sin la necesidad de interrumpir la trayectoria de la señal, con la desventaja de que se limita su uso a circuitos convertidores de datos y circuitos discretos, o aplicaciones donde se cuente con gran capacidad de procesamiento digital.

El documento de patente US 6,320,426B1 divulga un método basado en un integrador digital y convertidor digital-analógico para encontrar una tensión que sumada a la señal de entrada compensa la tensión de offset. Esto limita la máxima velocidad que se pueda desarrollar en el circuito electrónico, debido al uso de circuitos de capacitores conmutados e integradores discretos, por lo que su aplicación en interfaces de alta velocidad se ve afectado; además, el consumo de potencia y coste de implementación se elevan.

A partir del estudio del estado de la técnica se establece que se requieren métodos y circuitos para limitar la tensión de offset en circuitos electrónicos, que actúen continuamente durante toda la operación del circuito electrónico, sin interrumpir la trayectoria de la señal.

Breve descripción del invento

La presente invención corresponde a un método y un circuito que implementa el método de la invención para compensar la tensión de offset de circuitos electrónicos.

El circuito para compensar la tensión de offset de circuitos electrónicos comprende:

- un comparador dinámico con una entrada conectada a una señal de reloj;
- un detector de fase conectado al comparador dinámico;
- una máquina de estados finitos de dos salidas, conectado al detector de fase;
- un primer convertidor digital-analógico conectado a una salida de la máquina de estados finitos;
- un segundo convertidor digital-analógico conectado a la otra salida de la máquina de estados finitos; y,
- un bloque de polarización con una primera entrada conectada a la salida del primer convertidor digital-analógico y una segunda entrada conectada a la salida del segundo convertidor digital-analógico

El bloque de polarización, polariza un circuito electrónico. mientras que el comparador dinámico, el detector de fase, y la máquina de estados finitos están conectados a una señal de reloj.

Para el entendimiento de la presente invención se entenderá por bloque de polarización un circuito que proporciona corriente y/o tensión necesaria para establecer un punto de operación en un circuito electrónico.

El método para compensar la tensión de offset de circuitos electrónicos está caracterizado por las siguientes etapas:

- a) conectar un comparador dinámico a la salida del circuito electrónico;
- b) medir el cambio en la fase de las salidas del comparador dinámico de la etapa **a** mediante un detector de fase;
- c) controlar las señales de salida de una máquina de estados finitos según la salida del detector de fase de la etapa **b**, la cual puede ser codificada “adelante”, “atrás” o “en fase”;
- d) convertir la salida de la máquina de estados finitos de la etapa **c** a una señal analógica mediante dos convertidores digital-analógico;
- e) conectar la salida de los dos convertidores digital-analógico de la etapa **d** al terminal de control del bloque de polarización del circuito electrónico; y,
- f) modificar la corriente de polarización del bloque de polarización del circuito electrónico mediante las señales de la salida de los dos convertidores digital-analógico conectados en la etapa **e**.

En la etapa f) se genera una tensión adicional con polaridad opuesta a la tensión de offset del circuito electrónico y del comparador dinámico, producto de la modificación de la corriente de polarización en el bloque de polarización del circuito electrónico.

Descripción de las figuras

5

FIG. 1 Ilustra un el circuito de compensación de tensión de offset de la invención.

FIG. 2 Ilustra un circuito detector de fase de una modalidad de la invención.

10

FIG. 3 Ilustra un diagrama de estados de la máquina de estados finitos de la invención.

FIG. 4 Ilustra un diagrama circuital de un comparador dinámico utilizado en ejemplo de la invención circuito Strong-Arm.

FIG. 5 Ilustra un a un par diferencial NMOS usado como ejemplo de circuito electrónicos con un bloque de polarización.

- 5 FIG. 6 Ilustra un a la señal de salida de los convertidores digital-analógico DAC1 (12) y DAC2 (13) en un ejemplo.

FIG. 7 Ilustra un ejemplo de la señal de salida del comparador dinámico mostrando cómo se compensa la tensión de offset.

10

Descripción detallada del invento

- 15 La presente invención corresponde a un método y un circuito que implementa el método para compensar la tensión de offset de circuitos electrónicos.

Haciendo referencia a la FIG. 1, el circuito para compensar la tensión de offset de circuitos electrónicos comprende:

-un comparador dinámico (1) que tiene una primera salida (4) y una segunda salida (5);

-un detector de fase (6) conectado a tiene una primera salida (4) y una segunda salida (5) del comparador dinámico (1), y el detector de fase (6) tiene una primera salida (7) y una segunda salida (8);

-una máquina de estados finitos (9) conectado a la primera salida (7) y la segunda salida (8) del detector de fase (4), la máquina de estados finitos (5) tiene una primera salida X1(10) y una segunda salida X2 (11);

- un primer convertidor digital-analógico (12) conectado a la primera salida (10) de la máquina de estados finitos (9);

- un segundo convertidor digital-analógico (13) conectado a la segunda salida (11) de la máquina de estados finitos (9); y,

-un bloque de polarización (14) con una primera entrada (15) conectada a la salida del primer convertidor digital-analógico (12) y una segunda entrada (16) conectada a la salida del segundo convertidor digital-analógico (13);

El bloque de polarización (14) polariza un circuito electrónico (17) y el comparador dinámico (1), el detector de fase (6), y la máquina de estados finitos (9) están conectados a una señal de reloj (3).

En una modalidad de la invención el circuito electrónico (17) puede estar conformado por diferentes circuitos electrónicos, por ejemplo, amplificadores, conectados en cascada, en serie, en paralelo y combinaciones de las anteriores configuraciones y la invención compensa la tensión del offset del circuito compuesto de la manera indicada y compensa también la tensión de offset proporcionada por el comparador dinámico (1).

En la invención la primera salida X1 (6) y la segunda salida X2 (7) de la máquina de estados finitos (5) corresponden a salidas digitales de N bits de longitud con N perteneciente a los números naturales. En una modalidad de la invención la primera salida X1 (6) y la segunda salida X2 (7) de la máquina de estados finitos (5) corresponden a salidas digitales de 8 bits de longitud.

El detector de fase codifica los estados de “adelante”, “atrás” o “en fase” de señal de entrada primera salida (4) y la segunda salida (5) del comparador dinámico (1) y los codifica digitalmente.

En una modalidad de la invención y haciendo referencia a la FIG. 2, el detector de fase (6) comprende:

- un primer Flip-Flop tipo D (18) activado por flanco de subida, cuya entrada D está conectada a la primera salida (4) del comparador dinámico (1) y su entrada de señal de reloj está conectada a la señal del reloj (3);
- un segundo Flip-Flop tipo D (20) activado por flanco de bajada, cuya entrada D está conectada a primera salida (4) del comparador dinámico (1); su entrada de señal de reloj está conectada a la señal del reloj(3);
- un tercer Flip-Flop tipo D (21) activado por flanco de subida, cuya entrada D está conectada a la segunda salida (5) del comparador dinámico (1); y su entrada de señal de reloj está conectada a la señal del reloj (3);
- un cuarto Flip-Flop tipo D (23) activado por flanco de bajada, cuya entrada D está conectada está conectada a la segunda salida (5) del comparador dinámico (1); y su entrada de señal de reloj está conectada a la señal del reloj (3);

-una primera compuerta XOR (19) de dos entradas, la primera entrada (24) de la primera compuerta XOR(19) se conecta a la salida Q del primer Flip-Flop tipo D (18), la segunda entrada (25) de la primera compuerta XOR (19) se conecta a salida Q del segundo Flip-Flop tipo D (20) y la salida de la primera compuerta XOR (19) entrega una señal UP (7);

-una segunda compuerta XOR (22) de dos entradas, la primera entrada (26) de la segunda compuerta XOR (22) se conecta a la salida Q del tercer Flip-Flop tipo D (21), la segunda entrada (27) de la segunda compuerta XOR (22) se conecta a salida Q del cuarto Flip-Flop tipo D (23); y la salida de la segunda compuerta XOR (22) entrega una señal DOWN (8).

En una modalidad de la invención el detector de fase codifica los estados de “adelante”, “atrás” o “en fase” de señal de entrada (primera salida (4) y la segunda salida (5) del comparador dinámico (1)) y los codifica digitalmente haciendo las señales DOWN (8) entregada por la segunda compuerta XOR (22) y la señal UP (7) entregada por la primera compuerta XOR (19) tenga la siguiente codificación : “adelante” entonces UP(7) se coloca en estado alto , “atrás “entonces DOWN (8) coloca en estado alto o “en fase” entonces UP(7) coloca en estado alto en alto y DOWN (8) coloca en estado alto.

La invención del circuito y las modalidades anteriormente descritas implementa un método para compensar la tensión de offset de circuitos electrónicos.

El método esta caracterizado por las etapas:

- a) conectar un comparador dinámico a la salida del circuito electrónico;
- b) medir el cambio en la fase de las salidas del comparador dinámico de la etapa **a** mediante un detector de fase;
- c) controlar las señales de salida de una máquina de estados finitos según la salida de un detector de fase de la etapa **b**, la cual puede ser codificada “adelante”, “atrás” o “en fase”;
- d) convertir la salida de la máquina de estados finitos de la etapa **c** a una señal analógica mediante dos convertidores digital-analógico;
- e) conectar la salida de los dos convertidores digital-analógico de la etapa **d** al terminal de control del bloque de polarización del circuito electrónico; y,
- f) modificar la corriente de polarización del bloque de polarización del circuito electrónico mediante las señales de la salida de los dos convertidores digital-analógico conectados en la etapa **e**.

Haciendo referencia a la FIG. 3 la máquina de estados finitos, en una modalidad de la invención, puede constar de cuatro posibles estados: “Inicio” (28), “Aumenta Pol” (30), “Disminuye Pol”(31), y “Guardar” (32) que para la presente invención significa final de estado, cada uno de estos posibles estados están codificados en código binario estándar como por ejemplo 00,01,10 y 11 respectivamente. Además, la máquina de estados finitos en una modalidad de la invención tiene dos salidas de ocho bits cada una, codificadas de manera estándar.

No obstante, la máquina de estados finitos de la invención no se limita a indicar el número de estados y proporcionar una codificación para la mismas ya que es un contador Ascendente/Descendente con terminales de habilitación.

Haciendo referencia a la FIG. 3 en una modalidad de la invención la etapa c cumple la siguiente secuencia de transición de estados:

- Comenzando en el estado “Inicio” (28), si la señal de entrada UP (7) cambia de un estado bajo a alto, la máquina cambia al estado “Aumenta Pol” (30) donde la señal de salida X2 disminuye en una unidad y la señal X1 aumenta en una unidad;
- Comenzando en el estado “Inicio”, si la señal de entrada DOWN (8) cambia de un estado bajo a alto, la máquina cambia al estado “Disminuye Pol” (31) donde la señal de salida X2 aumenta en una unidad y la señal X1 disminuye en una unidad;
- Comenzando en el estado “Aumenta Pol”(30), si la señal de entrada UP (7) cambia de un estado bajo a alto, la máquina permanece en el mismo estado;
- Comenzando en el estado “Disminuye Pol” (31), si la señal de entrada DOWN (8) cambia de un estado bajo a alto, la máquina permanece en el mismo estado;
- Comenzando en el estado “Aumenta Pol”(30), si la señal de entrada UP (7) cambia de un estado bajo a alto y DOWN (8) cambia de un estado bajo a alto, la máquina pasa al estado “Guardar”(32) donde las señales X1 (10) y X2 (11) no se alteran;
- Comenzando en el estado “Disminuye Pol”(31), si la señal de entrada DOWN (8) cambia de un estado bajo a alto y la señal de entrada UP (7) cambia de un estado bajo a alto, la máquina pasa al estado “Guardar”(32) donde las señales X1 (10) y X2 (11) no se alteran y se guardan;
- Comenzando en cualquiera de los cuatro estados, si la señal reset pasa a un estado alto, la máquina pasa al estado “Inicio” (28).

En la etapa c, el detector de fase codifica los estados de “adelante”, “atrás” o “en fase” de señal de entrada primera salida (4) y la segunda salida (5) del comparador dinámico (1) y los codifica digitalmente. Por ejemplo Adelante entonces UP (7) es alto, atrás entonces DOWN (8) es alto y en fase entonces UP está en alto y DOWN (8) está en alto y los estados de la maquina de estado finitos toma los estados disminuye pol , aumenta pol y en fase toma el estado guardar respectivamente.

En la fase “adelante” pone UP(7) en estado alto y pasa al estado “Aumenta Pol” (30), “atrás” coloca DOWN (8) en estado alto y al estado “Disminuye Pol” (31) o “en fase” se coloca UP(7) en estado alto en alto y DOWN (8) en estado alto pasando posteriormente al estado “Guardar”(32) .

Las salidas digitales de la máquina de estados finitos se convierten en señales analógicas, también llamadas análogas, mediante el uso de primer convertidor digital-analógico (12) y un segundo convertidor digital-analógico (13), cuyas señales de salida modifican la corriente de polarización del circuito electrónico. El ajuste de dichas corriente compensa la tensión de offset total en todo el circuito.

La operación del método y circuito de la invención se puede explicar de la siguiente manera: Haciendo referencia a la FIG. 1, y suponiendo que la tensión de offset total satura tanto el circuito electrónico (17) como el comparador dinámico (1), la salida V_{o1} (4) del comparador dinámico es igual a la tensión de alimentación no ilustrada en FIG. 1 y que llamaremos VDD y VSS.

La salida V_{o2} (5) oscila continuamente entre VDD y VSS debido a la transición entre la etapa de comparación y reinicio del comparador dinámico (1). Como consecuencia, cualquier señal a la entrada al circuito electrónico cuya amplitud sea menor que la tensión de offset no generará ningún cambio en las transiciones de las señales de salida V_{o1} (4) y V_{o2} (5).

A continuación, las señales de salida del comparador dinámico (1) se conectan con las señales de entrada de un detector de fase (6), con el propósito de medir la diferencia entre sus fases.

Bajo condiciones anteriormente descritas, y en la modalidad de la invención donde el detector de fase (6) está compuesto por cuatro Flip-Flop, y haciendo referencia a la FIG. 1 y a la FIG.2 la salida DOWN (8) del detector de fase (6) está en un nivel bajo debido a que, para cada ciclo de la señal de reloj, la salida de tercer Flip-Flop (21) y cuarto Flip-Flops (23) es igual. Por el contrario, la salida UP está en un nivel alto ya que las entradas del primer Flip-Flop (18) y segundo Flip-Flops (20) cambian en cada ciclo del reloj. Por tal motivo, la máquina de estados finitos incrementa su señal de salida X_1 , mientras que X_2 decrece. De esta manera, la señal de salida primer convertidor digital-analógico DAC1 (12) se incrementa, mientras que la salida segundo convertidor digital-analógico DAC2 (13) disminuye, ocasionando que la corriente de polarización I_1 sea mayor que I_2 . Este cambio en las corrientes de polarización

introducida al circuito electrónico induce una tensión adicional, con la particularidad que ésta tensión que se induce presenta una polaridad opuesta a la tensión de offset inicial. La compensación de la tensión de offset finaliza en el momento en que la magnitud de esta tensión adicional inducida por la señal de salida primer convertidor digital-analógico DAC1 (12) y la señal salida del segundo convertidor digital-analógico DAC2 (13) es igual que la tensión de offset, de modo tal que su suma se ambas tensiones se cancela.

Una de las principales ventajas de la invención es el hecho de que éste puede ejecutarse sin la necesidad de anular la tensión de entrada e interrumpir la transmisión de la señal. Esto significa que, a diferencia de muchos métodos propuestos en el estado del arte, la señal de entrada no necesita ser interrumpida y ajustada a un nivel de modo común antes de corregir la tensión de offset. Como consecuencia, no se introduce ningún tipo de carga capacitiva, inductiva y/o resistiva adicional a la entrada del sistema, por lo que la velocidad de operación de todo el circuito no se degrada. El hecho de tener que ajustar la señal de entrada a un nivel de modo común constante involucra conectar al menos un interruptor al inicio del sistema, introduciendo capacitancias adicionales y degradando la velocidad de operación.

Otra ventaja del método propuesto es el hecho de que no se compensa únicamente la tensión de offset del circuito electrónico y también se compensa la tensión de offset del comparador dinámico y de circuitos electrónicos como por ejemplo amplificadores adicionales que se encuentren entre el circuito electrónico (17) y el comparador dinámico (1).

Finalmente, debido a que el método y el circuito de la presente invención es implementado de con técnicas digitales, las variaciones de la tensión de offset proporcionadas por las variaciones del proceso de fabricación, tensión de alimentación y temperatura de operación son compensadas mediante el método y circuitos de la invención y las diversas modalidades de la invención.

Esto se debe a que en la ejecución de las etapas del método y circuitos de la presente invención no depende del tiempo de transición, entendiéndose por tiempo de transición el tiempo de subida o tiempo bajada de las señales, de ninguna de las señales del circuito electrónico, ni de las señales del circuito para compensar la tensión de offset; dado que la ejecución depende únicamente de la frecuencia de la señal del reloj (3), la cual está relacionada con la máxima frecuencia que tanto el comparador dinámico (1) como los convertidores digital-analógico (12) y (13) puedan desarrollar. Por otro lado, el impacto de las variaciones aleatorias o mismatch es reducido ya que pueden ser analizadas como fuentes de offset adicionales que también son compensados por la presente invención

Se debe entender que la presente invención no se halla limitada a las modalidades descritas e ilustradas, pues como será evidente para una persona versada en el arte, existen variaciones y modificaciones posibles que no se apartan del espíritu de la invención, el cual solo se encuentra definido por las siguientes reivindicaciones.

5

Ejemplo de realización.

Haciendo referencia a la FIG. con una señal de entrada cuya frecuencia es 3GHz (V_{in}) y amplitud 10mV (V_{off1}); lo exige que el requerimiento de tensión offset de tanto el circuito electrónico; en este ejemplo un preamplificador, como en el comparador sea inferior a 1mV, y así para mantener la misma frecuencia de operación. La frecuencia de la señal de reloj clk (3) es igualmente 3GHz.

Haciendo referencia a la FIG. 4 El comparador en el ejemplo corresponde a un circuito Strong-Arm, el cual es altamente utilizado en interfaces seriales de alta velocidad. Los transistores (M_7), (M_8) y (M_{10}) actúan como dispositivos de *reset* o reinicio del comparador.

Haciendo referencia a la FIG. 5 un par diferencial NMOS degenerado mediante una resistencia R conectada entre los terminales de surtidor de sus transistores de entrada, y con dos fuentes de corriente de polarización por cada rama: se tiene una primera fuente (I_b) de valor constante, y una segunda fuente implementada por los transistores (M_5) y (M_6), los cuales generan la corriente para compensar la tensión de offset de todo el circuito. Cada fuente de polarización es implementada mediante un único transistor NMOS, o mediante espejos de corriente simples. Adicionalmente, la carga del par diferencial está constituida por dos transistores PMOS (uno por cada rama) conectados en la configuración de diodo, es decir con sus terminales de drenador y compuerta interconectados. La señal de salida del circuito electrónico es de carácter diferencial, de modo tal que pueda ser aplicada al comparador sin ningún tipo de circuito de acople o acondicionamiento. Y la resolución de los convertidores digital-analógico es 8bits, y el primer convertidor digital-analógico DAC1 (12) y el segundo convertidor digital-analógico DAC2 (13) son implementados por circuitos R2R.

Haciendo referencia a la FIG. 6 y 7 una vez el circuito comienza a operar, la señal de salida del comparador V_{o2} (5) se satura al valor de la tensión de alimentación, mientras que la señal V_{o1} (4) oscila entre VDD. Por tal motivo, la información transferida se pierde.

35

Haciendo referencia a la Fig. 6 y 1 y el primer convertidor digital-analógico DAC1 (12) y el segundo convertidor digital-analógico DAC2 (13) tienen un valor 0V y Luego, 90ns después el circuito de compensación de offset empieza actuar haciendo que la señal el primer convertidor digital-analógico DAC1 (12) se incremente 5mV con cada ciclo de reloj, mientras que la señal del y el segundo convertidor digital-analógico DAC2 (13) permanece en 0V. Como consecuencia, la tensión puerta-surtidor del transistor (M_5) aumenta y por ende su corriente (I_1), haciendo que la tensión puerta-surtidor del transistor (M_1) sea mayor que la del transistor (M_2). De esta manera se induce una tensión de adicional con una polaridad opuesta a la tensión de offset del circuito electrónico. Finalmente, transcurridos 400ns después, el circuito para compensar la tensión de offset de circuitos electrónicos converge y se acentúa en su valor de estado estable. Esto ocasiona que las señales del el primer convertidor digital-analógico DAC1 (12) y el segundo convertidor digital-analógico DAC2 (13) permanezcan constantes, ya que la máquina de estados finitos (9) pasa al estado “Guardar”, lo que permite que la información pueda ser recuperada correctamente.

Haciendo referencia a la Fig. 7 el circuito electrónico (17) presenta una reducción de la tensión de offset mientras el circuito electrónico y el comparador dinámico (1) funcionan normalmente. Al inicio (32) la señal Vo2 (4) está anclada al riel de alimentación (VDD) mientras que la señal Vo1 (5) oscila entre VDD y tierra, causando múltiples errores a la salida y perdiendo toda clase de información (35). Luego, de 400ns el circuito se ajusta a la corriente de polarización del circuito electrónico (17) de modo tal que primera salida (4) y la segunda salida (5); del comparador dinámico (1) pueden oscilar y cambiar según la entrada de circuito electrónico (17)

REIVINDICACIONES

1. Un circuito para compensar la tensión de offset de circuitos electrónicos que comprende:

- un comparador dinámico (1) que tiene una primera salida (4) y una segunda salida (5);

- un detector de fase (6) conectado a una primera salida (4) y una segunda salida (5) del comparador dinámico (1), el detector de fase (6) tiene una primera salida (7) y una segunda salida (8);

- una máquina de estados finitos (9) conectado a la primera salida (7) y la segunda salida (8) del detector de fase (4), la máquina de estados finitos (5) tiene una primera salida X1(10) y una segunda salida X2 (11);

- un primer convertidor digital-analógico (12) conectado a la primera salida (10) de la máquina de estados finitos (9);

- un segundo convertidor digital-analógico (13) conectado a la segunda salida (11) de la máquina de estados finitos (9); y,

- un bloque de polarización (14) con una primera entrada (15) conectada a la salida del primer convertidor digital-analógico (12) y una segunda entrada (16) conectada a la salida del segundo convertidor digital-analógico (13);

donde el bloque de polarización (14) polariza un circuito electrónico (17) y el comparador dinámico (1), el detector de fase (6), y la máquina de estados finitos (9) están conectados a una señal de reloj (3).

2. El circuito para compensar la tensión de offset de la Reivindicación 1, donde la primera salida X1 (6) y la segunda salida X2 (7) de la máquina de estados finitos (5) corresponden a salidas digitales de 8 bits de longitud.

3. El circuito para compensar la tensión de offset de la Reivindicación 1, donde el detector de fase (6) es un contador Ascendente/Descendente con terminales de habilitación.

4. El circuito para compensar la tensión de offset de la Reivindicación 1, donde el detector de fase (6) comprende:

- un primer Flip-Flop tipo D (18) activado por flanco de subida, cuya entrada D está conectada a la primera salida (4) del comparador dinámico (1) y su entrada de señal de reloj está conectada a la señal del reloj (3);

- un segundo Flip-Flop tipo D (20) activado por flanco de bajada, cuya entrada D está conectada a primera salida (4) del comparador dinámico (1); su entrada de señal de reloj está conectada a la señal del reloj(3);

- un tercer Flip-Flop tipo D (21) activado por flanco de subida, cuya entrada D está conectada a la segunda salida (5) del comparador dinámico (1); y su entrada de señal de reloj está conectada a la señal del reloj (3);

- un cuarto Flip-Flop tipo D (23) activado por flanco de bajada, cuya entrada D está conectada está conectada a la segunda salida (5) del comparador dinámico (1); y su entrada de señal de reloj está conectada a la señal del reloj (3);

- una primera compuerta XOR (19) de dos entradas, la primera entrada (24) de la primera compuerta XOR(19) se conecta a la salida Q del primer Flip-Flop tipo D (18), la segunda entrada (25) de la primera compuerta XOR (19) se conecta a salida Q del segundo Flip-Flop tipo D (20) y la salida de la primera compuerta XOR (19) entrega una señal UP (7);

- una segunda compuerta XOR (22) de dos entradas, la primera entrada (26) de la segunda compuerta XOR (22) se conecta a la salida Q del tercer Flip-Flop tipo D (21), la segunda entrada (27) de la segunda compuerta XOR (22) se conecta a salida Q del cuarto Flip-Flop tipo D (23); y la salida de la segunda compuerta XOR (22) entrega una señal DOWN (8).

5. Un método para compensar la tensión de offset de circuitos electrónicos, caracterizado por las etapas:

- a) conectar un comparador dinámico a la salida del circuito electrónico;
- b) medir el cambio en la fase de las salidas del comparador dinámico de la etapa **a** mediante un detector de fase;
- c) controlar las señales de salida de una máquina de estados finitos según la salida de un detector de fase de la etapa **b**, la cual puede ser codificada “adelante”, “atrás” o “en fase”;
- d) convertir la salida de la máquina de estados finitos de la etapa **c** a una señal analógica mediante dos convertidores digital-analógico;
- e) conectar la salida de los dos convertidores digital-analógico de la etapa **d** al terminal de control del bloque de polarización del circuito electrónico; y,
- f) modificar la corriente de polarización del bloque de polarización del circuito electrónico mediante las señales de la salida de los dos convertidores digital-analógico conectados en la etapa **e**.

6. El método para compensar la tensión de offset de la Reivindicación 5, caracterizado porque en la etapa **c** cumple la siguiente secuencia de transición de estados:

- Comenzando en el estado “Inicio” (28), si la señal de entrada UP (7) cambia de un estado bajo a alto, la máquina cambia al estado “Aumenta Pol” (30) donde la señal de salida X2 disminuye en una unidad y la señal X1 aumenta en una unidad;
- Comenzando en el estado “Inicio”, si la señal de entrada DOWN (8) cambia de un estado bajo a alto, la máquina cambia al estado “Disminuye Pol” (31) donde la señal de salida X2 aumenta en una unidad y la señal X1 disminuye en una unidad;
- Comenzando en el estado “Aumenta Pol”(30), si la señal de entrada UP (7) cambia de un estado bajo a alto, la máquina permanece en el mismo estado;
- Comenzando en el estado “Disminuye Pol” (31), si la señal de entrada DOWN (8) cambia de un estado bajo a alto, la máquina permanece en el mismo estado;
- Comenzando en el estado “Aumenta Pol”(30), si la señal de entrada UP (7) cambia de un estado bajo a alto y DOWN (8) cambia de un estado bajo a alto, la máquina pasa al estado “Guardar”(32) donde las señales X1 (10) y X2 (11) no se alteran;
- Comenzando en el estado “Disminuye Pol”(31), si la señal de entrada DOWN (8) cambia de un estado bajo a alto y la señal de entrada UP (7) cambia de un estado bajo a alto, la máquina pasa al estado “Guardar”(32) donde las señales X1 (10) y X2 (11) no se alteran y se guardan;

- Comenzando en cualquiera de los cuatro estados, si la señal reset pasa a un estado alto, l máquina pasa al estado “Inicio” (28).

ASSIGNMENT

CESION

ÉLKIM FELIPE ROA FUENTES C.C 91480160

by means of this document assign(s) worldwide,
to

por medio de la presente
cedo(cedemos) a nivel mundial, a

UNIVERSIDAD INDUSTRIAL DE SANTANDER

a University,
organized under the laws of

Una Universidad,
organizada bajo las leyes de

COLOMBIA,

Domiciled in

domiciliada en

**CARRERA 27 CALLE 9, EDIFICIO DE ADMINISTRACIÓN 2, PISO 5,
BUCARAMANGA**

(hereinafter referred to as the "ASSIGNEE"),

(de ahora en adelante el
"CESIONARIO"),

all my (our) rights, including those of priority,
title and interest in and to my (our) invention for
a new and useful improvement entitled and as
fully set forth and described in:

todos mis (nuestros) derechos,
incluyendo los de prioridad, título e
interés sobre mi (nuestra) invención tal
como describe en:

**MÉTODO Y CIRCUITO PARA COMPENSAR LA TENSIÓN DE OFFSET DE
CIRCUITOS ELECTRÓNICOS**

Medellin, june 22 de 2016

Medellin, junio 22 de 2016



Place, date and signature

Lugar, fecha y firma

ELKIM FELIPE ROA FUENTES

Place, date and signature

Lugar, fecha y firma

ELKIM FELIPE ROA FUENTES

ASSIGNMENT

CESION

ANDRÉS FELIPE AMAYA BELTRÁN C.C 1098649892

by means of this document assign(s)
worldwide, to

por medio de la presente
cedo(cedemos) a nivel mundial, a

UNIVERSIDAD INDUSTRIAL DE SANTANDER

a University,
organized under the laws of

Una Universidad,
organizada bajo las leyes de

COLOMBIA,

Domiciled in

domiciliada en

**CARRERA 27 CALLE 9, EDIFICIO DE ADMINISTRACIÓN 2, PISO 5,
BUCARAMANGA**

(hereinafter referred to as the
“ASSIGNEE”),
all my (our) rights, including those of
priority, title and interest in and to my (our)
invention for a new and useful improvement
entitled and as fully set forth and described
in:

(de ahora en adelante el
“CESIONARIO”),
todos mis (nuestros) derechos,
incluyendo los de prioridad, título e
interés sobre mi (nuestra) invención
tal como describe en:

**MÉTODO Y CIRCUITO PARA COMPENSAR LA TENSION DE OFFSET
DE CIRCUITOS ELECTRÓNICOS**

Medellin, june 22 de 2016

Medellin, junio 22 de 2016



Place, date and signature
Lugar, fecha y firma
ANDRÉS F. AMAYA BELTRÁN



Place, date and signature
Lugar, fecha y firma
ANDRÉS F. AMAYA BELTRÁN

Alexander Agudelo
Carlos A. Parra
Juan F. Acosta
Mónica Guevara
Andrés Alvarado
María C. Calderón
Mauricio Ávila
Gina Cáceres
Isabella Herrera
Zaava Ravid
Alejandro Moure
Miguel F. Porras
Camila Vásquez
Catalina Amaya
Laura M. Escobar
Lorena Andrade
Sergio Arboleda
Catalina Jiménez
Daniela González
Maritza Sierra
Gina A. Arias
Guillermo Parra
Erika Jhiset Suárez
Liliana Galindo
Wilson J. Espíndola
Juan Carlos Suárez
José Alejandro Vela
Salvatore
Marcenaro
Francisco J. Tenjo
Elsa B. González
Jorge A. Calderón

Medellín
María C. Múnera
Eddie Manotas
Adrián Santamaría
Camilo A. Bernal
Daniela Lopera
Juliana A.
Campuzano
Viviana A.
Salamanca
Daniel R. Durango
Andrés Felipe López

ASSIGNMENT

CESION

RODOLFO VILLAMIZAR MEJÍA C.C 91293925

by means of this document assign(s) worldwide,
to

por medio de la presente
cedo(cedemos) a nivel mundial, a

UNIVERSIDAD INDUSTRIAL DE SANTANDER

a University,
organized under the laws of

Una Universidad,
organizada bajo las leyes de

COLOMBIA,

Domiciled in

domiciliada en

**CARRERA 27 CALLE 9, EDIFICIO DE ADMINISTRACIÓN 2, PISO 5,
BUCARAMANGA**

(hereinafter referred to as the "ASSIGNEE"),

all my (our) rights, including those of priority,
title and interest in and to my (our) invention for
a new and useful improvement entitled and as
fully set forth and described in:

(de ahora en adelante el
"CESIONARIO"),

todos mis (nuestros) derechos,
incluyendo los de prioridad, título e
interés sobre mi (nuestra) invención tal
como describe en:

MÉTODO Y CIRCUITO PARA COMPENSAR LA TENSION DE OFFSET DE CIRCUITOS ELECTRONICOS

Medellin, june 22 de 2016

Medellin, junio 22 de 2016

Place, date and signature
Lugar, fecha y firma

RODOLFO VILLAMIZAR MEJÍA

Place, date and signature
Lugar, fecha y firma

RODOLFO VILLAMIZAR MEJÍA

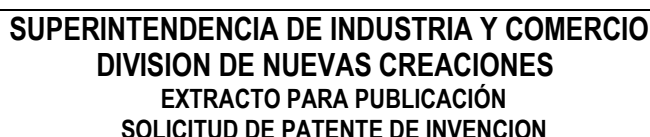
Alexander Agudelo
Carlos A. Parra
Juan F. Acosta
Mónica Guevara
Andrés Alvarado
María C. Calderón
Mauricio Ávila
Gina Cáceres
Isabella Herrera
Zaava Ravid
Alejandro Moure
Miguel F. Porras
Camila Vásquez
Catalina Amaya
Laura M. Escobar
Lorena Andrade
Sergio Arboleda
Catalina Jiménez
Daniela González
Maritza Sierra
Gina A. Arias
Guillermo Parra
Erika Jhisset Suárez
Liliana Galindo
Wilson J. Espíndola
Juan Carlos Suárez
José Alejandro Vela
Salvatore Marcenaro
Francisco J. Tenjo
Elsa B. González
Jorge A. Calderón

Medellín

Maria C. Múnera
Eddie Manotas
Adrián Santamaría
Camilo A. Bernal
Daniela Lopera
Juliana A. Campuzano
Viviana A. Salamanca
Daniel R. Durango
Andrés Felipe López

Barranquilla

Gina De Echeona
José J. Dangond



(21) N° de solicitud:	(51) Int Cl:
22) Fecha de solicitud:	(71) Solicitante(s) UNIVERSIDAD INDUSTRIAL DE SANTANDER
(30) Prioridad (31) No. Prioridad 32) Fecha (33) País	(72) Inventor(es) (1) Andrés Felipe AMAYA BELTRÁN, (2) Rodolfo VILLAMIZAR MEJÍA y (3) Élkim Felipe ROA FUENTES
	(74) Apoderado: CARLOS R. OLARTE
(54) Título: MÉTODO Y CIRCUITO PARA COMPENSAR LA TENSIÓN DE OFFSET DE CIRCUITOS ELECTRÓNICOS	

Reivindicación(es):

La presente invención corresponde a un método y un circuito para compensar la tensión de offset de circuitos electrónicos, donde el circuito que implementa el método comprende: un comparador dinámico (1); un detector de fase (6) conectado al comparador dinámico (1), el detector de fase (6); una máquina de estados finitos (9) conectado al detector de fase (4), un primer convertidor digital-analógico (12) conectado a una salida de la máquina de estados finitos (9); un segundo convertidor digital-analógico (13) conectado a otra salida (11) de la máquina de estados finitos (9); un bloque de polarización (14) con una primera entrada (15) conectada a la salida del primer convertidor digital-analógico (12) y una segunda entrada (16) conectada a la salida del segundo convertidor digital-analógico (13); donde el bloque de polarización (14) polariza un circuito electrónico (17) y el comparador dinámico (1), el detector de fase (6), y la máquina de estados finitos (9) están conectados a una señal de reloj (3). El método está caracterizado por las etapas: a) conectar un comparador dinámico a la salida del circuito electrónico; b) medir el cambio en la fase de las salidas del comparador dinámico de la etapa a mediante un detector de fase; c) controlar las señales de salida de una máquina de estados finitos según la salida del detector de fase de la etapa b, la cual puede ser codificada “adelante”, “atrás” o “en fase”; c) convertir la salida de la máquina de estados finitos de la etapa c a una señal analógica mediante dos convertidores digital-analógico; d) conectar la salida de los dos convertidores digital-analógico de la etapa d al terminal de control del bloque de polarización del circuito electrónico; y, e) modificar la corriente de polarización del bloque de polarización del circuito electrónico mediante las señales de la salida de los dos convertidores digital-analógico conectados en la etapa e.

FIGURAS

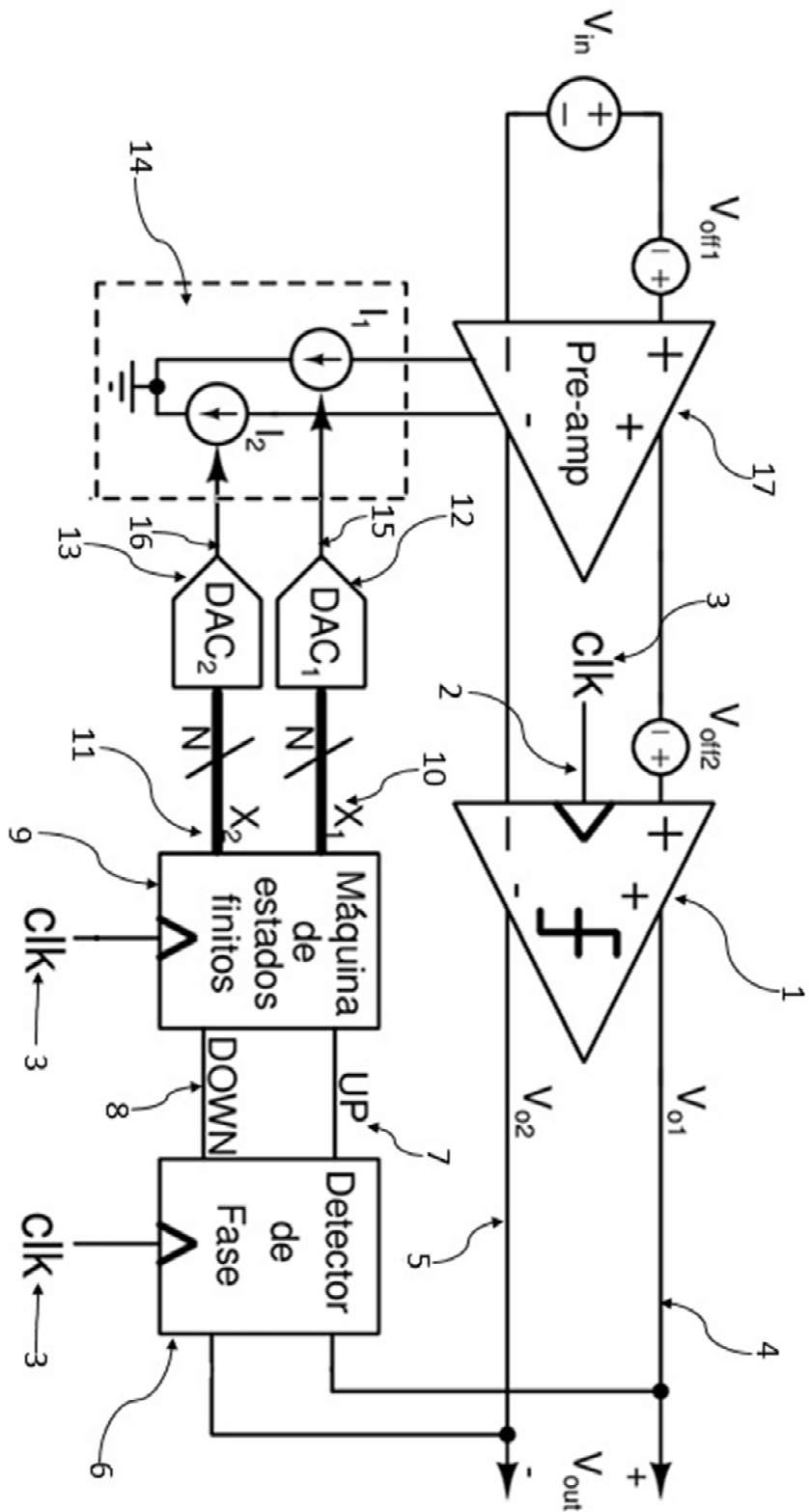


FIG. 1

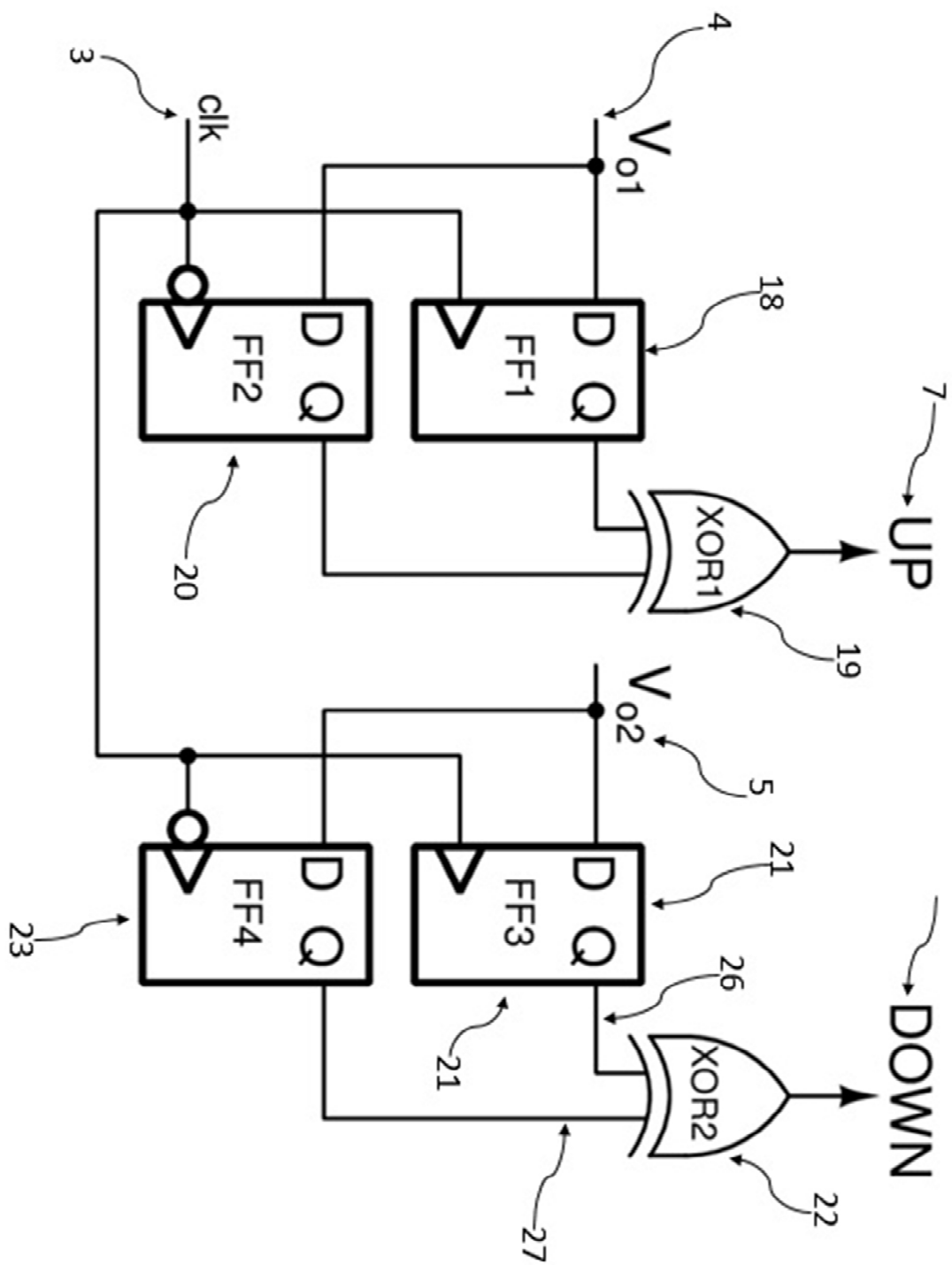


FIG. 2

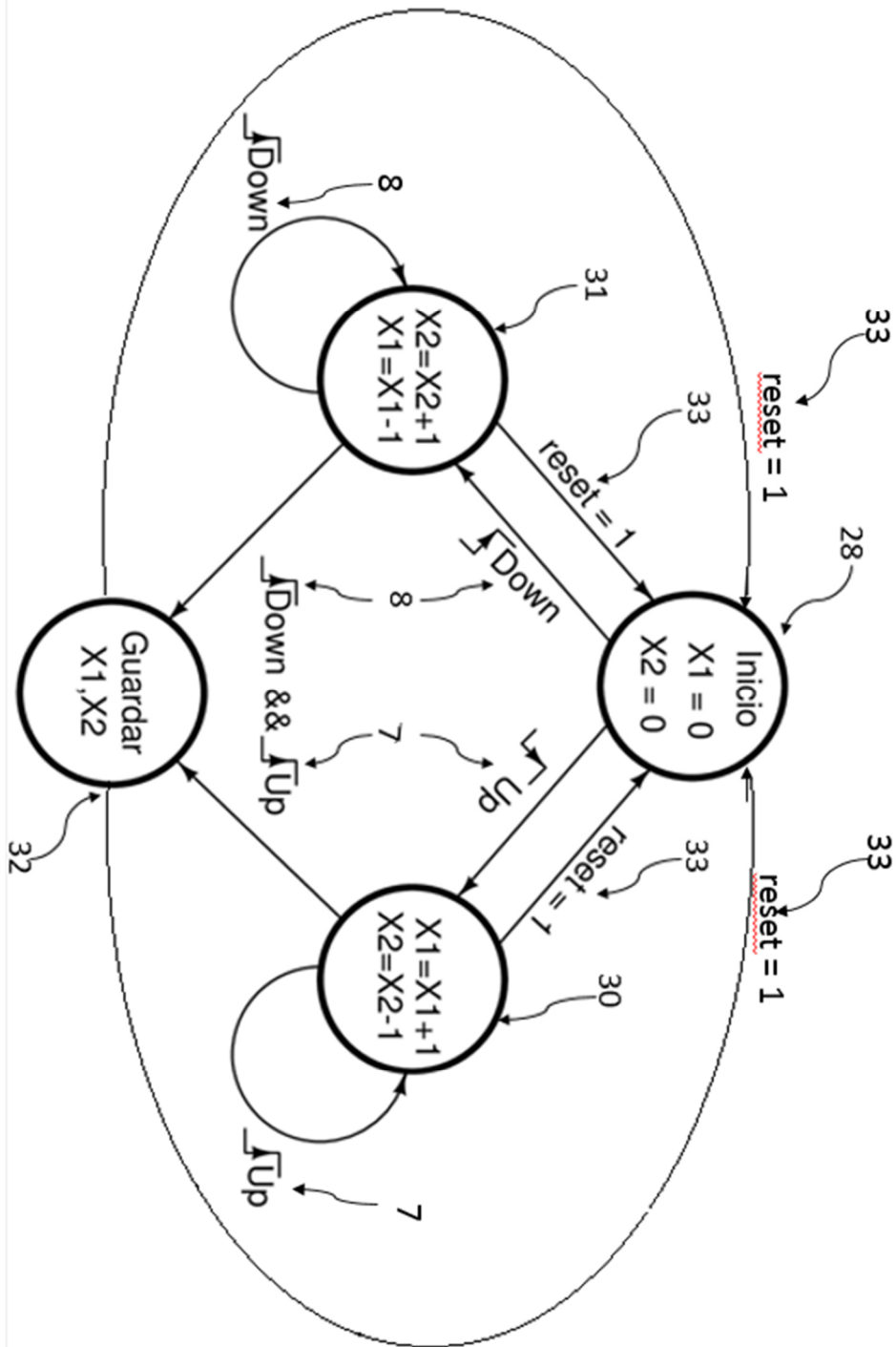


FIG. 3

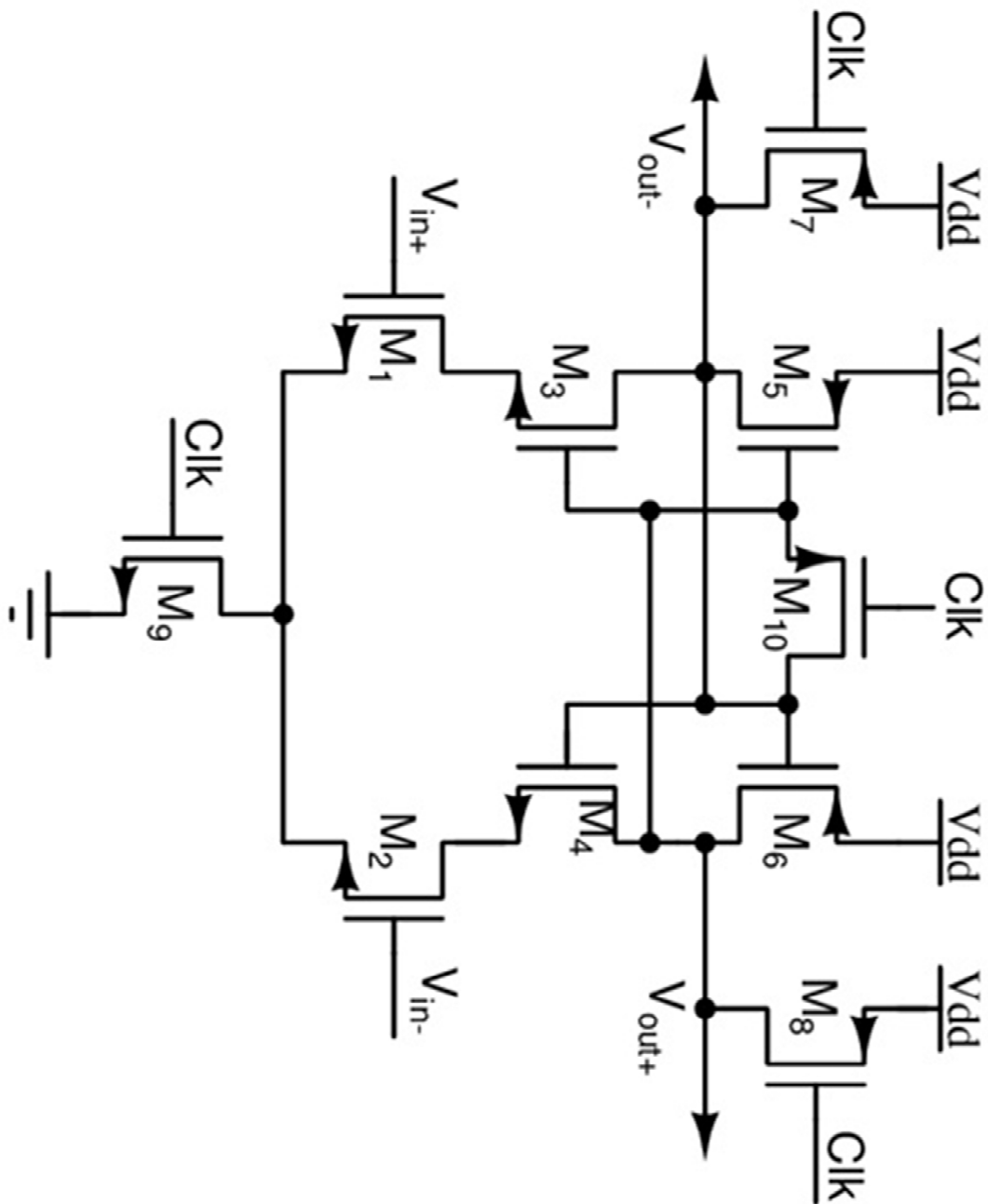


FIG. 4

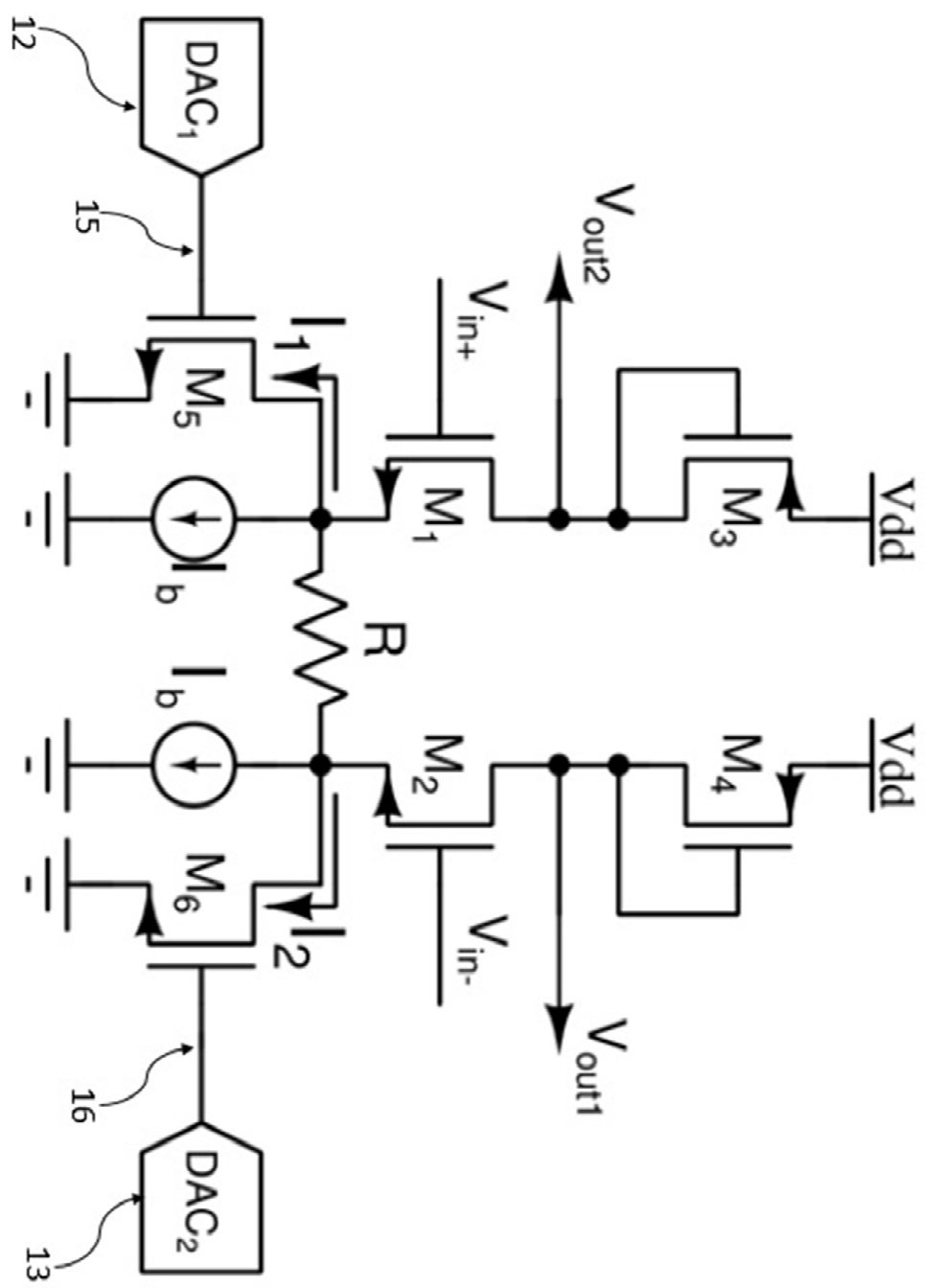


FIG. 5

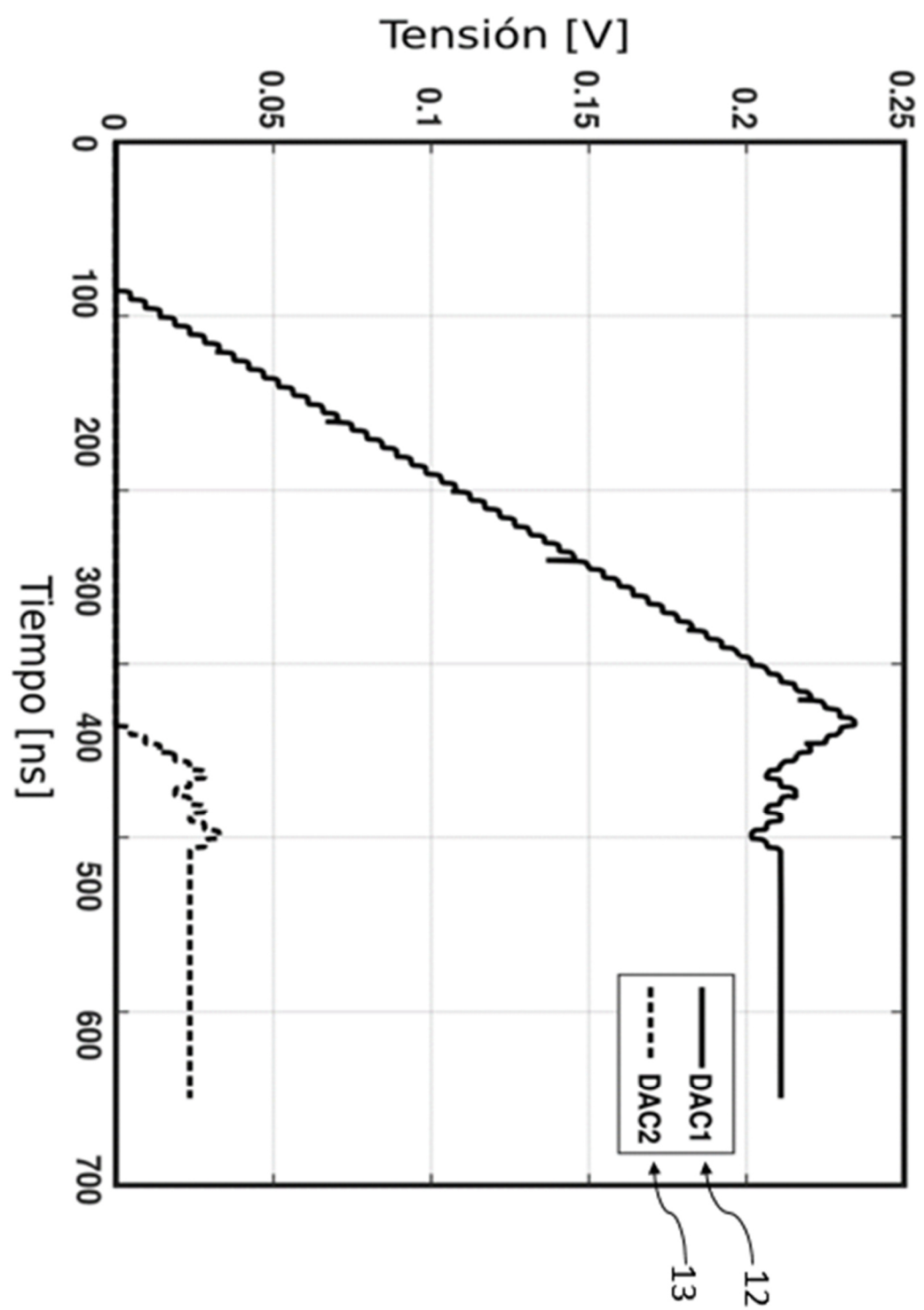


FIG. 6

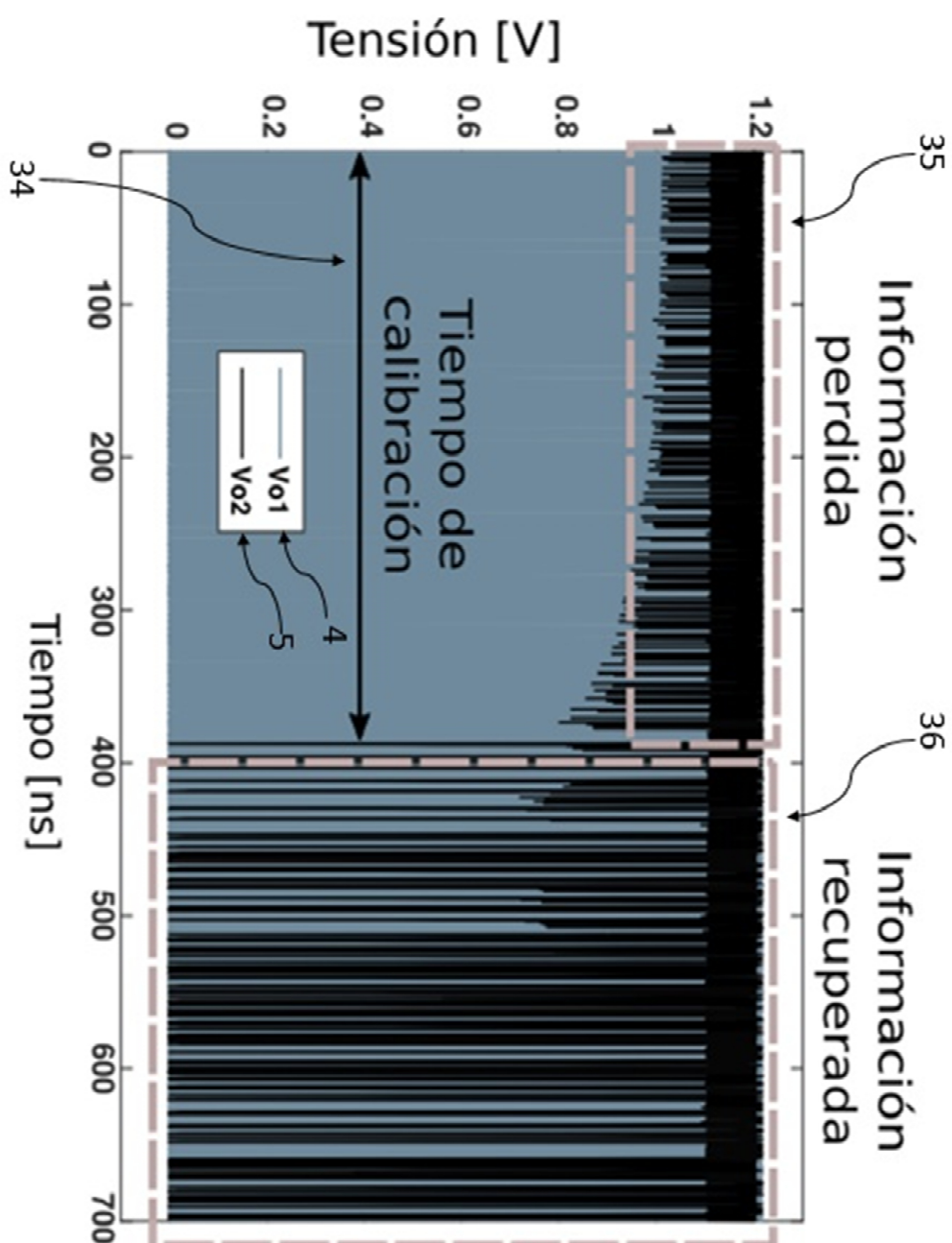


FIG. 7

(21) N° de solicitud: (22) Fecha de solicitud:

(51) Clasificación Internacional :

(71)Solicitante(s) **UNIVERSIDAD INDUSTRIAL DE SANTANDER**

(72) Inventor(es) (1) Andrés Felipe AMAYA BELTRÁN, (2) Rodolfo VILLAMIZAR MEJÍA y (3) Élkim Felipe ROA FUENTES

(74) Apoderado: CARLOS R. OLARTE

(30) Prioridad (31) **No. Prioridad** 32) **Fecha** (33) **País**

(85) Fecha límite inicio fase nacional:

(86) Datos relativos a la presentación de la solíc. PCT

Fecha de presentación de la solicitud:

No. de solicitud **PCT/**

(87) Publicación internacional:

Fecha:

No. Publicación : **WO**

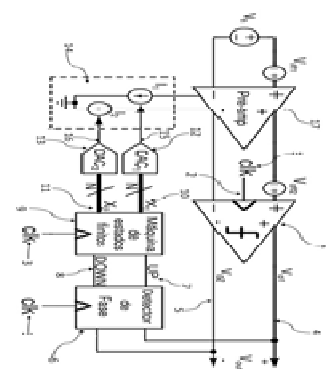


FIG.1

(54) Título: **MÉTODO Y CIRCUITO PARA COMPENSAR LA TENSIÓN DE OFFSET DE CIRCUITOS ELECTRÓNICOS**

(57) Resumen:

La presente invención corresponde a un método y un circuito para compensar la tensión de offset de circuitos electrónicos, donde el circuito que implementa el método comprende: un comparador dinámico (1); un detector de fase (6) conectado al comparador dinámico (1), el detector de fase (6); una máquina de estados finitos (9) conectado al detector de fase (4), un primer convertidor digital-analógico (12) conectado a una salida de la máquina de estados finitos (9); un segundo convertidor digital-analógico (13) conectado a otra salida (11) de la máquina de estados finitos (9); un bloque de polarización (14) con una primera entrada (15) conectada a la salida del primer convertidor digital-analógico (12) y una segunda entrada (16) conectada a la salida del segundo convertidor digital-analógico (13); donde el bloque de polarización (14) polariza un circuito electrónico (17) y el comparador dinámico (1), el detector de fase (6), y la máquina de estados finitos (9) están conectados a una señal de reloj (3). El método está caracterizado por las etapas: a) conectar un comparador dinámico a la salida del circuito electrónico; b) medir el cambio en la fase de las salidas del comparador dinámico de la etapa a mediante un detector de fase; c) controlar las señales de salida de una máquina de estados finitos según la salida del detector de fase de la etapa b, la cual puede ser codificada "adelante", "atrás" o "en fase"; c) convertir la salida de la máquina de estados finitos de la etapa c a una señal analógica mediante dos convertidores digital-analógico; d) conectar la salida de los dos convertidores digital-analógico de la etapa d al terminal de control del bloque de polarización del circuito electrónico; y, e) modificar la corriente de polarización del bloque de polarización del circuito electrónico mediante las señales de la salida de los dos convertidores digital-analógico conectados en la etapa e.

 Industria y Comercio SUPERINTENDENCIA	SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO DIVISION DE NUEVAS CREACIONES TARJETA ARCHIVO PROPIETARIOS PATENTE DE INVENCION ☒ PCT ☐ MODELO DE UTILIDAD ☐ DISEÑO INDUSTRIAL ☐								
(21) N° de solicitud: (51) Clasificación Internacional :	(22) Fecha de solicitud:								
(71) Solicitante(s) UNIVERSIDAD INDUSTRIAL DE SANTANDER									
(72) Inventor(es) (1) Andrés Felipe AMAYA BELTRÁN, (2) Rodolfo VILLAMIZAR MEJÍA y (3) Élkim Felipe ROA FUENTES									
(74) Apoderado: CARLOS R. OLARTE									
<table border="0"> <tr> <td>(30) Prioridad</td> <td>(31) No. Prioridad</td> <td>32) Fecha</td> <td>(33) País</td> </tr> </table>		(30) Prioridad	(31) No. Prioridad	32) Fecha	(33) País				
(30) Prioridad	(31) No. Prioridad	32) Fecha	(33) País						
<table border="0"> <tr> <td>(85) Fecha inicio fase nacional:</td> <td>(87) Publicación internacional</td> </tr> <tr> <td>(86) Datos relativos a la presentación de la solicitud PCT</td> <td>Fecha: Fecha (dd/mm/aa)</td> </tr> <tr> <td>Fecha de presentación de la solicitud: Fecha (dd/mm/aa)</td> <td>N° publicación: WO</td> </tr> <tr> <td>No. de solicitud PCT/</td> <td></td> </tr> </table>		(85) Fecha inicio fase nacional:	(87) Publicación internacional	(86) Datos relativos a la presentación de la solicitud PCT	Fecha: Fecha (dd/mm/aa)	Fecha de presentación de la solicitud: Fecha (dd/mm/aa)	N° publicación: WO	No. de solicitud PCT/	
(85) Fecha inicio fase nacional:	(87) Publicación internacional								
(86) Datos relativos a la presentación de la solicitud PCT	Fecha: Fecha (dd/mm/aa)								
Fecha de presentación de la solicitud: Fecha (dd/mm/aa)	N° publicación: WO								
No. de solicitud PCT/									
(54) Título: MÉTODO Y CIRCUITO PARA COMPENSAR LA TENSIÓN DE OFFSET DE CIRCUITOS ELECTRÓNICOS									



Espacio reservado para el adhesivo de radicación.

FORMULARIO ÚNICO DE SOLICITUD DE PATENTE

P2016/000115

SOLICITUD DE:

1

☒

Patente de Invención.

☐

Patente de Modelo de Utilidad.

2

SOLICITANTE
(71)

Nombre: UNIVERSIDAD INDUSTRIAL DE SANTANDER

Dirección: Carrera 27 - Calle 9, Edificio de Administración 2, Piso 5, Bucaramanga, Colombia

Nacionalidad o Domicilio: Colombia

Lugar de Constitución: Colombia

Teléfono: Fax:

E-mail:

IDENTIFICACIÓN

C.C. NIT ☒

C.E. Otro ☐

Cual

Número 890201213-4

3

REPRESENTANTE
O APODERADO

Nombre: CARLOS R. OLARTE

Dirección: Carrera 5 No. 34-03

Teléfono: 601-7700 Fax: 601-7799

E-mail: office@olartemoure.com

IDENTIFICACIÓN

C.C. ☒ NIT ☐

C.E. Otro ☐

Cual

Número 79.782.747
Btá
TP 74.295

4

INVENTOR (ES)
(72)

Nombre: Andrés Felipe AMAYA BELTRÁN, (2) Rodolfo VILLAMIZAR MEJÍA y (3) Élkim Felipe ROA FUENTES

Dirección: Carrera 27 - Calle 9, Edificio de Administración 2, Piso 5, Bucaramanga, Colombia

Nacionalidad o Domicilio: Colombia

5

Título (54) MÉTODO Y CIRCUITO PARA COMPENSAR LA TENSION DE OFFSET DE CIRCUITOS ELECTRÓNICOS

6

Clasificación Internacional (51)

7

Prioridad

SI

☐

NO

☒

(33) País de Origen

(32) Fecha

(31) Número de Solicitud

8

Para publicar a partir de la fecha de la presente solicitud a los:

6 meses

☐

12 meses

☐

18 meses

☒

otro

☐

cual

9

Comprobante de pago No. Fecha

10

ANEXOS

☒

Comprobante de pago de la tasa de presentación de la solicitud.

☐

Comprobante de pago de la tasa por concepto de excedente de 10 Reivindicaciones.

☐

Comprobante de pago por reivindicación de prioridad.

☐

Documento que acredita la existencia y representación legal cuando el solicitante sea persona jurídica. Adjunto copia simple.

☐

Poderes, si fuere el caso. Adjunto copia simple.

☐

Certificado de la fecha de presentación de la solicitud prioridad expedida por la autoridad correspondiente y una copia certificada de la primera solicitud, si se reivindica prioridad.

☐

Traducción simple de la primera solicitud, si se reivindica prioridad.

☒

Documento de cesión del inventor al solicitante o a su causante.

☒

Resumen.

☒

Descripción de la invención.

☒

Una o más reivindicaciones.

☒

Dibujos y/o planos necesarios.

☐

De ser el caso, copia del contrato de acceso.

☐

De ser el caso, documento que acredite la licencia o autorización de uso de conocimientos tradicionales de las comunidades indígenas.

☐

De ser el caso, certificado de depósito del material biológico.

☐

Arte final 12 x 12.

☐

De ser el caso, información sobre otras solicitudes de patente o títulos obtenidos en el extranjero por el mismo titular o su causante, relacionadas parcial o totalmente con la invención de esta solicitud.

11

FIGURA CARACTERÍSTICA:

12

Solicito la concesión de la patente,

NOMBRE: CARLOS R. OLARTE

FIRMA: _____
C.C. 79.782.747 Btá T.P. 74.295

LISTA DE INVENTORES

Andrés Felipe AMAYA BELTRÁN

Carrera 27 Calle 9,
Edificio De Administración 2, Piso 5,
Bucaramanga
Colombia
Nacionalidad: Colombiano

Rodolfo VILLAMIZAR MEJÍA

Carrera 27 Calle 9,
Edificio De Administración 2, Piso 5,
Bucaramanga
Colombia
Nacionalidad: Colombiano

Élkim Felipe ROA FUENTES

Carrera 27 Calle 9,
Edificio De Administración 2, Piso 5,
Bucaramanga
Colombia
Nacionalidad: Colombiano

Resumen.

La presente invención corresponde a un método y un circuito para compensar la tensión de offset de circuitos electrónicos, donde el circuito que implementa el método comprende: un comparador dinámico (1); un detector de fase (6) conectado al comparador dinámico (1), el detector de fase (6); una máquina de estados finitos (9) conectado al detector de fase (4), un primer convertidor digital-analógico (12) conectado a una salida de la máquina de estados finitos (9); un segundo convertidor digital-analógico (13) conectado a otra salida (11) de la máquina de estados finitos (9); un bloque de polarización (14) con una primera entrada (15) conectada a la salida del primer convertidor digital-analógico (12) y una segunda entrada (16) conectada a la salida del segundo convertidor digital-analógico (13); donde el bloque de polarización (14) polariza un circuito electrónico (17) y el comparador dinámico (1), el detector de fase (6), y la máquina de estados finitos (9) están conectados a una señal de reloj (3). El método está caracterizado por las etapas: a) conectar un comparador dinámico a la salida del circuito electrónico; b) medir el cambio en la fase de las salidas del comparador dinámico de la etapa **a** mediante un detector de fase; c) controlar las señales de salida de una máquina de estados finitos según la salida del detector de fase de la etapa **b**, la cual puede ser codificada “adelante”, “atrás” o “en fase”; c) convertir la salida de la máquina de estados finitos de la etapa **c** a una señal analógica mediante dos convertidores digital-analógico; d) conectar la salida de los dos convertidores digital-analógico de la etapa **d** al terminal de control del bloque de polarización del circuito electrónico; y, e) modificar la corriente de polarización del bloque de polarización del circuito electrónico mediante las señales de la salida de los dos convertidores digital-analógico conectados en la etapa **e**.