

GENERADOR DE RELOJ MEDIANTE SÍNTESIS DIGITAL

SECTOR TECNOLÓGICO

5 La presente invención pertenece al campo de los circuitos electrónicos básicos específicamente a la generación de oscilaciones, directamente o por cambio de frecuencia, con la ayuda de circuitos que utilizan elementos activos que funcionan de manera conmutativa; generación de señal por dichos circuitos, que consiste en un generador de reloj que contiene dos loops, dedicados a realizar la síntesis de
10 frecuencia, corregir variaciones de temperatura y defectos de fabricación, todos los dispositivos operan en el dominio digital y son completamente sintetizados.

ESTADO DE LA TÉCNICA

15 En el estado de la técnica se conoce la solicitud de patente No. US 7019570 que describe un circuito de bucle (PLL o DLL) que usa un componente controlado por voltaje de doble ganancia (VCO o VCDL) para lograr un bloqueo de fase (y frecuencia) con jitter reducido. Un camino de retroalimentación de control grueso incluye un detector para lograr un bloqueo aproximado. Esta ruta opera en un amplio
20 rango y, por lo tanto, alimenta una entrada VCO o VCDL con una ganancia relativamente alta. Sin embargo, la entrada en esa ruta se fija una vez que se logra el bloqueo de frecuencia aproximado, por lo que no contribuye a la inestabilidad. Un camino de control fino incluye un detector cuya salida ajusta la cerradura. Aunque esta ruta es susceptible al ruido, su rango operativo es relativamente pequeño, por
25 lo que su entrada VCO o VCDL tiene una ganancia relativamente baja. Por lo tanto, la fluctuación de la amplificación del ruido por esa ganancia es relativamente pequeña. El circuito de bucle se puede usar en un dispositivo lógico programable, en cuyo caso se pueden determinar varios parámetros de bucle mediante valores programables. Por su parte, en la nueva invención, el PLL o DLL es completamente
30 implementado en el dominio digital.

También se encuentra la solicitud de patente No US 7583117 que proporciona un sintetizador de reloj de bloqueo de retardo que comprende: un circuito de retardo ajustable para recibir un reloj de entrada y para generar un reloj de salida que tiene
35 un desplazamiento de fase controlado por una señal de control; un detector de fase para detectar una diferencia de fase entre el reloj de entrada y el reloj de salida y

para generar una señal de error de fase que representa la diferencia de fase; un circuito de suma para sumar la señal de error de fase y una señal de desplazamiento de fase en una señal de error de fase modificada; y un filtro para filtrar la señal de error de fase modificada para generar la señal de control para controlar el circuito de retardo ajustable. El antecedente funciona como un DLL (Delay lock loop), pero difiere de la arquitectura ya que usa lazos individuales por entrada; mientras en la nueva invención, se utiliza una sola entrada en vez de usar más de una entrada en el generador.

Se conoce la solicitud de patente No. US 8781428 que describe un sintetizador de frecuencia que incluye un oscilador controlado configurado para extender un rango de temperatura y ruido de fase del sintetizador sin comprometer la cobertura de frecuencia del sintetizador. El sintetizador de frecuencia también incluye un circuito de generación de polarización que establece una corriente de polarización de una bomba de carga para reducir las variaciones de ancho de banda del sintetizador. El sintetizador de frecuencia incluye además el circuito de conmutación para activar y desactivar dinámicamente una bomba de carga para reducir los efectos de la fuga de corriente en la bomba de carga. Por su parte, en el nuevo desarrollo, cada lazo tiene su propio oscilador y el ajuste de los lazos se efectúa de acuerdo a la lectura de cada lazo y controlado por multiplexor.

DESCRIPCIÓN DE LA INVENCION

Todo sistema on-chip contiene un circuito de síntesis de reloj usualmente ocupando un área considerable del chip. El generador de reloj propuesto requiere un área reducida considerando su naturaleza digital. En comparación con generadores del estado del arte, el propuesto reduce el área significativamente, reduciendo costos de fabricación y permitiendo su integración en sistemas limitados por área. Adicionalmente usa una arquitectura que permite reducir el impacto a variaciones de temperatura y defectos de fabricación.

BREVE DESCRIPCION DE FIGURAS

Fig. 1. Diagrama de bloques del generador de reloj con componentes que lo conforman.

DESCRIPCIÓN DETALLADA DE LA INVENCIÓN

El generador de reloj contiene dos loops. Uno dedicado a realizar la síntesis de frecuencia y otro a corregir variaciones de temperatura y defectos de fabricación. Todos los dispositivos operan en el dominio digital y son completamente sintetizados. La figura 1 presenta el diagrama de bloques del generador enumerando cada uno de los componentes que lo conforman: Osciladores en anillo (1); Interpoladores de fase (2); Detector Bang-Bang de fase (3); Circuito de voto mayor (4); Elemento con ganancia proporcional (5); Elemento con ganancia integral (6); Acumulador integral (7); Acumulador de fase (8); Selector (9).

Osciladores en anillo (1) genera una oscilación sostenida cuya fase y frecuencia van a ser controladas por un lazo de realimentación, los Interpoladores de fase (2) varían la fase de la oscilación producida por el Oscilador de anillo (1) en función de la salida del Acumulador de fase (8). El Detector Bang-Bang de fase (3) determina si la salida del Interpolador de fase (2) está atrasada o adelantada con respecto a la señal de referencia.

Circuito de voto mayor (4) genera una señal adelanto/atraso efectiva mediante la evaluación de una función de voto mayoritario (MJV), la cual ponderará N muestras distintas provenientes del Detector Bang-Bang de fase (3).

Elemento con ganancia proporcional (5) escala por un factor constante k_p la salida del circuito de voto mayor (4), el Elemento con ganancia integral (6) Escala por un factor constante k_i la salida del circuito de voto mayor (4).

Acumulador integral (7) Integra o acumula la señal de salida del Elemento con ganancia integral (6), mientras que el Acumulador de fase (8) Integra o acumula la señal resultante de la suma de la salida del Elemento con ganancia proporcional (5) y el Acumulador integral (7).

El Selector (9) selecciona si a señal de entrada al Dectector Bang-Bang de fase (3) corresponde a la salida del primer Oscilador de anillo (1) o a la salida del segundo Oscilador de anillo (1).

El ajuste de la frecuencia que produce el Oscilador de anillo (1) se realiza ejecutando las siguientes etapas:

1. Generar una oscilación sostenida mediante un Oscilador de anillo (1), cuya frecuencia será controlada por los lazos de realimentación.
2. Ajustar el circuito selector para que transmita al Detector Bang Bang de fase (3) la oscilación producida por el primer o segundo Oscilador de anillo (1).
- 5 3. Comparar mediante el Detector Bang Bang de fase (3) la fase de la oscilación generada por alguno de los Osciladores de anillo (1) con la fase de la señal de referencia, y determinar si las señales están atrasadas o adelantas respecto a la referencia.
4. Calcular a través del Circuito de voto mayor (4) una señal de adelanto/atraso efectiva mediante el sensado y ponderación de N muestras distintas provenientes del Detector Bang Bang de fase (3).
- 10 5. Escalar en un factor k_p y k_i la señal de salida del Circuito de voto mayor (4) mediante los Elementos de ganancia proporcional (5) y ganancia integral (6) respectivamente.
- 15 6. Acumular o integrar la señal de salida del Elemento de ganancia integral (6) mediante un Acumulador integral (7).
7. Acumular o integrar la suma de las señales de salida del Acumulador integral (7) y del Elemento de ganancia proporcional (5), mediante un Acumulador de fase (8).
- 20 8. Modificar la fase de las oscilaciones producidas por los Osciladores de anillo (1) mediante los Interpoladores de fase (2), y en función de la señal de salida del Acumulador de fase (8).

La forma de ajuste de la fase se realiza con dispositivos que no necesitan ser
25 corregidos después de fabricación. Disminuyendo costos de pruebas.

No necesita un inductor pasivo por su naturaleza digital. Generadores del estado arte son comúnmente analógicos y requieren inductores que ocupan área significativa.

La arquitectura se basa en dos lazos realimentados implementados con bloques
30 funcionales digitales. Por su naturaleza digital, los costos de diseño se reducen considerando que se puede utilizar un flujo digital con herramientas convencionales del arte.

Los lazos de control digital implementados junto con el reloj reducen las variaciones del proceso de fabricación, voltaje y temperatura, así mismo estos pueden ser
35 habilitados una vez el chip es fabricado y en operación. Lo anterior disminuye los

costos de los chips una vez que menor número de dispositivos son descartados por mal funcionamiento debido a variaciones del proceso de fabricación.

A pesar de que existen otros generadores digitales, estos presentan una clara desventaja frente al actual desarrollo en la medida en que los más usados
5 comercialmente son analógicos. La razón por la cual los digitales aún no han sido aceptados por la industria es su menor desempeño con respecto a los analógicos.

Este desarrollo se centra en que el generador de reloj es completamente sintetizado con silicón compilers, con lo cual, el desempeño es adecuado para sustituir los
10 analógicos y tiene lazos de control que permiten auto-corregirse si hay defectos o variaciones en el proceso, a diferencia de los antecedentes.

La solución es completamente escalable en diferentes nodos tecnológicos. Poniendo como ejemplo, un teléfono marca Apple, el iphone 6s. El iphone 6s
15 contiene alrededor de 20 chips, de los cuales 15 chips contienen circuitos generadores de reloj. Con el propósito de aumentar el desempeño de estos chips, año-a-año se usan tecnologías de silicio con escalas menores. El tiempo que toma portar un generador de reloj analógico a una nueva tecnología de mayor escala es considerable y por consiguiente los costos asociados. El generador propuesto, por
20 su naturaleza digital, reduce considerablemente el tiempo de diseño. De esa manera, el impacto en el desarrollo de chips para teléfonos, tabletas y otros equipos electrónicos es traducido en beneficios económicos y de competitividad en sistemas como teléfonos considerando los tiempos de inclusión en el mercado.