

DISPOSITIVO Y MÉTODO DE COMPENSACIÓN DE TENSIÓN

Campo técnico de la invención

La presente invención está relacionada con dispositivos de frenado regenerativos, y más específicamente, a un dispositivo y un método de compensación de tensión en corriente
5 directa para aprovechamiento de frenado regenerativo basado en ultracapacitores.

Descripción del estado de la técnica

El frenado regenerativo es un mecanismo de frenado que permite que cuando un vehículo desacelera la energía cinética del movimiento del vehículo se convierta en energía eléctrica para que luego esta energía sea almacenada, en un dispositivo de frenado tradicional esta
10 energía se disipa en forma de calor y vibración, lo que propende en el desgaste del mismo dispositivo de frenado. El dispositivo de frenado regenerativo no solo reduce el consumo de energía sino que además evita la generación de ruido ocasionado por la fricción del freno y el desgaste de las pastas de frenado de un vehículo.

El concepto de abarca toda una variedad de formas de almacenamiento de energía que
15 incluye hidráulica o neumática, eléctrica o por medio de un volante de inercia como lo hacen los vehículos de fórmula uno. Algunos trenes modernos se hacen uso de dispositivos de frenado regenerativo para ahorrar energía.

Generalmente el caso de los automóviles la energía generada del frenado regenerativo se utiliza para extender la duración de la batería y por el contrario en dispositivo de trenes la
20 energía generada generalmente se inyecta al mismo dispositivo de suministro de energía para compensar las variaciones en la línea de transmisión.

No se debe confundir un dispositivo de frenado regenerativo con un dispositivo de frenado dinámico, ya que en este último la energía cinética no se almacena sino que se utiliza para el mismo frenado, es decir los motores de tracción del vehículo en movimiento durante el
25 frenado dinámico funcionan como generador y se conectan a un banco de resistencias de frenado que a modo de carga sobre los motores hacen que disminuya la rotación de estos mismos. En un ejemplo ilustrativo cuando se habla de motores con imán permanente, el frenado dinámico se realiza haciendo un cortocircuito en sus terminales, esto se refleja en una frenada violenta del eje del motor. Este método, sin embargo disipa toda la energía
30 cinética de la rotación del eje del motor, en forma de calor en el mismo motor y por tanto está limitada a la capacidad de refrigeración del mismo, y no permite ser utilizado de otra forma que no sea intermitente y con baja potencia, adicionalmente no es adecuado para aplicaciones en las que se requieran grandes fuerzas de tracción.

En el estado de la técnica se encuentran métodos y/o dispositivos como en los que se
35 proponen formas distintas para dispositivos de frenado regenerativo como, por ejemplo, los divulgados en los documentos US 20130147441 A1 y US 5710699 A.

El documento US 20130147441 A1 divulga un método de sintonización automática para el dispositivo de almacenamiento de energía en vehículos que se movilizan sobre rieles que comprende la operación de un aparato de almacenamiento de energía para los trenes sobre rieles, realizar una carga inicial de los súper capacitores en el aparato de almacenamiento de energía y activar un dispositivo de encendido, seleccionar un modo de carga o descarga, detener el modo de carga o descarga y el aparato de almacenamiento de energía, determinar si la condición de operación se da para conmutar entre modo de carga y modo de descarga, conmutar entre los modos de carga y descarga de acuerdo a una condición determinada, determinar si la condición de operación satisface con una condición de mantenimiento de voltaje o sintonización automática, ejecutar la operación de mantenimiento de voltaje o sintonización automática, y ejecutar un mantenimiento de voltaje o sintonización automática. Sin embargo el método divulgado en el documento US 20130147441 A1 se limita sólo a vehículos sobre rieles y está enfocado a resolver el problema de las fluctuaciones de voltaje en la línea de transmisión del proveedor de energía que entrega la potencia eléctrica en corriente directa a un dispositivo de trenes.

Por otra parte el documento US 5710699 A divulga un dispositivo y un método para compensar la carga de una batería en un dispositivo eléctrico de potencia. El dispositivo divulgado en el documento US 5710699 A es un arreglo para la compensación de la carga de baterías para un dispositivo de alimentado eléctricamente en el que la carga de la batería se encuentra sometido a demandas intermitentes de corrientes elevadas, el dispositivo incluye una batería acoplada para suministrar energía a un enlace de corriente directa, una carga, y un controlador del dispositivo acoplado circuitalmente entre el enlace de corriente directa y la carga para dosificar la potencia en la carga, dicho arreglo para la compensación de la carga de baterías comprende un dispositivo pasivo de almacenamiento de energía, un primer convertor bidireccional acoplado circuitalmente con el dispositivo pasivo de almacenamiento de energía y el enlace de corriente directa para transmitir potencia eléctrica entre el enlace de corriente directa y el dispositivo de almacenamiento de energía, un segundo convertor bidireccional acoplado circuitalmente entre la batería y el enlace de corriente directa para transferir la potencia eléctrica entre la batería y el enlace de corriente directa; y los medios para de forma unidireccional acoplar la batería al dispositivo de almacenamiento de energía polarizado para conducir corriente desde la batería al dispositivo de almacenamiento de energía por lo cual la corriente de la batería se acopla al enlace de corriente directa a través del primer convertor bidireccional y del segundo convertor bidireccional y donde en una de sus reivindicaciones dependientes el dispositivo de almacenamiento de energía consta de un banco de ultracapacitores.

A su vez el método divulgado en el documento US 5710699 A comprende los pasos de: proveer corriente al enlace de corriente directa desde la batería a través de los convertidores de corriente directa a corriente directa, operar un circuito de frenado dinámico cuando el motor funciona en modo regenerativo y el dispositivo pasivo de almacenamiento de energía se encuentra cargado completamente para disipar el exceso de potencia regenerada sobre los límites de la capacidad del primer convertor.

Si bien el documento US 5710699 A divulga un dispositivo para compensar la carga de una batería en un dispositivo eléctrico de potencia este está conformado por varios convertidores bidireccionales de DC a DC lo que conlleva a pérdidas de potencia y lo hace ineficiente en términos energéticos aparte de incrementar los costos de fabricación, también es más susceptible de daños pues cuenta con un alto número de componentes electrónicos.

Adicionalmente el método para compensar la carga de una batería en un dispositivo eléctrico de potencia divulgado en el documento US 5710699 A desperdicia la energía que podría almacenar eléctricamente en un freno dinámico además con un par de desventajas asociada a la capacidad de disipación de potencia de los motores y no ser apropiado para aplicaciones de alta tracción.

En resumen el estado de la técnica si bien divulga tanto dispositivos como métodos relacionada con dispositivos de frenado regenerativos son ineficientes ya que desperdician energía del frenado que puede ser recuperada y también requieren múltiples etapas de conversión DC a DC que implica mayores pérdidas de eficiencia que un dispositivo con menos etapas, menos dispositivos o más compacto, desperdician la energía adicional en dispositivos de freno dinámico para frenar bruscamente lo que ocasiona desgaste en los motores por disipar la energía en exceso utilizando el propio motor como elemento disipador de energía.

Breve descripción de la invención

La presente invención corresponde a un dispositivo y método de compensación de tensión en corriente directa.

El dispositivo de compensación de tensión en corriente directa divulgado en la presente invención comprende: un EDLC (2) con un terminal positivo y un terminal negativo, un primer medidor de voltaje (9A) con velocidad de lectura en intervalos entre $1\mu s$ y $10\mu s$ y dispuesto operativamente en el EDLC (2), un primer medidor de corriente (8A) con velocidad de lectura en intervalos entre $1\mu s$ y $10\mu s$ y dispuesto operativamente en el EDLC (2), un convertor DC/DC (7A) con corriente de conmutación de 3KHz, conectado al EDLC (2) y al primer medidor de corriente (8A), una unidad de cómputo (11A) conectada al convertor DC/DC (7A), al primer medidor de voltaje (9A) y al primer medidor de corriente (8A), donde la unidad de cómputo (11A) con base en las señales del primer medidor de voltaje (9A) y del primer medidor de corriente (8A) controla el convertor DC/DC (7A) para compensar la tensión en corriente directa.

El método de compensación de tensión en corriente directa divulgado en la presente invención comprende las siguientes etapas: etapa e) verificar que la tensión de línea esté entre un límite inferior de voltaje operación y un límite superior de voltaje de operación pre-configurados por un usuario en un registro de memoria de una unidad de cómputo y pasar a la etapa (g); si la tensión de línea supera dichos límites de voltaje de operación se verifica una condición de detención;

etapa g) verificar que la variación de voltaje del EDLC sea inferior a un límite de variación de voltaje del EDLC y que la variación de corriente de carga del EDLC sea inferior a un límite de variación de la corriente de carga del EDLC pre-configurados por un usuario en un registro de memoria de la unidad de cómputo, si dichas variaciones no superan dichos límites verificar que la corriente de carga del EDLC sea inferior a un límite de corriente de operación del EDLC para controlar convertor DC/DC y verificar modo de funcionamiento del convertor DC/DC, si dichas variaciones superan dichos límites entonces realizar una desconexión;

etapa h) verificar si el modo de funcionamiento del convertor DC/DC es modo *Boost*; si el modo de funcionamiento del convertor DC/DC es modo *Boost*, comprobar que el voltaje de carga del EDLC esté en un rango definido por un límite superior de voltaje de operación del EDLC y un límite inferior de voltaje de operación del EDLC pre-programados por un usuario en un registro de memoria de la unidad de cómputo y mantener la corriente de carga del EDLC;

etapa i) registrar los cambios de la corriente del EDLC, el voltaje del EDLC y de la línea de tensión, y con base en dichos cambios determinar un diferencial de corriente y voltaje, la unidad de cómputo calcula en cada intervalo un valor promedio de voltaje y corriente con base en valores anteriores y actuales de voltaje y corriente;

donde la etapa (i) se ejecuta periódicamente de la etapa (e) a la etapa (h) con un intervalo entre 1 μ s y 10 μ s independientemente de las otras etapas;

donde alternativamente en cada una de las etapas se pasa a una etapa (f) de desconexión si no se cumplen condiciones de seguridad.

Breve descripción de las figuras

La FIG. 1 muestra un ejemplo de un esquemático de conexiones eléctricas del circuito de potencia del dispositivo divulgado en la presente invención.

La FIG. 2 enseña un diagrama de bloques de un ejemplo de las conexiones entre los diferentes elementos del dispositivo divulgado.

La FIG. 3 muestra un ejemplo en un diagrama de flujo general de los estados del método divulgado en la presente invención.

La FIG. 4 muestra un ejemplo en un diagrama de flujo del subproceso de toma de mediciones de corrientes y voltajes en el método divulgado en la presente invención.

La FIG. 5 muestra un ejemplo en diagrama de flujo del estado *setup* del método divulgado en la presente invención.

La FIG. 6 muestra un ejemplo en un diagrama de flujo del estado de Precarga del método divulgado en la presente invención.

La FIG. 7 muestra un ejemplo en un diagrama de flujo del estado *Idle* del método divulgado en la presente invención.

La FIG. 8 muestra un ejemplo en un diagrama de flujo del estado Inicio rápido del método divulgado en la presente invención.

- 5 La FIG. 9 muestra un ejemplo en un diagrama de flujo de los estados de Conexión Desconexión del método divulgado en la presente invención.

La FIG. 10 muestra un ejemplo en un diagrama de flujo del modo de *Buck/Boost* del método divulgado en la presente invención.

Descripción detallada

- 10 Siempre que se diga que un dispositivo está conectado, acoplado, acoplado en relación a la corriente o que puede estar conectado a otro dispositivo, significa que el dispositivo puede conectarse directamente mediante un cable o como alternativa, conectarse a través de otro dispositivo tal como, pero no limitado a, una resistencia, un diodo, un dispositivo conductor, y esta conexión puede ser en serie o en paralelo.

- 15 Haciendo referencia a la FIG. 1 el dispositivo que divulga la presente invención comprende una unidad de protección y control (26) conectada a su entrada por una línea de transmisión de tensión positiva (31) y una línea de transmisión de tensión negativa (32); la unidad de protección y control (26) conecta por su salida a la entrada de un dispositivo de arranque suave conformado por un primer contacto (24) y una primera resistencia (25) conectados en
20 paralelo, la unidad de protección y control (26) se conecta a su vez a un primer fusible (3a) que conecta a un primer medidor de corriente conformado por un primer sensor de efecto hall (1a) dispuesto operativamente sobre un primer inductor (34a) y una primera señal de corriente (29).

- Un primer medidor de voltaje conformado por un segundo sensor de efecto hall (12a)
25 dispuesto operativamente sobre un segundo inductor (33a) y una primera señal de voltaje (30) y dispuesto operativamente a la salida de la unidad de protección y control (26).

- Un filtro paso-bajo conformado por una segunda resistencia (23) y un primer condensador (22) conectados en serie; el terminal negativo del primer condensador (22) se conecta al primer medidor de corriente, y la segunda resistencia (23) se conecta a la primera
30 resistencia (25) del dispositivo de arranque suave.

Un condensador intermedio conformado por una tercera resistencia (21) y un segundo condensador (20) se conectan en paralelo entre sí, y a su vez la tercera resistencia (21) y el segundo condensador (20) se conectan en paralelo al filtro paso-bajo.

- Un primer elemento de conmutación conformado por una señal de PWM *Buck* (19) que
35 conecta a un primer driver IGBT (17) que a su vez se conecta al terminal *gate* de un primer transistor IGBT (14a); el ánodo de un primer diodo (13a) se conecta emisor del primer

transistor IGBT (14a), el cátodo del primer diodo (13a) se conecta al colector del primer transistor IGBT (14a).

Una cuarta resistencia (9) y un segundo diodo (7) se conectan en paralelo; el terminal del cátodo del paralelo conformado por la cuarta resistencia (9) y el segundo diodo (7) se conecta con el terminal positivo de un tercer condensador (11); el terminal negativo del tercer condensador (11) se conecta al emisor del primer transistor IGBT (14a); el ánodo del segundo diodo (7) conectado a la cuarta resistencia (9) se conecta al colector del primer transistor IGBT (14a).

El colector del primer transistor IGBT (14a) se conecta al terminal positivo del segundo condensador (20), a la segunda resistencia (23) y a la salida del dispositivo de arranque suave; el emisor del transistor IGBT (14a) se conecta un tercer inductor (6b) y al colector de un segundo transistor IGBT (14b).

Un segundo elemento de conmutación conformado por una señal de PWM *Boost* (18) que conecta a un segundo driver IGBT (16) que a su vez se conecta al terminal *gate* de un segundo transistor IGBT (14b); el ánodo de un tercer diodo (13b) se conecta emisor del segundo transistor IGBT (14b), el cátodo del tercer diodo (13b) se conecta al colector del segundo transistor IGBT (14b).

Una quinta resistencia (8) y un cuarto diodo (6a) se conectan en paralelo; el terminal del cátodo del paralelo conformado por la quinta resistencia (8) y el cuarto diodo (6a) se conecta con el terminal positivo de un cuarto condensador (10); el terminal negativo del cuarto condensador (10) se conecta al emisor del segundo transistor IGBT (14b); el ánodo del cuarto diodo (6a) conectado a la quinta resistencia (8) se conecta al colector del segundo transistor IGBT (14b).

El colector del segundo transistor IGBT (14b) se conecta al emisor del primer transistor IGBT (14a) y al tercer inductor (6b); el emisor del segundo transistor IGBT (14b) se conecta al terminal negativo del segundo condensador (20), al terminal negativo del primer condensador (22), a un segundo contacto (5), al primer inductor (34a) del primer medidor de corriente y a un cuarto inductor (34b) de un segundo medidor de corriente.

El segundo medidor de corriente conformado por un tercer sensor de efecto hall (1b) dispuesto operativamente sobre el cuarto inductor (34b) y una segunda señal de corriente (28).

Un elemento de descarga conformado por una sexta resistencia (4) y un segundo contacto (5) que se conectan en serie; la terminal de la sexta resistencia (4) que no se conecta al segundo contacto (5) se conecta al tercer inductor (6b) y al terminal positivo de un elemento de alta densidad EDLC (2); la terminal del segundo contacto (5) que no se conecta a la sexta resistencia (4) se conecta al cuarto inductor (34b) del segundo medidor de corriente, al emisor del segundo transistor IGBT (14b), al terminal negativo del primer

condensador (22), al terminal negativo del segundo condensador (20) y al primer inductor (34a) del primer medidor de corriente.

Para facilitar el entendimiento de la presente invención se entenderá cuando se hable de EDLC corresponderá a un elemento de alta densidad gravimétrica de potencia EDLC.

- 5 Un EDLC (2) con un terminal positivo y un terminal negativo, conecta su terminal positivo al tercer inductor (6b) y su terminal negativo a un segundo fusible (3b).

El segundo fusible (3b) conecta la terminal que no está conectada con el terminal negativo del elemento de alta densidad EDLC (2) al inductor (34b) del segundo medidor de corriente.

- 10 En paralelo al elemento de alta densidad EDLC (2) se dispone operativamente un segundo medidor de voltaje conformado por un cuarto sensor de efecto hall (12b) dispuesto operativamente sobre un quinto inductor (33b) y una segunda señal de voltaje (27).

- Haciendo referencia a la FIG. 1, el dispositivo divulgado en la presente invención tiene una línea de transmisión de tensión positiva (31) y una línea de transmisión de tensión negativa (32) cuya diferencia de tensión corresponde a la fuente de corriente directa del dispositivo de la presente invención, dicha diferencia de tensión está en el rango de 400 V_{CD} a 3000 V_{CD} o se selecciona de los voltajes de 400 V_{CD} , 450 V_{CD} , 500 V_{CD} , 550 V_{CD} , 600 V_{CD} , 650 V_{CD} , 700 V_{CD} , 750 V_{CD} , 800 V_{CD} , 850 V_{CD} , 900 V_{CD} , 950 V_{CD} , 1000 V_{CD} , 1050 V_{CD} , 1100 V_{CD} , 1150 V_{CD} , 1200 V_{CD} , 1250 V_{CD} , 1300 V_{CD} , 1350 V_{CD} , 1400 V_{CD} , 1450 V_{CD} , 1500 V_{CD} , 1550 V_{CD} , 1600 V_{CD} , 1650 V_{CD} , 1700 V_{CD} , 1750 V_{CD} , 1800 V_{CD} , 1850 V_{CD} , 1900 V_{CD} , 1950 V_{CD} , 2000 V_{CD} , 2050 V_{CD} , 2100 V_{CD} , 2150 V_{CD} , 2200 V_{CD} , 2250 V_{CD} , 2300 V_{CD} , 2350 V_{CD} , 2400 V_{CD} , 2450 V_{CD} , 2500 V_{CD} , 2550 V_{CD} , 2600 V_{CD} , 2650 V_{CD} , 2700 V_{CD} , 2750 V_{CD} , 2800 V_{CD} , 2850 V_{CD} , 2900 V_{CD} , 2950 V_{CD} o 3000 V_{CD} . Por ejemplo, el valor de la diferencia de tensión entre las líneas de transmisión de tensión positiva (31) y la línea de transmisión de tensión negativa (32) es de 1500 V_{CD} y una tensión en vacío de 1650 V_{CD} . V_{CD} es voltaje en corriente directa.

Para el entendimiento de la presente invención se entenderá que la tensión en vacío es la diferencia de tensión entre la línea de transmisión de tensión positiva (31) y la línea de transmisión de tensión negativa (32) cuando no hay una carga eléctrica conectada a ellas.

- 30 También con el ánimo de facilitar la descripción de la presente invención, se entenderá que la tensión de línea es la diferencia de tensión entre la línea de transmisión de tensión positiva (31) y la línea de transmisión de tensión negativa (32).

- Así mismo para referirse a la línea de transmisión de tensión positiva (31) y la línea de transmisión de tensión negativa (32) simplemente se expresará como la línea de transmisión.

El dispositivo que divulga la presente invención, en un ejemplo, el dispositivo cuenta con la unidad de protección y control (26) que se encarga de aislar la línea de transmisión del primer elemento de conmutación y del segundo elemento de conmutación y corresponde a la protección primaria del dispositivo.

5 Alternativamente en una modalidad de la presente invención, en un ejemplo, la unidad de protección y control (26) se selecciona del grupo de dispositivos de protección en corriente continua, dispositivos de interrupción ultrarrápidos, fusibles ultrarrápidos, interruptores termo-magnéticos, dispositivos de control en corriente continua, detectores de cortocircuitos, relevadores programables y combinaciones de los anteriores.

10 La unidad de protección y control (26) se encarga de aislar la línea de transmisión del primer elemento de conmutación y del segundo elemento de conmutación. En un ejemplo, el dispositivo que divulga la presente invención la unidad de protección y control (26) es un relevador programable.

La unidad de protección y control (26) es la protección primaria del dispositivo de la presente invención y tiene una velocidad de actuación entre 1 μ s y 50ms. Por ejemplo, la
15 velocidad de actuación de la unidad de protección y control es de 40ms.

Opcionalmente, el dispositivo divulgado en la presente invención cuenta con un dispositivo de arranque suave conformado por un primer contacto (24) y una primera resistencia (25), este entra en funcionamiento como precarga inicial del elemento de alta densidad EDLC
20 (2), el dispositivo de arranque suave previene que un fenómeno transitorio con una corriente superior a la corriente nominal del elemento EDLC (2) afecte el dispositivo de forma negativa. En un ejemplo, la selección del contacto (24) corresponde a una corriente máxima de 180A y un voltaje de aislamiento de 1850V.

En una modalidad de la presente invención, por ejemplo, el primer medidor de voltaje
25 conformado por un segundo sensor de efecto hall (12a) dispuesto operativamente sobre un segundo inductor (33a) y una primera señal de voltaje (30) y dispuesto operativamente a la salida de la unidad de protección y control (26) y el segundo medidor de voltaje conformado por un cuarto sensor de efecto hall (12b) dispuesto operativamente sobre un quinto inductor (33b) y una segunda señal de voltaje (27) tienen una velocidad de lectura
30 entre 1 μ s y 500ms. En un ejemplo el primer medidor de voltaje y el segundo medidor de voltaje tienen una velocidad de lectura en intervalos entre 1 μ s y 10 μ s. Realizar lecturas a esta rata de velocidad permite junto con el primer elemento de conmutación y el segundo elemento de conmutación aumentar la eficiencia del dispositivo de compensación de tensión de la presente invención.

35 La consecuencia natural del efecto de compensación es mejorar la estabilidad de tensión, esto protege equipos de alto costo como los motores, y adicionalmente representa un ahorro de energía debido a que la energía no se disipa en forma de calor en resistencias, sino que es reutilizada para la tracción.

Para entendimiento de la presente invención, se entenderá que precarga inicial como un estado en el que la corriente de carga del elemento de alta densidad EDLC (2) es una porción de la corriente máxima de carga del elemento de alta densidad EDLC (2).

5 Haciendo referencia a la FIG. 1, en una modalidad de la presente invención el filtro paso-bajo conformado por un primer condensador (22) y una segunda resistencia (23) conectados en serie con la función de mitigar, eliminar y/o filtrar las señales eléctricas contaminantes conducidas, debidas fuentes externas conectadas a la misma línea de transmisión y también debidas a fuentes internas del mismo dispositivo de la presente invención para que no interfieran con otros dispositivos conectados a la misma línea de transmisión. En una
10 realización de la presente invención, por ejemplo, el filtro paso-bajo conformado por un primer condensador (22) y una segunda resistencia (23) conectados en serie atenúa las señales armónicas de las frecuencias externas al dispositivo de la presente invención, que por ejemplo son del orden de 250Hz y las señales producidas por las conmutaciones del primer elemento de conmutación y del segundo elemento de conmutación que por ejemplo,
15 tienen frecuencia central del orden de 3kHz, así la frecuencia de corte del filtro paso-bajo se escoge de 3kHz.

Opcionalmente el filtro paso-bajo se diseña de acuerdo al tipo de rectificación que utilice la línea de transmisión.

En una modalidad de la presente invención los tipos de rectificación que se utilizan para la
20 línea de transmisión se selecciona del grupo de rectificadores no controlados cómo rectificadores de media onda bifásico, rectificadores de media onda trifásico, rectificadores de media onda hexafásico, rectificadores de media onda con elementos reales, rectificadores de media onda con carga RL sin diodo de *freewheeling*, rectificadores de media onda con diodo *freewheeling*, rectificadores de onda completa en estrella bifásico,
25 rectificadores de onda completa en estrella trifásico, rectificadores de onda completa en estrella con elementos reales, rectificadores de onda completa en estrella con carga RL, rectificadores de onda completa en estrella con filtro C, rectificadores de onda completa en delta trifásico, rectificadores de onda completa en delta hexafásico, o rectificadores controlados cómo rectificadores controlados media onda trifásico, rectificadores controlados de onda completa bifásico, rectificadores controlados de onda completa trifásicos y combinaciones de estos.
30

Por ejemplo, dispositivo se conecta a línea de transmisión basada en dos rectificadores controlados trifásicos de onda completa o rectificador de 12 pulsos.

Alternativamente, el dispositivo divulgado en la presente invención tiene un segundo
35 condensador (20) y una tercera resistencia (21) que conectados en paralelo con el filtro paso-bajo conforman un circuito de desacoplo para la conformación del *loop* de retorno de todas las señales espurias cómo EMI (*Electromagnetic Interference*, por sus siglas en inglés EMI) su capacitancia y capacidad para suministrar energía rápidamente en conjunto con una disposición física cercana al primer elemento de conmutación y al segundo elemento de

conmutación para garantizar una baja inductancia asociada a los conductores que separan el segundo condensador (20) la tercera resistencia (21) y el primer elemento de conmutación y el segundo elemento de conmutación proporcionando una baja impedancia para las señales de EMI mitigando su efecto sobre el dispositivo divulgado en la presente invención.

- 5 El segundo condensador (20), en un ejemplo, es de un valor de capacitancia de $602\mu\text{F}$ @ 2000V con resistencia en serie equivalente (por sus siglas en inglés, *Equivalent Series Resistance* ESR) de 0.03 Ohmios, sin embargo, es práctico utilizar un valor de capacitancia mayor al calculado, siempre y cuando no se produzca una corriente de pico I_{pk} que sobrepase el nivel de protección que provee la unidad de protección y control (26) ante
10 cambios abruptos de la tensión de entrada V_{in} .

En una modalidad del dispositivo de la presente invención, las frecuencias de conmutación del primer elemento de conmutación y del segundo elemento de conmutación van desde 500Hz hasta 100kHz. En un ejemplo, en la presente invención a criterio se selecciona que sea 4 veces la frecuencia natural del tipo de rectificación de la línea de transmisión y es
15 2880Hz, esto se hace con el objetivo de reducir el valor de la inductancia del tercer inductor (6b).

En una modalidad de la presente invención, en un ejemplo del dispositivo, el primer elemento de conmutación se utiliza para la operación en modo *Buck* y el segundo elemento de conmutación se utiliza para la operación en modo *Boost*.

- 20 Para el entendimiento de la presente invención, se entenderá operación en modo *Buck* cómo el uso de un conversor DC/DC o un elemento de conmutación para la reducción de la tensión en corriente directa, y la operación en modo *Boost* para la elevación de la tensión en corriente directa.

En una modalidad de la presente invención el dispositivo selecciona el modo de operación
25 en modo *Buck/Boost* y depende de la disponibilidad de energía en relación a la demanda de energía de la línea de transmisión. Por ejemplo, si el estado de disponibilidad de energía de la línea de transmisión es menos frecuente que el estado de demanda, se privilegia el modo de operación en modo *Buck*, así se almacena la energía disponible; el tercer inductor (6b) entrega su energía al elemento de alta densidad EDLC (2) durante todo el ciclo de apagado
30 del primer transistor IGBT (14a) del primer elemento de conmutación para la operación en modo *Buck*.

Alternativamente, en el dispositivo divulgado en la presente invención, la señal de PWM *Buck* (19) se aplica a través de un primer driver de IGBT (17) a la base del primer transistor IGBT (14a) del primer elemento de conmutación y la señal de PWM *Boost* (18) se aplica a
35 través de un segundo driver IGBT (16) a la base de un segundo transistor IGBT (14b) del segundo elemento de conmutación, esto se hace para acoplar eléctricamente la señal de PWM *Buck* (19) y la señal de PWM *Boost* (18) proveniente de una unidad de cómputo.

Para el entendimiento de la presente invención una unidad de cómputo se entenderá como un dispositivo que procesa datos, por ejemplo, microcontroladores, micro procesadores, DSCs (*Digital Signal Controller* por sus siglas en ingles), FPGAs (*Field Programmable Gate Array* por sus siglas en inglés), CPLDs (*Complex Programmable Logic Device* por sus siglas en inglés), ASICs (*Application Specific Integrated Circuit* por sus siglas en inglés), SoCs (*System on Chip* por sus siglas en inglés), PSoCs (*Programmable System on Chip* por sus siglas en inglés), computadores, servidores, tabletas, celulares, celulares inteligentes, y unidades de cómputo conocidas por una persona medianamente versada en la materia o combinaciones de estos.

Opcionalmente, la unidad de protección y control (26), la primera señal de voltaje (30), el primer contacto (24), la primera señal de corriente (29), la señal de PWM *Boost* (18), la señal de PWM *Buck* (19), el segundo contacto (5), la segunda señal de voltaje (27) y la segunda señal de corriente (28) están conectadas a una unidad de cómputo en la que se implementa el método de la presente invención.

El voltaje sobre el elemento de alta densidad EDLC (2) se rige por el ciclo de trabajo de la señal de PWM *Buck* (19) en la siguiente fórmula:

$$V_{EDLC} = DxV_{DC}$$

D es el ciclo de trabajo de la señal que controla el primer transistor IGBT (14a) del primer elemento de conmutación para la operación en modo *Buck*.

El tercer inductor (6b) al entregar toda su energía almacenada al elemento de alta densidad EDLC (2) garantiza eficiencia en el aprovechamiento de la energía y evita estados de resonancia del dispositivo por tanto baja EMI.

Opcionalmente, en el dispositivo de la presente invención el cálculo del tercer inductor (6b) determina la operación en modo *Boost* que se selecciona de modo *Boost* en sub-modo continuo o modo *Boost* en sub-modo discontinuidad. En un ejemplo, dicha operación en modo *Boost* es en sub-modo de discontinuidad.

Para el entendimiento de la presente invención, se entenderá que el término modo continuo como un sub-modo de operación de los elementos de conmutación *Buck* y *Boost* donde corriente fluye por el elemento de alta densidad EDLC durante todo el ciclo de control, llegando a puntos donde se obtiene una intensidad de corriente máxima o mínima, pero que nunca llega a anularse; en cambio en el sub-modo discontinuo, la magnitud de la corriente de salida del convertidor cae a cero en una porción del ciclo, de manera que el valor de la intensidad de corriente comienza en cero, llega a un valor pico y retorna a cero en cada ciclo.

El modo de funcionamiento del primer elemento de conmutación relacionado con la operación en modo *Buck* y del segundo elemento de conmutación relacionada con la operación en modo *Boost* tienen un sub-modo de funcionamiento que se selecciona entre

sub-modo continuo y sub-modo discontinuo. En un ejemplo, primer elemento de conmutación relacionado con la operación en modo *Buck* funciona en sub-modo continuo y el segundo elemento de conmutación relacionada con la operación en modo *Boost* funciona en sub-modo discontinuo y así evitar que ocurra inversión de fase o se supere el criterio de ganancia de ancho de banda en el funcionamiento del dispositivo.

La inductancia del tercer inductor (6b) configura el sub-modo de operación continuo o discontinuo del primer elemento de conmutación asociado a la operación en modo *Buck* y del segundo elemento de conmutación asociado a la operación en modo *Boost*. En un ejemplo, un valor de inductancia para el tercer inductor (6b) de 118 μH configura el sub-modo de operación continuo para el primer elemento de conmutación (*Buck*) y sub-modo discontinuo para el segundo elemento de conmutación (*Boost*).

Adicionalmente, el tercer inductor (6b) conforma una red *snubber* con el elemento de alta densidad EDLC (2), la sexta resistencia (4) y el segundo contacto (5) para suprimir los picos de voltaje y amortiguar la oscilación transitoria provocada por la inductancia del circuito cuando se abre el segundo contacto (5).

Por lo anterior, es determinante evacuar la energía almacenada el tercer inductor (6b), para asegurar que no ocurra inversión de fase o se supere el criterio de ganancia de ancho de banda en el funcionamiento del dispositivo. Para esto se mantiene el sub-modo discontinuo de operación en el modo *Boost*.

Haciendo referencia a la FIG. 1 el primer diodo (13a), el segundo diodo (7), la cuarta resistencia (9), el tercer condensador (11) son la red *snubber* del primer transistor IGBT (14a) para suprimir los picos de voltaje y amortiguar la oscilación transitoria provocada por la inductancia del circuito cuando se abre el transistor IGBT (14a) para la operación en modo *Buck*.

Alternativamente, el tercer diodo (13b), el cuarto diodo (6a), la quinta resistencia (8), el cuarto condensador (10) son la red *snubber* del segundo transistor IGBT (14b) para suprimir los picos de voltaje y amortiguar la oscilación transitoria provocada por la inductancia del circuito cuando se abre el segundo transistor IGBT (14b) para la operación en modo *Boost*.

El elemento de alta densidad EDCL (*Electric Double-Layer Capacitor* por sus siglas en inglés) hace parte de familia de capacitores electroquímicos conocidos como ultracapacitores o supercapacitores, estos no tienen un dieléctrico sólido en su interior y tienen la capacidad de cargarse y descargarse a una rata muy elevada en comparación a capacitores convencionales, además de soportar más de un millón de ciclos de carga y descarga aunque una baja densidad de almacenamiento de energía que ronda los 30 Wh/kg.

Opcionalmente, en una modalidad divulgada en la presente invención, el dispositivo tiene un elemento de alta densidad EDLC (2) se selecciona del grupo de ultracapacitores

electrolíticos, ultracapacitores no electrolíticos, ultracapacitores acuosos de óxido, ultracapacitores de polímeros conductores y combinaciones.

En una modalidad de la invención el elemento de alta densidad EDLC (2) es un banco de EDLCs que es un arreglo de EDLCs en serie o paralelo o combinaciones. Por ejemplo un
5 banco de EDLCs se compone de ocho EDLCs conectados en serie, cada uno con una capacitancia de 63F y de un voltaje nominal de 125V para obtener una capacitancia de 7,875F con un voltaje nominal de 1000V; este valor de 1000V de voltaje nominal permite que se pueda reducir o elevar el voltaje dentro de un margen de operación; en términos de energía almacenable para ésta configuración, respetando el criterio de la máxima energía
10 almacenada 1.09 kWh.

En una de las modalidades de la invención la corriente máxima de operación para modo *Buck* o modo *Boost* es de 180A si se tiene un margen de seguridad del 25% basado en una corriente máxima de operación del elemento de alta densidad EDLC (2) de 240A.

Alternativamente, en una modalidad de la invención el driver IGBT (16), es en un ejemplo,
15 un módulo de administración de corriente nominal de 1500A y voltaje colector-emisor de 3300V.

Opcionalmente, en una modalidad de la presente invención la corriente que se inyecta o absorbe de la línea de transmisión está regulada por la tensión de la fuente de manera continua, debido a las velocidades de conmutación del primer elemento de conmutación y
20 del segundo elemento de conmutación. Por ejemplo las velocidades de conmutación del primer elemento de conmutación y del segundo elemento de conmutación son de 3kHz.

Haciendo referencia a la FIG. 2, en una modalidad de la presente invención una unidad de cómputo (11A) conecta al circuito conversor DC/DC (7A).

Haciendo referencia a la FIG. 2, en un ejemplo el conversor DC/DC (7A) tiene una
25 corriente de conmutación con una frecuencia que va desde 500Hz a 30kHz. Por ejemplo, se selecciona una corriente de conmutación con una frecuencia de 3kHz.

Haciendo referencia a la FIG. 2, el dispositivo divulgado en la presente invención tiene un conversor DC/DC (7A) que se selecciona del grupo de convertidores DC/DC magnéticos bidireccionales (v. gr. *Step-down (buck)*, *Step-up (boost)*, *SEPIC*, *Inverting (buck-boost)*,
30 *Cuk*, *True buck-boost*, *Split-pi (boost-buck)*, *Forward*, *Push-pull (half bridge)*, *Full bridge*, *Flyback*), capacitivos bidireccionales y combinaciones. Adicionalmente la topología del conversor DC/DC bidireccional puede ser conmutada, resonante, continua o discontinua.

Haciendo referencia a la FIG. 2, en una modalidad de la invención el dispositivo divulgado tiene una unidad de cómputo (11A) que conecta a una unidad de protección y control (26),
35 un primer medidor de voltaje (9A), un primer medidor de corriente (8A), un dispositivo de arranque (3A), un segundo medidor de corriente (8A), un segundo medidor de voltaje (9A), un conversor DC/DC (7A).

Con el primer medidor de voltaje (9A) con velocidad de lectura en intervalos entre $1\mu s$ y $10\mu s$ dispuesto operativamente en el EDLC (2) y con el primer medidor de corriente (8A) con velocidad de lectura en intervalos entre $1\mu s$ y $10\mu s$ dispuesto operativamente en el EDLC (2), se toman valores de voltaje del EDLC (2) y con la unidad de cómputo (11A) se controla la señal de PWM del conversor DC/DC para carga y descarga del EDLC (2).

La unidad de cómputo (11A) con base en las señales del primer medidor de voltaje (9A) y del primer medidor de corriente (8A) controla el conversor DC/DC (7A) para compensar la tensión en corriente directa.

Haciendo referencia a la FIG. 2, en una modalidad de la invención el dispositivo divulgado el dispositivo de arranque suave (3A) en un ejemplo, conformado por dos etapas de filtrado de frecuencia, un primer filtro comprende una resistencia en paralelo a un condensador de enlace y la segunda etapa una resistencia conectada en serie con un condensador, la primera etapa conectada en paralelo con la segunda etapa.

En una modalidad de la invención el conversor DC/DC (7A) está conectado a un dispositivo de arranque suave (3A) y la unidad de cómputo (11A) conectada al dispositivo de arranque suave (3A).

Opcionalmente en una modalidad de la presente invención el conversor DC/DC (7A) está conectado a un dispositivo de arranque suave (3A); una unidad de protección y control (26) con una entrada de potencia y una salida de potencia, el dispositivo de arranque suave (3A) conectado a la salida de la unidad de protección y control (26) y a la unidad de cómputo (11A); la unidad de protección y control (26) conectada a la unidad de cómputo (11A).

Haciendo referencia a la FIG. 2, en una modalidad de la presente invención el dispositivo divulgado se conecta a una fuente de tensión de CD (10A) que conecta a una unidad de protección y control (26) a la cual se le mide el voltaje a su salida utilizando un primer medidor de voltaje (9A) y la corriente con un primer medidor de corriente (8A).

Alternativamente, en una modalidad de la presente invención, la unidad de protección y control (26) está conectada operativamente en su salida de potencia un segundo medidor de voltaje (4A) con velocidad de lectura en intervalos entre $1\mu s$ y $10\mu s$ y un segundo medidor de corriente (5A) con velocidad de lectura en intervalos entre $1\mu s$ y $10\mu s$; la unidad de cómputo (11A) está conectada al segundo medidor de voltaje (4A) y al segundo medidor de corriente (5A).

Opcionalmente, en otro ejemplo de la presente invención el conversor DC/DC (7A) está conectado a un acondicionador de fuente (6A); un dispositivo de arranque suave (3A) está conectado al acondicionador de fuente (6A) y a la unidad de cómputo (11A); una unidad de protección y control (26) está conectada al dispositivo de arranque suave (3A), al acondicionador de fuente (6A) y a la unidad de cómputo (11A); un segundo medidor de voltaje (4A) dispuesto operativamente en la unidad de protección y control (26) y está conectado a la unidad de cómputo (11A); un segundo medidor de corriente (5A) dispuesto

operativamente entre la unidad de protección y control (26) y el acondicionador de fuente (6A) y está conectado a la unidad de cómputo (11A).

Haciendo referencia a la FIG. 2, la señal de voltaje del primer medidor de voltaje (4A) tiene un aislamiento de 6kV y se conecta a la unidad de cómputo (11A). El aislamiento permite
5 que la señal viaje hasta donde está localizada la unidad de cómputo (11A) sin interferencia de señales externas, que en un ejemplo está a 100 metros de distancia.

Haciendo referencia a la FIG. 2, en una modalidad la presente invención tiene un acondicionador de fuente (6A) que comprende filtros de frecuencia activos y filtros de frecuencia pasivos, filtros de frecuencia paso-bajo (LPF), filtros de frecuencia paso-alto
10 (HPF), filtros paso bando y combinaciones de los anteriores.

En una modalidad de la presente invención el conversor DC/DC (7A) está conectado a un acondicionador de fuente (6A) y el primer medidor de corriente (8A) conectado al acondicionador de fuente (6A).

Haciendo referencia a la FIG. 1 y FIG. 2, en un ejemplo, la primera señal de voltaje (30) del
15 primer medidor de voltaje tiene un aislamiento dieléctrico de 6 kV, respecto del sistema eléctrico de la línea de transmisión y se conecta a la unidad de cómputo (11A) no ilustrada en la FIG. 1 pero sí en la FIG. 2.

Para el entendimiento del método que se implementa en la presente invención y mostrado en las figuras de la FIG. 3 a la FIG.10 se utiliza la siguiente nomenclatura:

- 20
 - V_c : Voltaje del almacenamiento
 - V_{cmax} : Voltaje máximo del sistema de almacenamiento
 - V_{op} : Voltaje nominal de operación del sistema
 - I_{maxop} : corriente máxima de operación
 - PWM: Ciclo de encendido y apagado de los sistemas de potencia.
- 25
 - I_t : variable medida en el instante. Por ejemplo, corriente
 - I_{t-1} : variable medida en el instante anterior.
 - I_{t-N} : variable más antigua registrada.
 - N: Numero de datos en el registro.
 - $I_{cargamin}$: Corriente mínima de carga
- 30
 - i_0 : corriente instantánea de carga del elemento de alta densidad EDLC

El método de la presente invención está implementado en una unidad de cómputo (11A).

Haciendo referencia a la FIG. 3, en un ejemplo el método tiene una etapa de standby (34), donde el sistema está en reposo, esperando una señal de inicio la cual proviene de un *switch*, un pulsador, una unidad de control o estar previamente programada.

35 Haciendo referencia a la FIG. 3 y FIG. 5, en una modalidad el método divulgado en la presente invención tiene una etapa de setup (35), donde el sistema cierra las protecciones

(50) del circuito al cual se conecta el conversor DC/DC. Luego de cerrar dichas protecciones (50) el sistema verifica que el voltaje de almacenamiento del elemento de alta densidad EDLC (2) sea mayor que el voltaje mínimo de la línea (51). Si el voltaje de almacenamiento del elemento de alta densidad EDLC es mayor que el voltaje mínimo de la línea (51), se verifica que la corriente de almacenamiento sea menor que 3 amps (52). Si la corriente de almacenamiento es menor que 3 amps (52), se entra en un estado de precarga (36), sino se pasa al estado de standby (34). Si el voltaje de almacenamiento del elemento de alta densidad EDLC no es mayor que el voltaje mínimo de la línea (51), se entra en el estado de standby (34).

Haciendo referencia a la FIG. 3 y FIG. 6, en una modalidad el método divulgado en la presente invención tiene una etapa de precarga (36), donde el sistema verifica si el voltaje de carga del elemento de alta densidad EDLC es igual al voltaje mínimo de almacenamiento del elemento de alta densidad EDLC (53), donde el voltaje mínimo de almacenamiento del elemento de alta densidad EDLC es igual al 10% del voltaje de operación del EDLC. Si el voltaje de carga del elemento de alta densidad EDLC es igual al voltaje mínimo de almacenamiento del elemento de alta densidad EDLC (53), en una etapa de conexión se conecta una impedancia resistiva para generar una precarga del elemento de alta densidad EDLC (37).

En una modalidad de la presente invención el método en una etapa de conexión (37) se espera a que el voltaje de almacenamiento del elemento de alta densidad EDLC sea igual al voltaje de operación del elemento de alta densidad EDLC más o menos el 5% (58). Cuando el voltaje de almacenamiento del elemento de alta densidad EDLC es igual al voltaje de operación del elemento de alta densidad EDLC más o menos el 5% (58), se desconecta la impedancia resistiva (59) que se había conectado para generar la precarga y se entra en un estado de idle (39). Al salir del estado de idle (39) se entra en el estado de inicio rápido (60).

Si el voltaje de carga del elemento de alta densidad EDLC no es igual al voltaje mínimo de almacenamiento del elemento de alta densidad EDLC (53), el sistema verifica si la corriente de carga del elemento de alta densidad EDLC es menor a la corriente mínima de carga del elemento de alta densidad EDLC (54), donde la corriente mínima de carga del elemento de alta densidad EDLC es igual al 5% de la corriente máxima de operación. Si la corriente de carga del elemento de alta densidad EDLC es menor a la corriente mínima de carga del elemento de alta densidad EDLC (54), la señal de PWM de carga del elemento de alta densidad EDLC aumenta el ancho de pulso (56).

Si la corriente de carga del elemento de alta densidad EDLC no es menor que la corriente mínima de carga del elemento de alta densidad EDLC (54), se aumenta el ancho de pulso del PWM de carga del elemento de alta densidad EDLC (56), se verifica si la corriente de carga del elemento de alta densidad EDLC es mayor que la corriente mínima de carga del elemento de alta densidad EDLC (55).

Si la corriente del elemento de alta densidad EDLC es mayor que la corriente mínima de carga del elemento de alta densidad EDLC (55), se disminuye el ancho de pulso del PWM de carga del elemento de alta densidad EDLC (57).

5 Si la corriente de carga del elemento de alta densidad EDLC no es mayor que la corriente de carga del elemento de alta densidad EDLC (55) se disminuye el ancho de pulso del elemento de alta densidad EDLC (57), se inicia nuevamente el proceso desde verificar si el voltaje de carga del elemento de alta densidad EDLC es igual al voltaje mínimo de almacenamiento del elemento de alta densidad EDLC (53).

10 Haciendo referencia a la FIG. 7, el método divulgado en la presente invención tiene una etapa de idle (39) en donde el sistema verifica que el voltaje de almacenamiento del elemento de alta densidad EDLC sea menor que el 95% del voltaje de operación del elemento de alta densidad EDLC (61). Si el voltaje de almacenamiento del elemento de alta densidad EDLC es menor que el 95% al voltaje de operación del elemento de alta densidad EDLC (61), se entra en un estado o etapa de inicio rápido (60).

15 Si el voltaje de almacenamiento del elemento de alta densidad EDLC no es menor que el 95% del voltaje de operación del elemento de alta densidad EDLC (61), el sistema verifica si el voltaje de almacenamiento del elemento de alta densidad EDLC es mayor al 105% del voltaje de operación del elemento de alta densidad EDLC (62). Si el voltaje de almacenamiento del elemento de alta densidad EDLC es mayor al 105% voltaje de
20 operación del elemento de alta densidad EDLC (63), se entra en el estado de inicio rápido (60).

Si el voltaje de almacenamiento del elemento de alta densidad EDLC no es mayor al 105% del voltaje de operación del elemento de alta densidad EDLC (62), se verifica si hay una condición de detención del sistema de manera local o remota (63). Si hay una condición de
25 detención en el sistema de manera local o remota (63), se entra en el estado de desconexión (41). Si no hay una condición de detención en el sistema de manera local o remota (63), se repite el proceso desde el verificar si el voltaje de almacenamiento del elemento de alta densidad EDLC es menor al 95% del voltaje de operación del elemento de alta densidad EDLC (61).

30 Haciendo referencia a la FIG. 8, el método divulgado en la presente invención tiene una etapa de inicio rápido (60) donde el sistema verifica si el cambio de la corriente del elemento de alta densidad EDLC es mayor que el máximo cambio del elemento de alta densidad EDLC (64), donde el cambio máximo en la corriente del elemento de alta densidad EDLC es igual al 10% de corriente máxima del elemento de alta densidad EDLC
35 (2). Si el cambio en la corriente del elemento de alta densidad EDLC es mayor al cambio máximo en la corriente del elemento de alta densidad EDLC (64), el sistema entra en una etapa o estado de desconexión (41).

Si el cambio en la corriente del elemento de alta densidad EDLC no es mayor al cambio máximo en la corriente del elemento de alta densidad EDLC (64), se verifica si el cambio en el voltaje de almacenamiento del elemento de alta densidad EDLC es mayor que el cambio máximo en el voltaje de almacenamiento del elemento de alta densidad EDLC (65),
5 donde el cambio máximo en el voltaje de almacenamiento del elemento de alta densidad EDLC está dado por el 5% del voltaje máximo del elemento de alta densidad EDLC.

Si el cambio en el voltaje de almacenamiento del elemento de alta densidad EDLC es mayor que el cambio máximo en el voltaje de almacenamiento del elemento de alta densidad EDLC (65), se entre en el estado de desconexión (41). Si el cambio en el voltaje
10 de almacenamiento del elemento de alta densidad EDLC no es mayor que el cambio máximo del voltaje de almacenamiento del elemento de alta densidad EDLC (65), se verifica si la corriente de almacenamiento del elemento de alta densidad EDLC es menor que el 90% de la corriente máxima de operación del elemento de alta densidad EDLC (66). Si la corriente de almacenamiento del elemento de alta densidad EDLC es menor que el
15 90% de la corriente máxima de operación del elemento de alta densidad EDLC (66) el dispositivo pasa a modo *Buck* o *Boost* (38).

Si la corriente de almacenamiento del elemento de alta densidad EDLC no es menor que el 90% de la corriente máxima de operación del elemento de alta densidad EDLC (66), se pregunta si el sistema está en forma de *Boost* (40). Si el sistema está en forma de *Boost*
20 (40), se verifica que la medida instantánea de la variable, en este caso la corriente es menor que i_0 (67), donde i_0 es aproximadamente igual a cero, durante un tiempo dado por 10 veces más el número de datos en un instante de tiempo, donde el número de datos en un instante de tiempo es menor a la mitad del periodo de la señal de PWM. Esta condición se denomina para la presente invención como “cond”.

Si durante este tiempo, la medida de la corriente no es menor que i_0 (67) se entra en el estado de desconexión (41). Si durante este tiempo, la medida de la corriente es menor que i_0 (41) o si el sistema no es *Boost* (40), se repite el proceso desde verificar que el cambio en la corriente del elemento de alta densidad EDLC es mayor al cambio máximo de la corriente del elemento de alta densidad EDLC (64).

Haciendo referencia a las FIG. 9, el método divulgado en la presente invención tiene una etapa de desconexión (41), donde el sistema espera que el voltaje de almacenamiento del elemento de alta densidad EDLC sea igual al 10% del voltaje de operación del elemento de alta densidad EDLC (69), cuando el voltaje de almacenamiento del EDLC sea igual al 10% del voltaje de operación del elemento de alta densidad EDLC (69), el sistema entra en el
35 estado de standby (34).

Alternativamente, el método de la presente invención tiene una etapa de conexión (37) en la que se espera a que la tensión de línea sea igual a un valor de más o menos el 5% del voltaje de operación del elemento de alta densidad EDLC (58) para quitar una resistencia de carga (59) y pasar a un estado de idle (39)

Haciendo referencia a las FIG. 10, el método divulgado en la presente invención tiene un modo de *Buck* o *Boost* (38), donde el sistema verifica si está en modo *Boost* (40). Si el sistema está en modo *Boost* (40), se verifica si el voltaje de almacenamiento del elemento de alta densidad EDLC es mayor que el 20% del voltaje de operación del elemento de alta densidad EDLC (69). Si el voltaje de almacenamiento del elemento de alta densidad EDLC es mayor que el voltaje de operación del elemento de alta densidad EDLC (69), el sistema verifica que el voltaje de almacenamiento del elemento de alta densidad EDLC sea menor que el 90% del voltaje de operación del elemento de alta densidad EDLC (74).

Si el voltaje de almacenamiento del elemento de alta densidad EDLC no es mayor a 20% del voltaje de operación del elemento de alta densidad EDLC (69), se regresa el sistema al inicio (79). Cuando se regresa el sistema baja la corriente (78) aplicando una rampa con duración inferior a un segundo a un régimen entre 300 V/s y 900 V/s y entra en el estado de idle (39).

Si el voltaje de almacenamiento del elemento de alta densidad EDLC es menor al 90% del voltaje de operación del elemento de alta densidad EDLC (74), se verifica la condición denominada “cond” (75).

Si el voltaje de almacenamiento del elemento de alta densidad EDLC no es menor a 90% del voltaje de operación del elemento de alta densidad EDLC, se regresa el sistema al inicio (79). Cuando se regresa el sistema baja la corriente (78) aplicando una rampa con duración inferior a un segundo a un régimen entre 300 V/s y 900 V/s y entra en el estado de idle (39).

Si la condición “cond” no se cumple, la señal de PWM se disminuye con una rampa de control (76). Si la condición “cond” se cumple (75) o la señal de PWM disminuye (76), se verifica si la corriente promedio de las mediciones de la corriente del elemento de alta densidad EDLC es menor que la corriente máxima de operación del elemento de alta densidad EDLC (73).

Si la corriente promedio de las mediciones de la corriente del elemento de alta densidad EDLC es menor que la corriente máxima de operación del elemento de alta densidad EDLC (73), la señal de PWM se aumenta con una rampa de control (77). Si la corriente promedio de las mediciones de la corriente del elemento de alta densidad EDLC no es menor (73) o la señal de PWM se aumenta con una rampa de control (77), se regresa a verificar si el dispositivo está en modo *Boost* (40).

Si el dispositivo no está en modo *Boost* (40), se verifica si el voltaje de almacenamiento del elemento de alta densidad EDLC es menor que el 90% del voltaje máximo de almacenamiento del elemento de alta densidad EDLC (70). Si el voltaje de almacenamiento del elemento de alta densidad EDLC es menor a 90% del voltaje de operación del elemento de alta densidad EDLC (70), se regresa el sistema al inicio (79). Cuando se regresa el

sistema baja la corriente (78) aplicando una rampa con duración inferior a un segundo a un régimen entre 300 V/s y 900 V/s y entra en el estado de idle (39).

Si el voltaje de almacenamiento del elemento de alta densidad EDLC no es menor que el 90% del voltaje máximo de almacenamiento del elemento de alta densidad EDLC (70), se verifica si el voltaje de almacenamiento del elemento de alta densidad EDLC es mayor que el voltaje de operación del elemento de alta densidad EDLC (71).

Si el voltaje de almacenamiento del elemento de alta densidad EDLC no es mayor que el voltaje de operación del elemento de alta densidad EDLC (71), se regresa el sistema al inicio (79). Cuando se regresa el sistema baja la corriente (78) aplicando una rampa con duración inferior a un segundo a un régimen entre 300 V/s y 900 V/s y entra en el estado de idle (39). Si el voltaje de almacenamiento del elemento de alta densidad EDLC es mayor que el voltaje de operación del elemento de alta densidad EDLC (71), se verifica si la corriente promedio de las mediciones de la corriente del elemento de alta densidad EDLC es mayor que la corriente máxima de operación del elemento de alta densidad EDLC (72).

Si la corriente promedio de las mediciones de corriente del elemento de alta densidad EDLC es mayor que la corriente máxima de operación del elemento de alta densidad EDLC (72), la señal de PWM se disminuye con una rampa de control (76). Si la corriente promedio de las mediciones de corriente del elemento de alta densidad EDLC no es mayor que la corriente de operación (72) o la señal de PWM se disminuye con una rampa de control (76), se verifica si la corriente promedio de medición de corriente del elemento de alta densidad EDLC es menor que la corriente máxima de operación del elemento de alta densidad EDLC (73).

Si la corriente promedio de las mediciones de la corriente del elemento de alta densidad EDLC es menor que la corriente máxima de operación del elemento de alta densidad EDLC (73), la señal de PWM se aumenta con una rampa de control (77). Si la corriente promedio de las mediciones de la corriente del elemento de alta densidad EDLC no es menor (73) o la señal de PWM se aumenta con una rampa de control (77), se regresa a verificar si el dispositivo está en modo *Boost* (40).

El dispositivo de la presente invención toma medidas periódicamente de la siguiente manera como se describe a continuación.

Haciendo referencia a las FIG. 4, el método divulgado en la presente invención tiene toma una nueva medida de la corriente instantánea (44). Cuando se toma una nueva medida de la corriente instantánea (44), se realiza el cálculo de un delta de la corriente instantánea (45).

Para el entendimiento de la presente invención, entiéndase delta como el cambio realizado de una medida a otra. El delta de la corriente instantánea se calcula como la nueva medida de corriente instantánea menos la medida anterior de la corriente instantánea (45).

Al calcular el delta de las medidas de corriente instantánea (45), se actualiza la corriente promedio de la corriente del elemento de alta densidad EDLC (46) quitando la medida de corriente instantánea más antigua del vector donde se guardan todas la medidas de corriente dividido por 2^N (46) donde N es el número total de datos. Por ejemplo N es un número natural entre 1 y 1000.

Cuando se actualiza la corriente promedio de la medida de la corriente del elemento de alta densidad EDLC (46), se reorganiza el vector donde se guardan las medidas de corriente instantánea, quitando la medición más antigua (47). Cuando se reorganiza el vector donde se guardan las medidas (47), se actualiza nuevamente la corriente promedio de las medidas de corriente del elemento de alta densidad EDLC añadiendo la medida más nueva de la corriente instantánea dividido por 2^N , donde N es el número total de datos (48). Por ejemplo N es un número natural entre 1 y 1000.

Después de actualizar la corriente promedio de las medidas de corriente del elemento de alta densidad EDLC (48), se regresa (49) al inicio del proceso donde se toma una nueva medida (44).

Este proceso se repite constantemente durante la operación del dispositivo y método de compensación de tensión.

Alternativamente, en cada una de las etapas se pasa a una etapa (f) de desconexión si no se cumplen condiciones de seguridad.

Para el entendimiento de la presente invención, se entenderá por condiciones de seguridad las condiciones de operación bajo los límites de diseño de cada uno de los elementos del dispositivo de compensación de tensión, por ejemplo, la tensión de línea V_L debe estar entre un -5% y +5% del voltaje de operación V_{op} pre-configurado por un usuario, o límite de corriente de operación entre 1 amperio y 200 amperios y los límites establecidos en el método que se describe a continuación.

A continuación se listan todas las etapas del método de la presente:

- Etapa a. Standby.
- Etapa b. Setup.
- Etapa c. Precarga.
- Etapa d. Conexión.
- Etapa e. Idle.
- Etapa f. Desconexión.
- Etapa g. Inicio rápido.
- Etapa h. *Buck/Boost*.
- Etapa i. Medición.

El método para compensación de tensión en corriente directa comprende las siguientes etapas:

e- verificar que la tensión de línea esté entre un límite inferior de voltaje operación y un límite superior de voltaje de operación pre-configurados por un usuario en un registro de

memoria de una unidad de cómputo y pasar a la etapa (g); si la tensión de línea supera dichos límites de voltaje de operación se verifica una condición de detención;

- g- verificar que la variación de voltaje del EDLC sea inferior a un límite de variación de voltaje del EDLC y que la variación de corriente de carga del EDLC sea inferior a un límite de variación de la corriente de carga del EDLC pre-configurados por un usuario en un registro de memoria de la unidad de cómputo;

si dichas variaciones no superan dichos límites verificar que la corriente de carga del EDLC sea inferior a un límite de corriente de operación del EDLC para controlar conversor DC/DC y verificar modo de funcionamiento del conversor DC/DC, si dichas variaciones superan dichos límites entonces realizar una desconexión;

- h- verificar si el modo de funcionamiento del conversor DC/DC es modo Boost; si el modo de funcionamiento del conversor DC/DC es modo Boost, comprobar que el voltaje de carga del EDLC esté en un rango definido por un límite superior de voltaje de operación del EDLC y un límite inferior de voltaje de operación del EDLC pre-programados por un usuario en un registro de memoria de la unidad de cómputo y mantener la corriente de carga del EDLC;

- i- registrar los cambios de la corriente del EDLC, el voltaje del EDLC y de la línea de tensión, y con base en dichos cambios determinar un diferencial de corriente y voltaje, la unidad de cómputo calcula en cada intervalo un valor promedio de voltaje y corriente con base en valores anteriores y actuales de voltaje y corriente;

la etapa (i) se ejecuta periódicamente de la etapa (e) a la etapa (h) con un intervalo entre 1 μ s y 10 μ s independientemente de las otras etapas.

En la etapa (e) el límite inferior de voltaje de operación está definido por un porcentaje desde 90 por ciento al 95 por ciento del voltaje de operación del EDLC y el límite superior de voltaje de operación está definido por un porcentaje desde 90 por ciento al 105 por ciento del voltaje de operación del EDLC.

En la etapa (g) el límite de variación de voltaje de carga del EDLC está entre 3 por ciento y 7 por ciento, el límite de variación de corriente de carga del EDLC está entre 5 por ciento y 15 por ciento y el límite de corriente de operación del EDLC está entre 85 por ciento y 95 por ciento.

En la condición (B) de la etapa (g) el límite de variación de voltaje de carga del EDLC está entre 3 por ciento y 7 por ciento, el límite de variación de corriente de carga del EDLC está entre 5 por ciento y 15 por ciento, el límite de corriente de operación del EDLC está entre 85 por ciento y 95 por ciento.

En la condición (D) de la etapa (g) el valor de la corriente del EDLC pre-configurado está en un rango entre 1A y 50A.

En la condición (A) de la etapa (g) el límite de variación de voltaje del EDLC está entre 3 por ciento y 7 por ciento y el límite de variación de corriente de carga del EDLC está entre 5 por ciento y 15 por ciento.

5 En la condición (B) de la etapa (g) el valor de la corriente del EDLC pre-configurado está entre 1 A y 50 A.

En la etapa (g) el límite de corriente de operación del EDLC está entre 1 A y 200 A.

En la condición (A) de la etapa (h) el límite superior de voltaje de operación del EDLC está entre 85 por ciento y 95 por ciento y el límite inferior de voltaje de operación del EDLC está entre 15 por ciento y 25 por ciento.

10 En la etapa (h) voltaje de carga máximo del EDLC pre-configurado está entre 85 por ciento y 95 por ciento, el voltaje de operación del EDLC está entre 100 V y 1500 V.

En la etapa (h) el límite inferior es un porcentaje del valor de voltaje de operación del EDLC entre 15 por ciento y 20 por ciento y el límite superior de un porcentaje del valor de voltaje de operación del EDLC entre un 90 por ciento y 95 por ciento.

15 En la etapa (h) en la condición A, porcentaje pre-configurado del voltaje de carga máximo del EDLC está entre 80 por ciento y 90 por ciento.

Opcionalmente después de la etapa (e) se incluye una etapa (f) donde se espera a que el voltaje del EDLC sea igual a un valor pre-configurado por un usuario en un registro de memoria de la unidad de cómputo y pasar a la etapa (a) en la que se espera una señal de inicio de una unidad de cómputo; y en la etapa (e) la verificación de la condición de detención se realiza verificando las siguientes condiciones: condición A- si se presenta un evento de detención pasar a la etapa (f); condición B- si no se presenta un evento de detención repetir la etapa (e);

20

En la etapa (g), dicha verificación se realiza siguiendo estas condiciones:

25 condición B- si las variaciones de voltaje y corriente del EDLC no superan un límite de variación de voltaje de carga del EDLC ni un límite de variación de corriente de carga del EDLC comparar si la corriente de carga del EDLC es inferior a un límite de corriente de operación del EDLC pre-configurados por un usuario en un registro de memoria pasar a la etapa (h);

30 condición C- si la corriente de carga del EDLC es superior al límite de corriente de operación del EDLC pre-configurado por un usuario, comprobar el modo de funcionamiento del conversor DC/DC, si el modo de funcionamiento del conversor DC/DC es modo *Boost*, y

condición D- si la medida de la corriente de carga del EDLC es menor a un valor de la corriente del EDLC pre-configurado por un usuario en un registro de memoria durante un

35

tiempo dado por un número K veces más un número N de datos en un instante de tiempo Δt , donde el número N de datos en un instante Δt de tiempo es menor a la mitad del periodo de la señal de PWM;

condición F- si el modo de funcionamiento del conversor DC/DC no es modo *Boost* entonces se repite la etapa (g);

donde la duración del pulso de la señal de PWM está entre 0 μs y 340 μs .

Alternativamente el método de la presente invención después de la etapa (e) se incluye una etapa (f) donde se espera a que el voltaje del EDLC sea igual a un valor pre-configurado por un usuario en un registro de memoria de la unidad de cómputo y pasar a la etapa (a) en la que se espera una señal de inicio de una unidad de cómputo; antes de la condición B de la etapa (g) se verifica la siguiente condición A- si la variación de voltaje del EDLC supera un límite de variación de voltaje del EDLC o si la variación de corriente del EDLC supera un límite de variación de corriente de carga del EDLC pasar a la etapa (f).

Opcionalmente el método divulgado en la presente invención después de la condición D de la etapa (g) se verifica la siguiente condición E- si no se cumple la condición D se pasa a la etapa (f), si se cumple la condición D se repite la etapa (g).

En otra modalidad de la presente invención en la etapa (h) si el modo de funcionamiento del conversor DC/DC es modo *Boost* entonces se verifican las siguientes condiciones:

B- si la medida de la corriente de carga del EDLC es menor un valor de la corriente del EDLC pre-configurado por un usuario en un registro de memoria durante un tiempo dado por un número K veces más un número N de datos en un instante Δt de tiempo, donde el número N de datos en un instante Δt de tiempo es menor a la mitad del periodo de la señal de PWM;

C- si se cumple la condición B se compara la corriente promedio con la corriente máxima de operación del EDLC;

D- si la corriente promedio es menor que la corriente máxima de operación del EDLC se incrementa el ciclo útil de la señal PWM del conversor DC/DC y se repite la etapa (h), si la corriente promedio es mayor que la corriente máxima de operación del EDLC entonces se repite la etapa (h);

E- si no se cumple de la condición B entonces se disminuye el ciclo útil de la señal de PWM del conversor DC/DC y se compara la corriente promedio con la corriente máxima de operación del EDLC;

F- si la corriente promedio es menor que la corriente máxima de operación del EDLC se incrementa el ciclo útil de la señal PWM del conversor DC/DC y se repite la etapa (h), si la corriente promedio es mayor que la corriente máxima de operación del EDLC se repite la etapa (h);

donde la duración del pulso de la señal de PWM está entre 0 μs y 340 μs .

El valor pre-configurado del voltaje de operación del EDLC en la unidad de cómputo está en el rango de 1 por ciento al 5 por ciento del voltaje de operación del EDLC.

El valor pre-configurado de la corriente máxima de operación del EDLC en la unidad de cómputo está en el rango de 1 por ciento al 5 por ciento de la corriente máxima de
5 operación del EDLC.

Alternativamente en un ejemplo de la presente invención antes de la etapa (h) se incluye una etapa (a) en la que se espera una señal de inicio de una unidad de cómputo; en la etapa (h), antes de verificar la condición B se verifica la siguiente condición A- si el voltaje de carga del EDLC no está en el rango definido un límite superior de voltaje de operación del
10 EDLC y un límite inferior de voltaje de operación del EDLC pre-configurados por un usuario en un registro de memoria, se baja la corriente aplicando una rampa con duración inferior a un segundo a un régimen entre 300 V/s y 900 V/s y se pasa a la etapa (e); y si el voltaje de carga del EDLC está en el rango definido por dichos límites, entonces se verifica una medida de la corriente de carga del EDLC y se verifica la condición B;

15 Opcionalmente el método de la presente invención en la etapa (h) si el modo de funcionamiento del conversor DC/DC no es modo *Boost* entonces se realiza la verificación de las siguientes condiciones:

B- si el voltaje de carga del EDLC no supera un voltaje de carga máximo del EDLC pre-configurado en un registro de memoria entonces se compara si la tensión de línea es
20 mayor que el voltaje de operación del EDLC, si la tensión de línea es mayor que el voltaje de operación del EDLC entonces se compara la corriente promedio con la corriente máxima de operación del EDLC; y

C- si la corriente promedio es mayor que la corriente máxima de operación del EDLC entonces se disminuye el ciclo útil de la señal PWM del conversor DC/DC; y

25 D- si la corriente promedio es menor que la corriente máxima de operación del EDLC entonces se incrementa el ciclo útil de la señal PWM del conversor DC/DC y se repite la etapa (h);

En una modalidad de la presente invención antes de la etapa (h) se incluye una etapa (a) en la que se espera una señal de inicio de una unidad de cómputo; en la etapa (h) antes de la
30 condición B se incluye la siguiente condición A- comparar el voltaje de carga del EDLC con un voltaje de carga máximo del EDLC pre-configurado por un usuario en un registro de memoria, si el voltaje de carga del EDLC supera dicho límite voltaje entonces se baja la corriente aplicando una rampa con duración inferior a un segundo a un régimen entre 300 V/s y 900 V/s y se pasa a la etapa (e);

35 Alternativamente, en la etapa (h) después de la condición D se incluye la siguiente condición E-si no se cumple la condición B entonces se baja la corriente aplicando una rampa con duración inferior a un segundo a un régimen entre 300 V/s y 900 V/s y se pasa a la etapa (e);

Opcionalmente, en el método divulgado en la presente invención, antes de la etapa (e) se incluye una etapa (a) en la que se espera una señal de inicio de una unidad de cómputo para pasar a la etapa (e).

5 En la etapa (a) la señal de inicio es una señal proveniente de un sensor, un *switch* táctil, un pulsador, una segunda unidad de cómputo o se encuentra pre-configurada en la unidad de cómputo.

Alternativamente en un ejemplo, en el método de la presente invención, antes de la etapa (e) se incluye una etapa (b) para cerrar protecciones en una unidad de protección y control, y verificar que la tensión de línea, la corriente de carga de un EDLC se encuentren en un
10 rango de voltaje y corriente pre-configurados por un usuario en un registro de memoria de una unidad de cómputo, si no se encuentran en dicho rango de valores pre-configurados se repite (b), de lo contrario se ejecuta la etapa (e).

Opcionalmente, la etapa (b) comprende las siguientes sub-etapas:

- i- cerrar protecciones de la unidad de protección y control;
- 15 ii- comparar la tensión de línea y el voltaje mínimo de la línea de transmisión pre-configurado por un usuario en la unidad de cómputo, si la tensión de línea es menor que el voltaje mínimo de la línea de transmisión repetir la etapa (b), si la tensión de línea es mayor que el voltaje mínimo de la línea de transmisión pasar a la sub etapa (iii);
- 20 iii- comparar la corriente de almacenamiento del EDLC medida con un medidor de corriente con un valor pre-configurado en la unidad de cómputo, si corriente de almacenamiento del EDLC es mayor que dicho valor pre-configurado repetir la etapa (b) y si corriente de almacenamiento del EDLC es menor que dicho valor pre-configurado pasar a la etapa (c);

En la sub etapa (ii) de la etapa (b) el valor del voltaje mínimo de la línea de transmisión
25 pre-configurado en la unidad de cómputo está en el rango entre 10 V y 500 V.

En la sub etapa (iii) de la etapa (b) el valor de la corriente de almacenamiento del EDLC pre-configurado en la unidad de cómputo está en el rango entre 1 A y 50 A.

Alternativamente por ejemplo, en el método de la presente invención, antes de la etapa (e) se incluye una etapa (c) para verificar si voltaje del EDLC es igual a un límite inferior de
30 voltaje de operación del EDLC pre-configurado en un registro de memoria y verificar que la corriente de carga sea igual a la corriente de carga mínima, estas verificaciones se hacen siguiendo las siguientes condiciones:

condición B- si el voltaje del EDLC es diferente a dicho límite inferior de voltaje de
operación del EDLC pre-configurado entonces verificar que la corriente de carga del EDLC
35 se mantenga en un valor de un porcentaje de la corriente máxima de operación del EDLC pre-configurado en un registro de memoria;

condición C- si la corriente de carga del EDLC es menor que dicho valor de la corriente máxima de operación del EDLC entonces se incrementa el ciclo útil de una señal PWM para controlar el conversor DC/DC; y

- 5 condición D- si la corriente de carga del EDLC es mayor que dicho valor de la corriente máxima de operación del EDLC entonces se disminuye el ciclo útil de la señal PWM para controlar el conversor DC/DC y se repite la etapa (c).

- 10 Opcionalmente, por ejemplo, en el método de la presente invención, antes de la etapa (e) se incluye una etapa (d) para accionar un dispositivo de arranque suave con base en un valor dado por la resta entre la tensión de línea y el voltaje de operación del EDLC empleando la unidad de cómputo.

Alternativamente, en un ejemplo del método de la presente invención en la etapa (c) antes de la condición B se verifica la siguiente condición A- si el voltaje del EDLC es igual a dicho límite inferior de voltaje de operación del EDLC pre-configurado entonces pasar a la etapa (d).

- 15 Opcionalmente, en un ejemplo del método implementado en la presente invención, la etapa (d) comprende las siguientes sub etapas:

- i- esperar a que la tensión de línea sea igual a un valor de un porcentaje definido del voltaje de operación del EDLC por un usuario;
- ii- quitar la resistencia de carga y pasar a la etapa (e).

- 20 En la sub etapa (i) de la etapa (d), el porcentaje del valor de operación del EDLC está en el rango de 1 por ciento a 5 por ciento.

En la sub etapa (ii) de la etapa (d), la acción de quitar una resistencia de carga y corresponde a accionar un contacto eléctrico conectado en paralelo a una resistencia de carga.

- 25 Alternativamente, por ejemplo, en el método de la presente invención la etapa (i) comprende las siguientes sub etapas:

- i- registrar valor de la medida de corriente instantánea del EDLC con el segundo medidor de corriente;
- ii- calcular el cambio de la corriente instantánea del EDLC (ΔI) con la diferencia entre el valor de la sub etapa anterior (h) (i_t) y el valor anterior de la medida de corriente instantánea del EDLC ($i_{(t-1)}$), con la siguiente ecuación implementada en la unidad de cómputo:

$$\Delta I = i_t - i_{t-1}$$

iii- calcular la corriente promedio del EDLC $\bar{I}$ restando el valor de la medida de corriente instantánea del EDLC más antiguo i_{t-N} , con la siguiente ecuación implementada en la unidad de cómputo:

$$\bar{I} = \bar{I} - \frac{i_{t-N}}{2^N}$$

iv- reorganizar vector de valores de medidas de corriente instantánea con la siguiente ecuación implementada en la unidad de cómputo:

$$i_{1-N} = i_{t-N*1} \dots i_{t-1} = i_t$$

v- recalcular la corriente promedio del EDLC $\bar{I}$ sumando el valor de la medida de corriente instantánea del EDLC actual i_{t-1} , , con la siguiente ecuación implementada en la unidad de cómputo:

$$\bar{I} = \bar{I} + \frac{i_{t-1}}{2^N}$$

vi- volver a la sub etapa (i).

En la etapa (i) del método que implementa la presente invención (K), (t) y (N) son números naturales del 1 al 1000.

Ejemplo. Dispositivo y método de compensación de tensión.

Se diseñó y construyó un dispositivo y se implementó un método que se ejecuta en el dispositivo de compensación de tensión. El dispositivo tiene las siguientes características:

Parámetros:

- **Energía máxima almacenada:** $E_{(max)} = 1,09kWh;$
- **Corriente máxima en operación en modo Buck/Boost** $I_{(max)}$: 180 A;
- **Voltaje nominal de línea:** $V_{in(nom)} = 1500V;$
- **Voltaje en vacío de línea:** $V_{in(set)} = 1650V;$
- **Voltaje máximo de línea:** $V_{in(max)} = 2000V;$
- **Voltaje máximo en el EDLC:** $V_{c(max)} = 1000V;$
- **Voltaje mínimo en el EDLC:** $V_{c(min)} = 150V$ (voltaje hasta el que se llegará en los EDLCs en operación en modo *Boost*, que mantendrá una corriente de mínimo el 10% de $I_{(max)}$);
- **Voltaje inicial en el EDLC:** $V_{c(ini)}$: 150V (voltaje límite de la precarga y corresponde al 10% del voltaje nominal del sistema de catenaria);
- **Energía intercambiable:** $E_{(int)}$: 0.787kWh (energía disponible entre $V_{c(max)}$ y $V_{c(min)}$ en el EDLC);
- **Corriente de arranque suave:** 7.33 A (corriente de precarga del EDLC hasta lograr un voltaje de 150 V);

- **Ciclo de trabajo máximo en operación en modo *Boost*** $D_{(max-boost)}$: 65% (ciclo de trabajo que garantiza que el sistema se mantenga en modo de operación discontinua y (teóricamente su valor está entre 0.33 y 0.75)).

El dispositivo de protección y control (26) es un equipo de referencia SITRAS PRO como la protección primaria del dispositivo de la presente invención con velocidad de actuación de 40ms.

El primer medidor de voltaje entrega una primera señal de voltaje (30), y el cable conductor de esta señal tiene un aislamiento eléctrico de 6kV respecto de la línea de transmisión.

El criterio para la selección del primer contacto (24) es:

$$I_{nom} = I_{max} = 180A$$

$$V_{aislamiento} = V_{in(max)} - V_{c(ini)}$$

$$V_{aislamiento} = 2000 - 150 = 1850V$$

El dispositivo de compensación de tensión inicia su ciclo asegurando un régimen de corriente bajo en la carga del elemento EDLC (2), hasta alcanzar una tensión de 150V_{CD}.

La primera resistencia (25) es de 75Ω @ 11kW el primer contacto (24) es normalmente abierto. La segunda resistencia (23) es de 3,45Ω @ 300W.

El proceso de carga es exponencial decreciente para la corriente y el dispositivo compensador de tensión de la presente invención inicia su ciclo con régimen de corriente pico máxima I_{pk} de 11A, esto en un ejemplo se logra con una primera resistencia (25) conformada por la serie de cinco resistencias de 30 Ω @ 220 V @ 1600 W cuya resistencia equivalente es 150 Ω y permite una corriente máxima de 7,33A. La corriente inicial pico del dispositivo si se considera un $V_{in(set)}$ de 1650V sobre un valor de primera resistencia (25) de 150 Ω es $I_{pk} = 11A$, calculada con la siguiente fórmula:

$$I_{pk} = \frac{V_{in(set)}}{R_{25}} = \frac{1650}{150} = 11A$$

En un ejemplo de la invención el tiempo en el que se alcanza la corriente nominal de precarga es de 343 microsegundos. Se calcula utilizando la siguiente fórmula:

$$I_{pre} = \frac{V_o}{R_{25}} e^{-\frac{t}{\tau}}$$

- I_{pre} es la corriente de precarga;
- V_o es el voltaje de la línea de transmisión o tensión de línea;
- R_{25} es el valor óhmico de la resistencia (25);
- t es el tiempo de en el que se alcanza la corriente nominal de precarga;
- τ es el tiempo de carga del elemento de alta densidad EDLC (2).

$$-t = \frac{\ln\left(\frac{7.33 \times 150}{1650}\right)}{\frac{150}{7.89}} = 343 \mu s$$

La máxima potencia promedio P_{25} es la que debe ser disipada por las cinco resistencias en serie cada una con 1600 W, para un total de 8000 W, se calcula de la siguiente forma:

$$P_{25} = I_{pre}^2 \times R_{25} = 7.33^2 \times 150 = 8060 W$$

El filtro paso-bajo se diseña de acuerdo al tipo de rectificación que utilice la línea de transmisión, si se tiene una rectificación de 12 pulsos, que produce un rizo de frecuencia $\Pi/6$ de una señal de frecuencia de 60Hz, la frecuencia natural el tipo de rectificación de la línea de transmisión es de 720Hz, sin embargo, esta frecuencia natural supone una disipación elevada de potencia sobre la primera resistencia (25).

Se establece la frecuencia de operación del dispositivo de compensación F_{sw} a criterio se selecciona de ser 4 veces la frecuencia natural del tipo de rectificación de la línea de transmisión $F_{sw} = 720 Hz \times 4 = 2880 Hz$.

Se asume una capacitancia de 16μF @ 2200V para el primer condensador (22) y se calcula la segunda resistencia (23) así:

$$F_c = \frac{1}{2\pi(R_{23}C_{22})}$$

$$R_{23} = 3,45 \Omega$$

La potencia en la segunda resistencia (23) se calcula sumando las contribuciones del tipo de rectificador de la línea de transmisión $P_1 = 3,12 W$, más la contribución de los fenómenos de conmutación externos al dispositivo de la presente invención conectados a la línea de transmisión $P_2 = 130 W$, más las contribuciones del dispositivo de compensación de tensión de la presente invención $P_3 = 6,53 W$. Con estos valores la potencia en la segunda resistencia (23) $P_{23} = 140 W$.

Para la selección del primer transistor IGBT (14a) y el segundo transistor IGBT (14b) se seleccionan los valores de los siguientes parámetros:

- $V_{CE} \geq 2000 V$ (Tensión colector emisor en corte. Se configura teniendo como base la tensión máxima de la línea de transmisión);
- $I_{C(nom)} \geq 180 A$. (corriente nominal de colector. La corriente máxima nominal de este prototipo se establece a $\frac{1}{4}$ de la corriente calculada);
- $I_{CRM} = 300 A @ 1 ms$ (corriente máxima repetitiva de colector en inverso. Este parámetro se estima como el doble de la corriente $I_{C(nom)}$);
- $I_{SC} = 800 A @ 10 \mu s$. (corriente de corto circuito no repetitiva);
- $t_{d(on)}$: 33.3 μs (retardo en el encendido. 10 veces más rápido (criterio de Nyquist) que la frecuencia de conmutación);

Con base a estos parámetros se seleccionan con un nivel de seguridad muy por encima un par de transistores IGBTs de referencia DS-FZ1500R33HE3 para el primer transistor IGBT (14a) y el segundo transistor IGBT (14b) de la compañía *Infineon* y su módulo driver ISD536F2- FZ1500R33HE3 para el primer driver IGBT (17) y el segundo driver IGBT (16).

Para el cálculo de los valores de capacitancia para el cuarto capacitor (10) del segundo elemento de conmutación y el tercer condensador (11) del primer elemento de conmutación se aplica la siguiente fórmula:

$$C_{10,11} = L_p \left(\frac{I_{max}}{V_{pk} - V_{in(set)}} \right)^2$$

$C_{10} = 0,013 \mu F$ y $C_{11} = 0,013 \mu F$.

Los valores de resistencia y potencia para la quinta resistencia (8) del segundo elemento de conmutación y la cuarta resistencia (9) del primer elemento de conmutación son $R_{(8)} = 4273\Omega @ 69W$ y $R_{(9)} = 4273\Omega @ 69W$.

Para la selección de los diodos de la red *snubber* del primer elemento de conmutación el segundo diodo (7) y para el segundo elemento de conmutación el cuarto diodo (6a) se seleccionan con tipo diodo de recuperación ultra rápida con $V_{RRM} = 2500V$ y $I_F = 180A$. Más específicamente la referencia SD303C25S20C-ND.

La disposición física del segundo condensador (20) y de los elementos de conmutación se encuentran conectados físicamente cerca para garantizar un camino de baja impedancia para las señales de EMI, por ejemplo una distancia de 2 metros, el valor de la capacitancia mínima se calcula con la siguiente fórmula:

$$C_{20(min)} = \frac{I_{max}}{V_{rizo} 2\pi F_{sw}}$$

$C_{20(min)} = 602\mu F @ 2000V$.

C_{20} se selecciona 4 veces mayor a $C_{20(min)}$ con un valor $2000\mu F @ 2250V$.

Para el cálculo de la inductancia mínima del tercer inductor (6b) para garantizar modo de operación continuo en operación en modo *Buck* se utiliza la siguiente fórmula:

$$L_{6 \min(buck)} = D_{minbuck} T_{sw} \left(\frac{V_{in(set)} - V_{c(max)}}{2x I_{buck(nom)}} \right) [\mu H]$$

- L_{6b} es la inductancia del tercer inductor (6b);
- D_{min} es el ciclo de trabajo mínimo sobre el elemento de conmutación IGBT (14a);
- $V_{in(set)}$ es el voltaje de entrada de la línea de transmisión;
- $V_{c(max)}$ es el voltaje máximo soportado por el elemento de alta densidad EDLC (2);
- $I_{buck(nom)}$ es la corriente nominal en operación en modo *Buck*.

$$L_{6\min(\text{buck})} = 118\mu\text{H}.$$

La siguiente ecuación determina la inductancia mínima del tercer inductor (6b) mínima para asegurar la operación en modo *Boost*, desde una tensión de $V_{c(\min)} = 300\text{V}$ hasta una tensión de $V_{\text{in}(\text{set})} = 1650\text{V}$ y considerando una $I_{\text{boost}(\text{rizo})}$ que equivale a $I_{(\max)}/2$:

$$L_{6\min(\text{boost})} = \frac{V_{c(\min)}V_{\text{in}(\text{set})} - V_{c(\min)}^2}{I_{\text{boost}(\text{rizo})} \times F_{\text{sw}} \times V_{\text{in}(\text{set})}} [H]$$

5 $L_{6\min(\text{boost})} = 0,959\text{mH}.$

Se opta por el valor de $L_{6\min(\text{buck})}$ para satisfacer las exigencias de operación de modo *Buck* en modo continuo para el primer elemento de conmutación y de la operación de modo *Boost* en modo discontinuo para el segundo elemento de conmutación.

10 La sexta resistencia (4) del elemento de descarga del elemento de alta densidad EDLC (2) se calcula con un régimen inicial de 20A para 1000V. Esto resulta en un valor resistivo para la sexta resistencia del elemento de descarga del elemento de alta densidad EDLC (2) de 50 Ω cuya a potencia máxima instantánea soportada es de 20 kW.

El valor de la capacitancia de para el elemento de alta densidad EDLC (2) es de 7.875 F @ 1000V.

15 Se selecciona un primer fusible (3a) y un segundo fusible (3b) de operación rápida con una velocidad de respuesta con base en la corriente de 20ms.

20 Se debe entender que la presente invención no se halla limitada a las modalidades descritas e ilustradas, pues como será evidente para una persona versada en el arte, existen variaciones y modificaciones posibles que no se apartan del espíritu de la invención, el cual solo se encuentra definido por las siguientes reivindicaciones.

REIVINDICACIONES

1. Un dispositivo para compensación de tensión en corriente directa que comprende:
 - un EDLC (2) con un terminal positivo y un terminal negativo;
 - un primer medidor de voltaje (9A) con velocidad de lectura en intervalos entre $1\mu s$ y $10\mu s$ y dispuesto operativamente en el EDLC (2);
 - un primer medidor de corriente (8A) con velocidad de lectura en intervalos entre $1\mu s$ y $10\mu s$ y dispuesto operativamente en el EDLC (2);
 - un conversor DC/DC (7A) con corriente de conmutación de 3KHz, conectado al EDLC (2) y al primer medidor de corriente (8A);
 - una unidad de cómputo (11A) conectada al conversor DC/DC (7A), al primer medidor de voltaje (9A) y al primer medidor de corriente (8A);

donde la unidad de cómputo (11A) con base en las señales del primer medidor de voltaje (9A) y del primer medidor de corriente (8A) controla el conversor DC/DC (7A) para compensar la tensión en corriente directa.

2. El dispositivo de la Reivindicación 1, donde el conversor DC/DC (7A) está conectado a un acondicionador de fuente (6A) y el primer medidor de corriente (8A) conectado al acondicionador de fuente (6A).

3. El dispositivo de la Reivindicación 1, donde el conversor DC/DC (7A) está conectado a una unidad de protección y control (26) que tiene una entrada de potencia y una salida de potencia y el primer medidor de corriente (8A) conectado a la salida de la unidad de protección y control (26); la unidad de cómputo (11A) conectada a la unidad de protección y control (26).

donde el conversor DC/DC (7A) está conectado a la salida de potencia de la unidad de protección y control (26)

4. El dispositivo de la Reivindicación 1, donde el conversor DC/DC (7A) está conectado a un dispositivo de arranque suave (3A) y la unidad de cómputo (11A) conectada al dispositivo de arranque suave (3A).

5. El dispositivo de la Reivindicación 1, donde el conversor DC/DC (7A) está conectado a un dispositivo de arranque suave (3A); una unidad de protección y control (26) con una entrada de potencia y una salida de potencia, el dispositivo de arranque suave (3A) conectado a la salida de la unidad de protección y control (26) y a la unidad de cómputo (11A); la unidad de protección y control (26) conectada a la unidad de cómputo (11A).

6. El dispositivo de la Reivindicación 3, donde la unidad de protección y control (26) está conectado operativamente en su salida de potencia un segundo medidor de voltaje (4A) con velocidad de lectura en intervalos entre $1\mu s$ y $10\mu s$ y un segundo medidor de corriente (5A) con velocidad de lectura en intervalos entre $1\mu s$ y $10\mu s$; la unidad de cómputo (11A) está conectada al segundo medidor de voltaje (4A) y al segundo medidor de corriente (5A).

7. El dispositivo de la Reivindicación 1, donde el conversor DC/DC (7A) está conectado a un acondicionador de fuente (6A); un dispositivo de arranque suave (3A) está conectado al acondicionador de fuente (6A) y a la unidad de cómputo (11A); una unidad de protección y control (26) está conectada al dispositivo de arranque suave (3A), al acondicionador de fuente (6A) y a la unidad de cómputo (11A);

un segundo medidor de voltaje (4A) dispuesto operativamente en la unidad de protección y control (26) y está conectado a la unidad de cómputo (11A); un segundo medidor de corriente (5A) dispuesto operativamente entre la unidad de protección y control (26) y el acondicionador de fuente (6A) y está conectado a la unidad de cómputo (11A).

8. Un método para compensación de tensión en corriente directa que comprende las siguientes etapas:

e- verificar que la tensión de línea esté entre un límite inferior de voltaje operación y un límite superior de voltaje de operación pre-configurados por un usuario en un registro de memoria de una unidad de cómputo y pasar a la etapa (g); si la tensión de línea supera dichos límites de voltaje de operación se verifica una condición de detención;

g- verificar que la variación de voltaje del EDLC sea inferior a un límite de variación de voltaje del EDLC y que la variación de corriente de carga del EDLC sea inferior a un límite de variación de la corriente de carga del EDLC pre-configurados por un usuario en un registro de memoria de la unidad de cómputo;

si dichas variaciones no superan dichos límites verificar que la corriente de carga del EDLC sea inferior a un límite de corriente de operación del EDLC para controlar el conversor DC/DC y verificar modo de funcionamiento del conversor DC/DC, si dichas variaciones superan dichos límites entonces realizar una desconexión;

h- verificar si el modo de funcionamiento del conversor DC/DC es modo *Boost*; si el modo de funcionamiento del conversor DC/DC es modo *Boost*, comprobar que el voltaje de carga del EDLC esté en un rango definido por un límite superior de voltaje de operación del EDLC y un límite inferior de voltaje de operación del EDLC pre-programados por un usuario en un registro de memoria de la unidad de cómputo y mantener la corriente de carga del EDLC;

- i- registrar los cambios de la corriente del EDLC, el voltaje del EDLC y de la línea de tensión, y con base en dichos cambios determinar un diferencial de corriente y voltaje, la unidad de cómputo calcula en cada intervalo un valor promedio de voltaje y corriente con base en valores anteriores y actuales de voltaje y corriente;

donde la etapa (i) se ejecuta periódicamente de la etapa (e) a la etapa (h) con un intervalo entre $1\ \mu\text{s}$ y $10\ \mu\text{s}$ independientemente de las otras etapas.

9. El método de la Reivindicación 8, donde después de la etapa (e) se incluye una etapa (f) donde se espera a que el voltaje del EDLC sea igual a un valor pre-configurado por un usuario en un registro de memoria de la unidad de cómputo y pasar a la etapa (a) en la que se espera una señal de inicio de una unidad de cómputo; y en la etapa (e) la verificación de la condición de detención se realiza verificando las siguientes condiciones:

- A- si se presenta un evento de detención pasar a la etapa (f);
- B- si no se presenta un evento de detención repetir la etapa (e);

10. El método de la Reivindicación 8, donde en la etapa (g), dicha verificación se realiza siguiendo estas condiciones:

- B- si las variaciones de voltaje y corriente del EDLC no superan un límite de variación de voltaje de carga del EDLC ni un límite de variación de corriente de carga del EDLC comparar si la corriente de carga del EDLC es inferior a un límite de corriente de operación del EDLC pre-configurados por un usuario en un registro de memoria pasar a la etapa (h);
- C- si la corriente de carga del EDLC es superior al límite de corriente de operación del EDLC pre-configurado por un usuario, comprobar el modo de funcionamiento del conversor DC/DC, si el modo de funcionamiento del conversor DC/DC es modo *Boost*, y
- D- si la medida de la corriente de carga del EDLC es menor a un valor de la corriente del EDLC pre-configurado por un usuario en un registro de memoria durante un tiempo dado por un número K veces más un número N de datos en un instante de tiempo Δt , donde el número N de datos en un instante Δt de tiempo es menor a la mitad del periodo de la señal de PWM;
- F- si el modo de funcionamiento del conversor DC/DC no es modo *Boost* entonces se repite la etapa (g);

donde la duración del pulso de la señal de PWM está entre $0\ \mu\text{s}$ y $340\ \mu\text{s}$.

11. El método de la Reivindicación 10, donde en después de la etapa (e) se incluye una etapa (f) donde se espera a que el voltaje del EDLC sea igual a un valor pre-configurado

por un usuario en un registro de memoria de la unidad de cómputo y pasar a la etapa (a) en la que se espera una señal de inicio de una unidad de cómputo; antes de la condición B de la etapa (g) se verifica la siguiente condición A:

A- si la variación de voltaje del EDLC supera un límite de variación de voltaje del EDLC o si la variación de corriente del EDLC supera un límite de variación de corriente de carga del EDLC pasar a la etapa (f).

12. El método de la Reivindicación 11, donde después de la condición D de la etapa (g) se verifica la siguiente condición E:

E- si no se cumple la condición D se pasa a la etapa (f), si se cumple la condición D se repite la etapa (g).

13. El método de la Reivindicación 8, donde en la etapa (h) si el modo de funcionamiento del convertor DC/DC es modo *Boost* entonces se verifican las siguientes condiciones:

B- si la medida de la corriente de carga del EDLC es menor un valor de la corriente del EDLC pre-configurado por un usuario en un registro de memoria durante un tiempo dado por un número K veces más un número N de datos en un instante Δt de tiempo, donde el número N de datos en un instante Δt de tiempo es menor a la mitad del periodo de la señal de PWM;

C- si se cumple la condición B se compara la corriente promedio con la corriente máxima de operación del EDLC;

D- si la corriente promedio es menor que la corriente máxima de operación del EDLC se incrementa el ciclo útil de la señal PWM del convertor DC/DC y se repite la etapa (h), si la corriente promedio es mayor que la corriente máxima de operación del EDLC entonces se repite la etapa (h);

E- si no se cumple de la condición B entonces se disminuye el ciclo útil de la señal de PWM del convertor DC/DC y se compara la corriente promedio con la corriente máxima de operación del EDLC;

F- si la corriente promedio es menor que la corriente máxima de operación del EDLC se incrementa el ciclo útil de la señal PWM del convertor DC/DC y se repite la etapa (h), si la corriente promedio es mayor que la corriente máxima de operación del EDLC se repite la etapa (h);

donde la duración del pulso de la señal de PWM está entre 0 μs y 340 μs .

14. El método de la Reivindicación 13, donde antes de la etapa (h) se incluye una etapa (a) en la que se espera una señal de inicio de una unidad de cómputo; en la etapa (h), antes de verificar la condición B se verifica la siguiente condición A:

A- si el voltaje de carga del EDLC no está en el rango definido un límite superior de voltaje de operación del EDLC y un límite inferior de voltaje de

operación del EDLC pre-configurados por un usuario en un registro de memoria, se baja la corriente aplicando una rampa con duración inferior a un segundo a un régimen entre 300 V/s y 900 V/s y se pasa a la etapa (e); y si el voltaje de carga del EDLC está en el rango definido por dichos límites, entonces se verifica una medida de la corriente de carga del EDLC y se verifica la condición B;

15. El método de la Reivindicación 8, donde en la etapa (h) si el modo de funcionamiento del convertor DC/DC no es modo *Boost* entonces se realiza la verificación de las siguientes condiciones:

B- si el voltaje de carga del EDLC no supera un voltaje de carga máximo del EDLC pre-configurado en un registro de memoria entonces se compara si la tensión de línea es mayor que el voltaje de operación del EDLC, si la tensión de línea es mayor que el voltaje de operación del EDLC entonces se compara la corriente promedio con la corriente máxima de operación del EDLC; y

C- si la corriente promedio es mayor que la corriente máxima de operación del EDLC entonces se disminuye el ciclo útil de la señal PWM del convertor DC/DC; y

D- si la corriente promedio es menor que la corriente máxima de operación del EDLC entonces se incrementa el ciclo útil de la señal PWM del convertor DC/DC y se repite la etapa (h);

16. El método de la Reivindicación 15, donde antes de la etapa (h) se incluye una etapa (a) en la que se espera una señal de inicio de una unidad de cómputo; en la etapa (h) antes de la condición B se incluye la siguiente condición A:

A- comparar el voltaje de carga del EDLC con un voltaje de carga máximo del EDLC pre-configurado por un usuario en un registro de memoria, si el voltaje de carga del EDLC supera dicho límite voltaje entonces se baja la corriente aplicando una rampa con duración inferior a un segundo a un régimen entre 300 V/s y 900 V/s y se pasa a la etapa (e);

17. El método de la Reivindicación 16, donde en la etapa (h) después de la condición D se incluye la siguiente condición E:

E- si no se cumple la condición B entonces se baja la corriente aplicando una rampa con duración inferior a un segundo a un régimen entre 300 V/s y 900 V/s y se pasa a la etapa (e);

18. El método de la Reivindicación 8, donde antes de la etapa (e) se incluye una etapa (a) en la que se espera una señal de inicio de una unidad de cómputo para pasar a la etapa (e).

19. El método de la Reivindicación 8, donde antes de la etapa (e) se incluye una etapa (b) para cerrar protecciones en una unidad de protección y control, y verificar que la tensión de línea, la corriente de carga de un EDLC se encuentren en un rango de voltaje y corriente

pre-configurados por un usuario en un registro de memoria de una unidad de cómputo, si no se encuentran en dicho rango de valores pre-configurados se repite (b), de lo contrario se ejecuta la etapa (e).

20. El método de la Reivindicación 19, caracterizado porque la etapa (b) comprende las siguientes sub-etapas:

- i- cerrar protecciones de la unidad de protección y control;
- ii- comparar la tensión de línea y el voltaje mínimo de la línea de transmisión pre-configurado por un usuario en la unidad de cómputo, si la tensión de línea es menor que el voltaje mínimo de la línea de transmisión repetir la etapa (b), si la tensión de línea es mayor que el voltaje mínimo de la línea de transmisión pasar a la sub etapa (iii);
- iii- comparar la corriente de almacenamiento del EDLC medida con un medidor de corriente con un valor pre-configurado en la unidad de cómputo, si corriente de almacenamiento del EDLC es mayor que dicho valor pre-configurado repetir la etapa (b) y si corriente de almacenamiento del EDLC es menor que dicho valor pre-configurado pasar a la etapa (c);

21. El método de la Reivindicación 11, donde antes de la etapa (e) se incluye una etapa (c) para verificar si voltaje del EDLC es igual a un límite inferior de voltaje de operación del EDLC pre-configurado en un registro de memoria y verificar que la corriente de carga sea igual a la corriente de carga mínima, estas verificaciones se hacen siguiendo las siguientes condiciones:

B- si el voltaje del EDLC es diferente a dicho límite inferior de voltaje de operación del EDLC pre-configurado entonces verificar que la corriente de carga del EDLC se mantenga en un valor de un porcentaje de la corriente máxima de operación del EDLC pre-configurado en un registro de memoria;

C- si la corriente de carga del EDLC es menor que dicho valor de la corriente máxima de operación del EDLC entonces se incrementa el ciclo útil de una señal PWM para controlar el conversor DC/DC; y

D- si la corriente de carga del EDLC es mayor que dicho valor de la corriente máxima de operación del EDLC entonces se disminuye el ciclo útil de la señal PWM para controlar el conversor DC/DC y se repite la etapa (c).

22. El método de la Reivindicación 21, donde antes de la etapa (e) se incluye una etapa (d) para accionar un dispositivo de arranque suave con base en un valor dado por la resta entre la tensión de línea y el voltaje de operación del EDLC empleando la unidad de cómputo.

23. El método de la Reivindicación 22, donde en la etapa (c) antes de la condición B se verifica la siguiente condición A:

A- si el voltaje del EDLC es igual a dicho límite inferior de voltaje de operación del EDLC pre-configurado entonces pasar a la etapa (d);

24. El método de la Reivindicación 22, caracterizado porque la etapa (d) comprende las siguientes sub etapas:

i- esperar a que la tensión de línea sea igual a un valor de un porcentaje definido del voltaje de operación del EDLC por un usuario;

ii- quitar la resistencia de carga y pasar a la etapa (e).

25. El método de la Reivindicación 8, donde la etapa (i) comprende las siguientes sub etapas:

i- registrar valor de la medida de corriente instantánea del EDLC con el segundo medidor de corriente;

ii- calcular el cambio de la corriente instantánea del EDLC (ΔI) con la diferencia entre el valor de la sub etapa anterior (h) (i_t) y el valor anterior de la medida de corriente instantánea del EDLC ($i_{(t-1)}$), con la siguiente ecuación implementada en la unidad de cómputo:

$$\Delta I = i_t - i_{t-1}$$

iii- calcular la corriente promedio del EDLC $\bar{I}$ restando el valor de la medida de corriente instantánea del EDLC más antiguo i_{t-N} , con la siguiente ecuación implementada en la unidad de cómputo:

$$\bar{I} = \bar{I} - \frac{i_{t-N}}{2^N}$$

iv- reorganizar vector de valores de medidas de corriente instantánea con la siguiente ecuación implementada en la unidad de cómputo:

$$i_{1-N} = i_{t-N*1} \dots i_{t-1} = i_t$$

v- recalcular la corriente promedio del EDLC $\bar{I}$ sumando el valor de la medida de corriente instantánea del EDLC actual i_{t-1} , , con la siguiente ecuación implementada en la unidad de cómputo:

$$\bar{I} = \bar{I} + \frac{i_{t-1}}{2^N}$$

vi- volver a la sub etapa (i).

FIGURAS

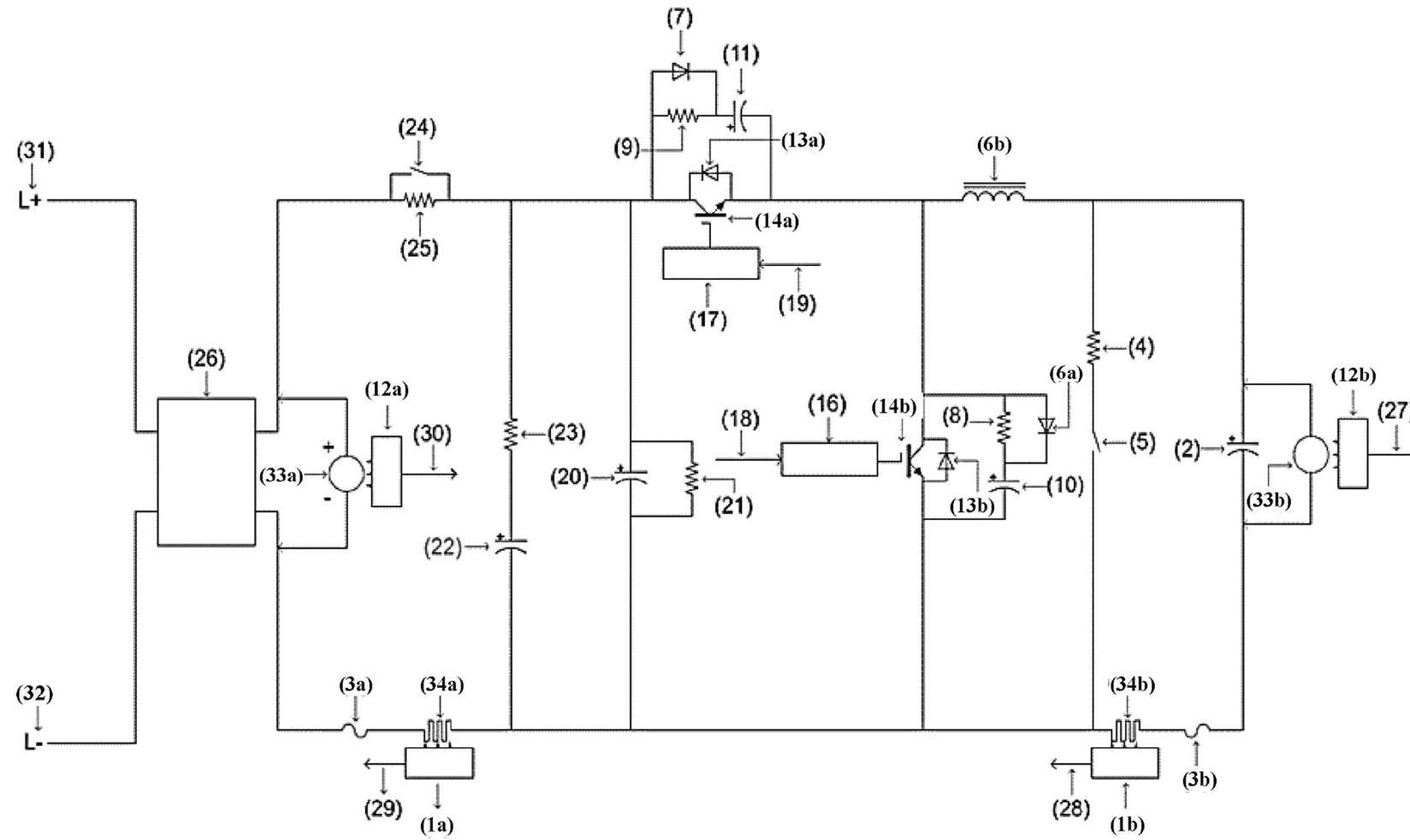


FIG. 1

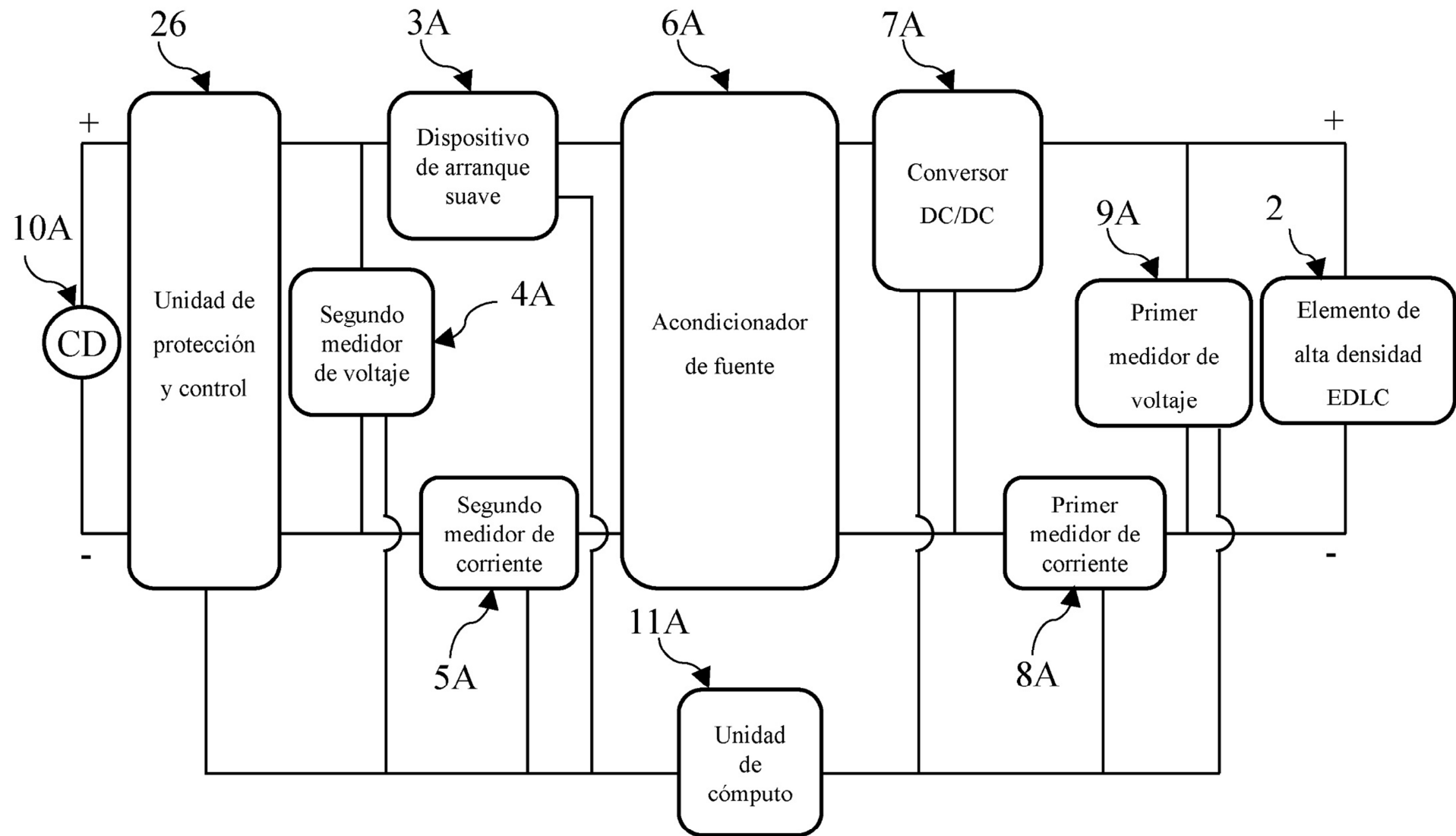


FIG. 2

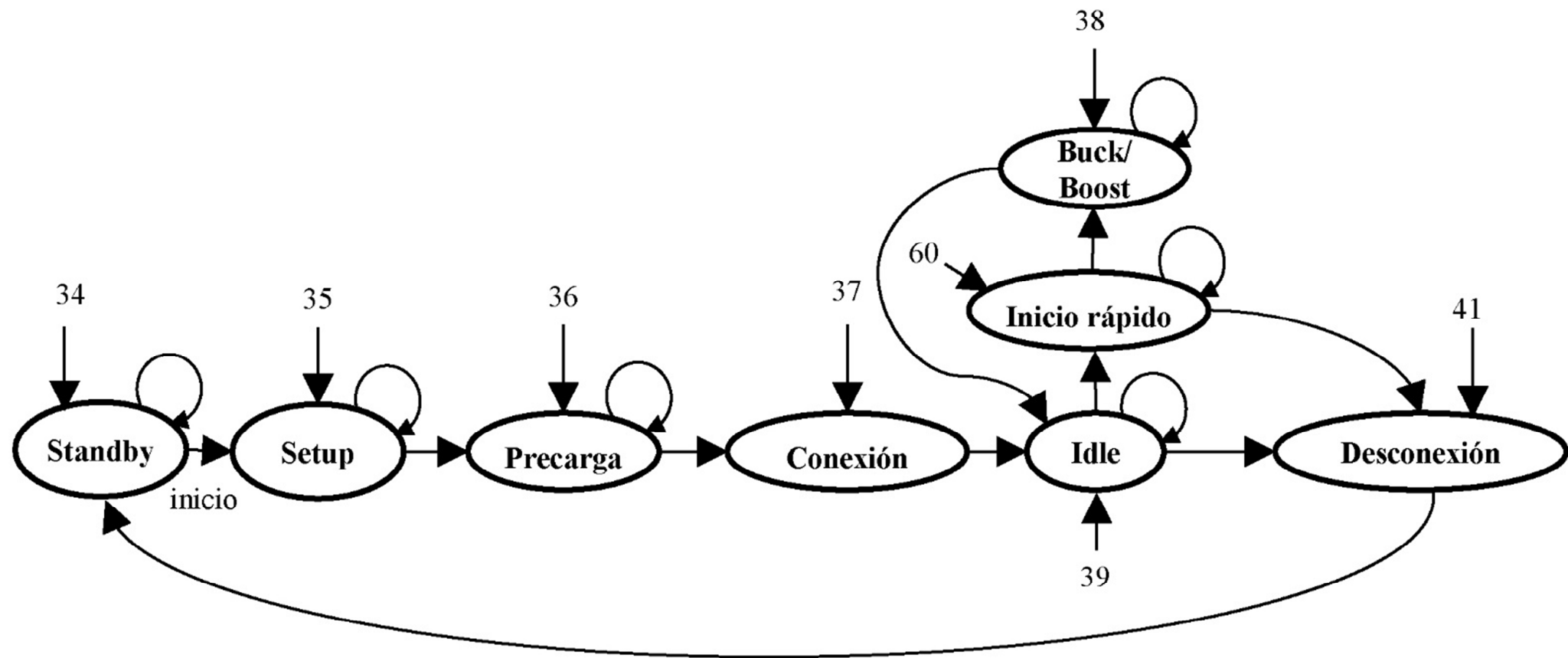


FIG. 3
Página 42 de 50

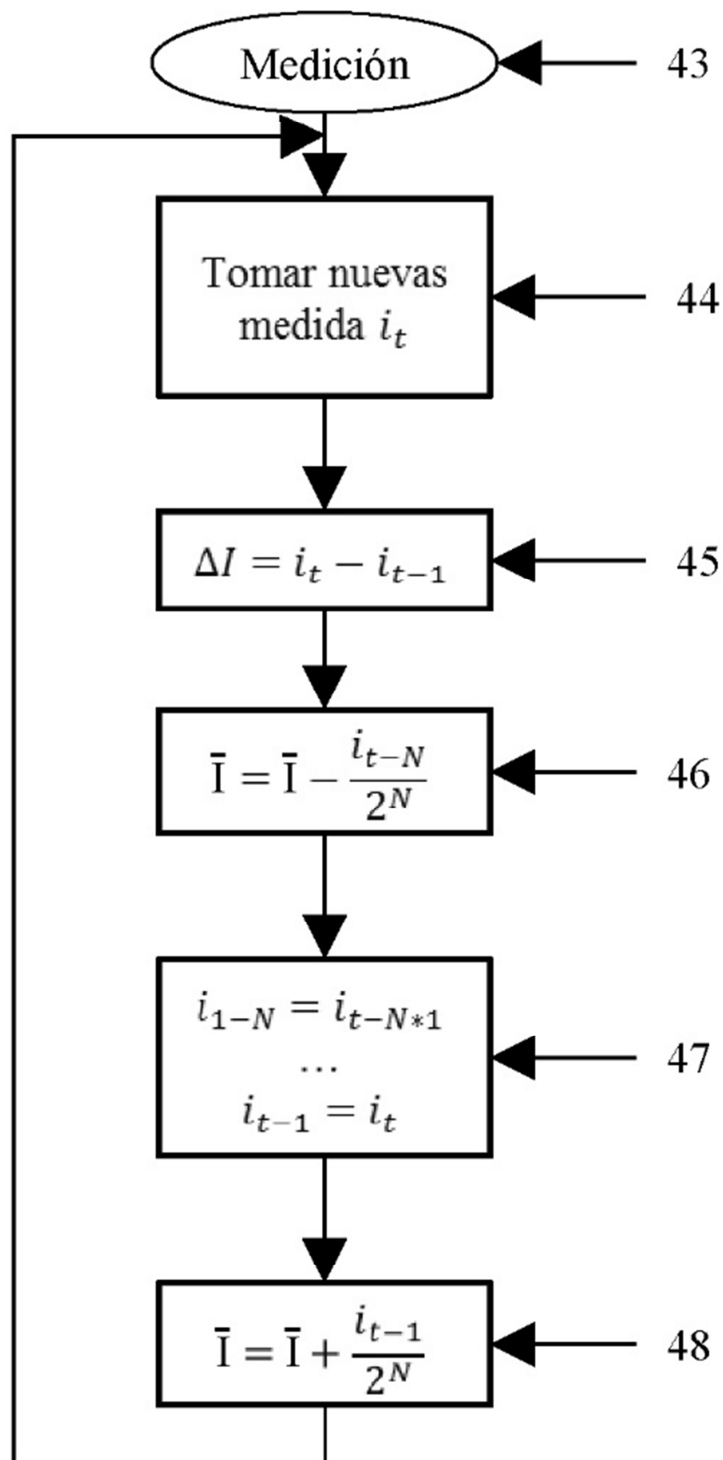


FIG. 4

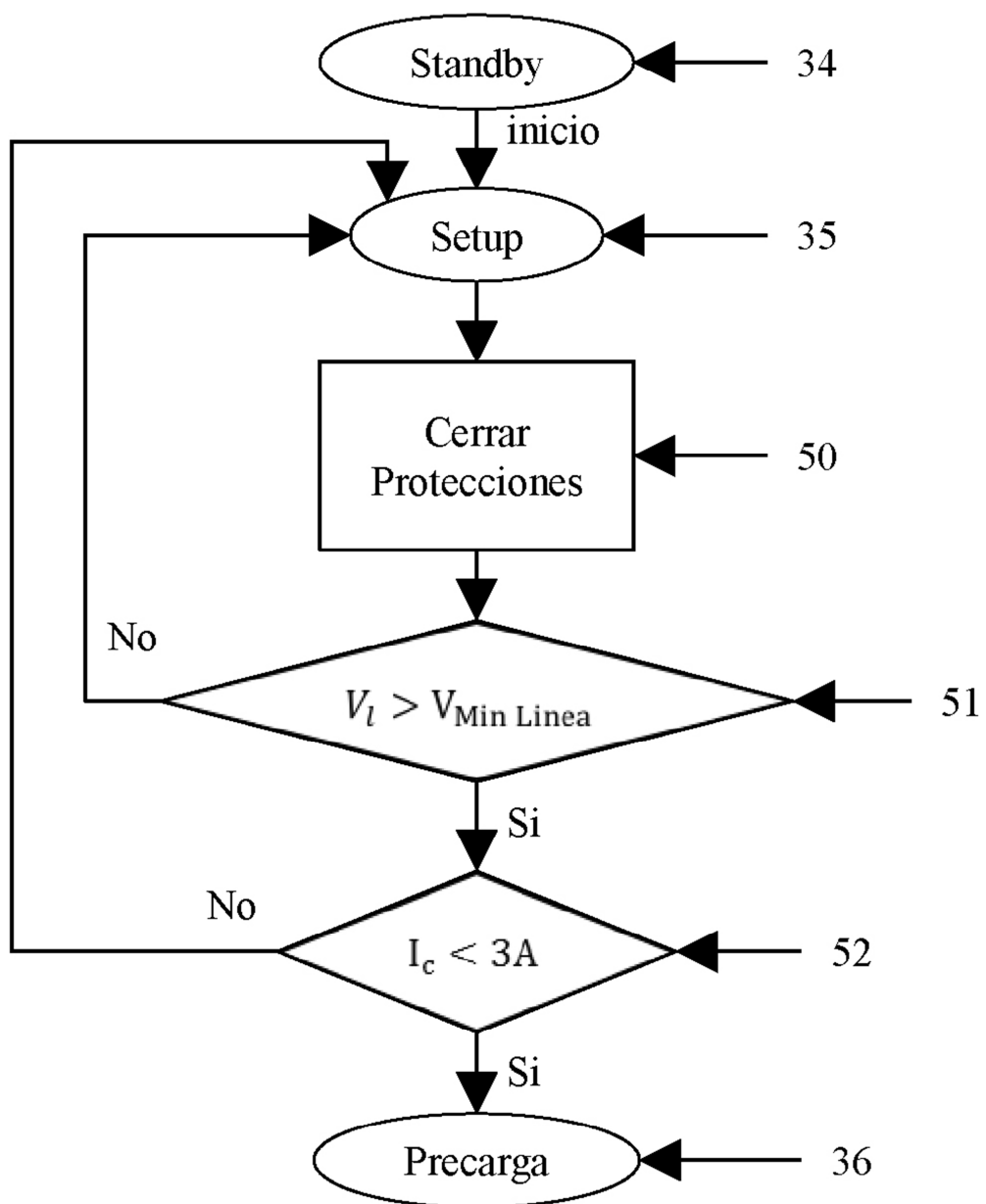


FIG. 5

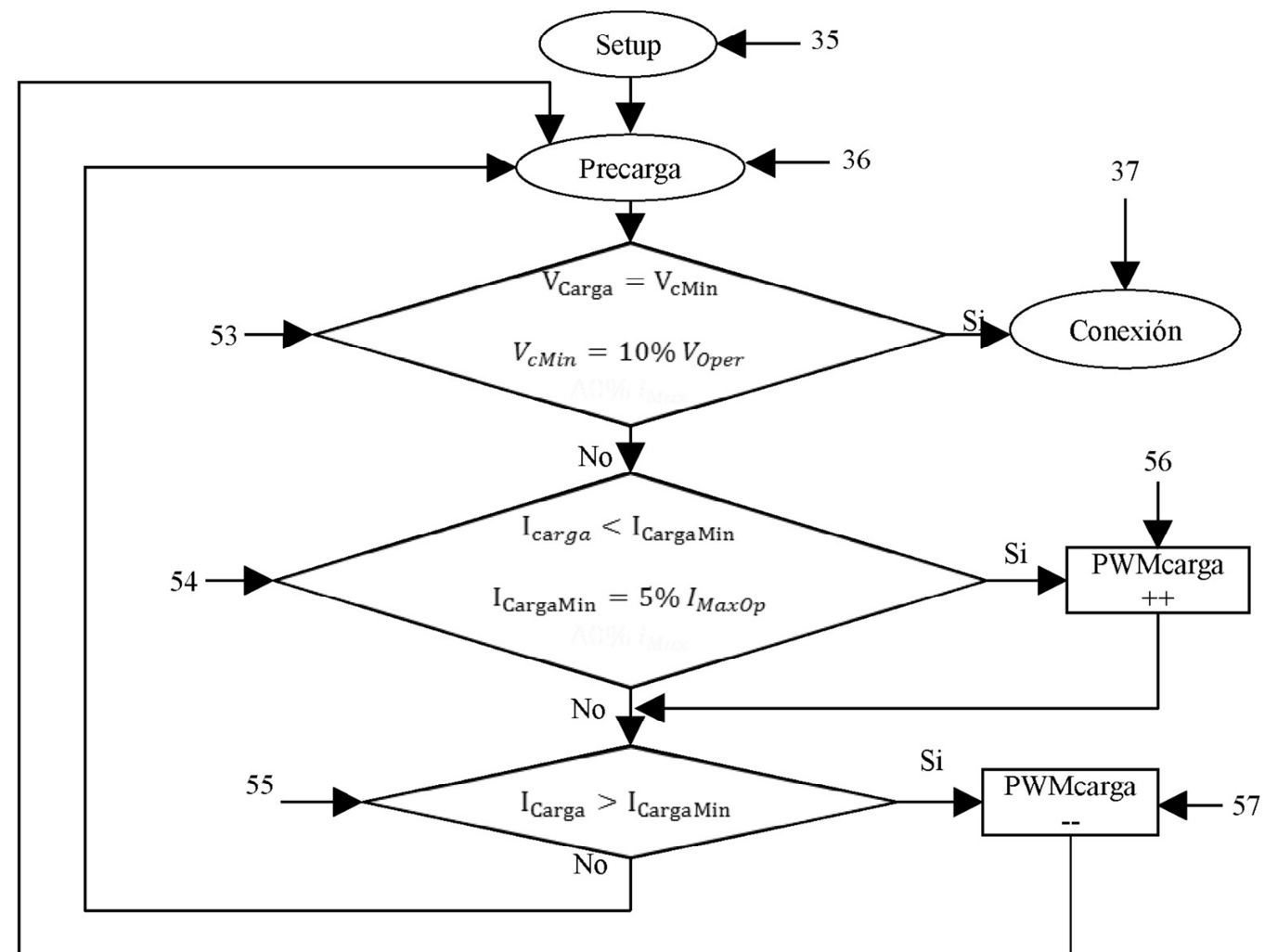


FIG. 6

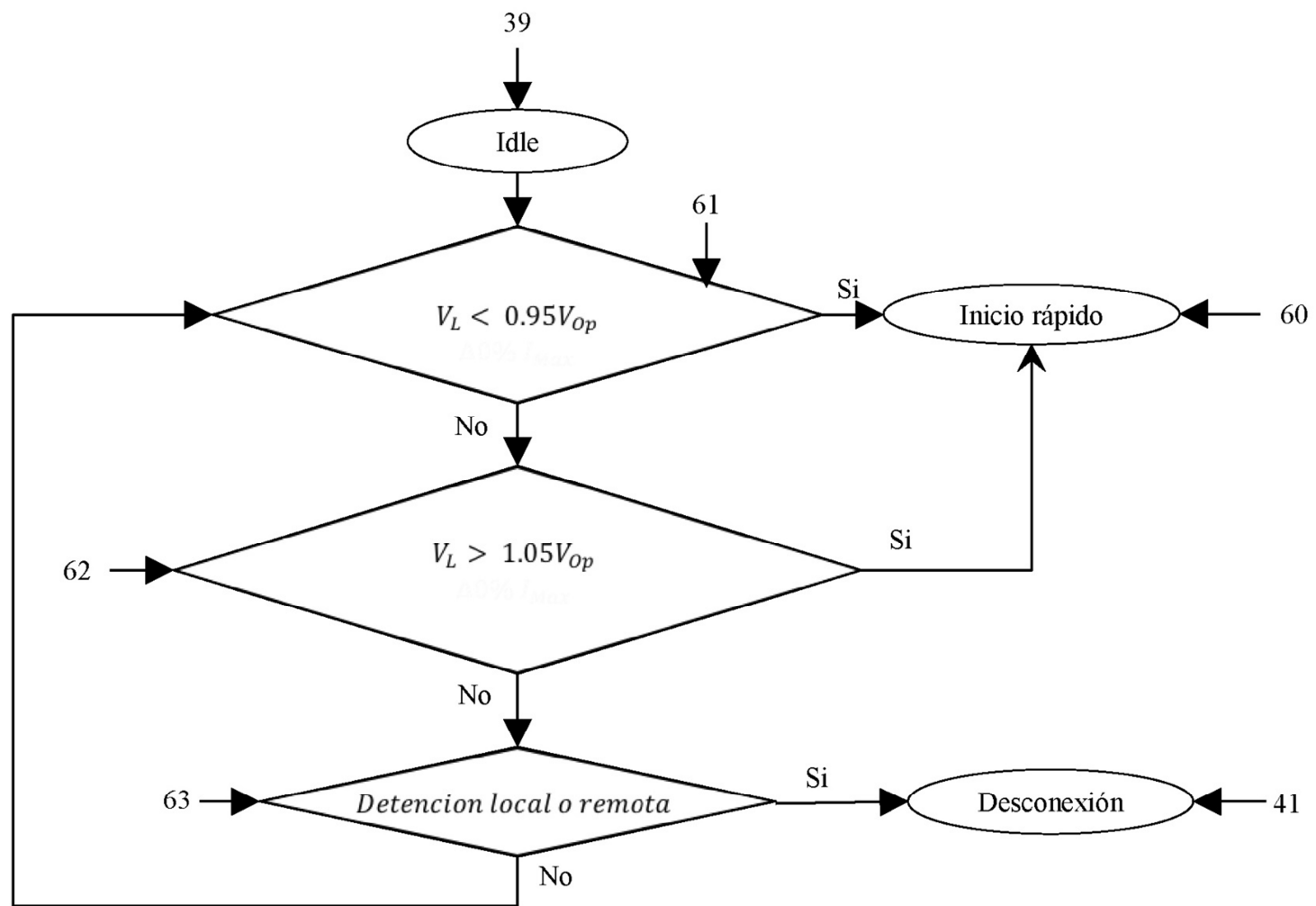


FIG. 7

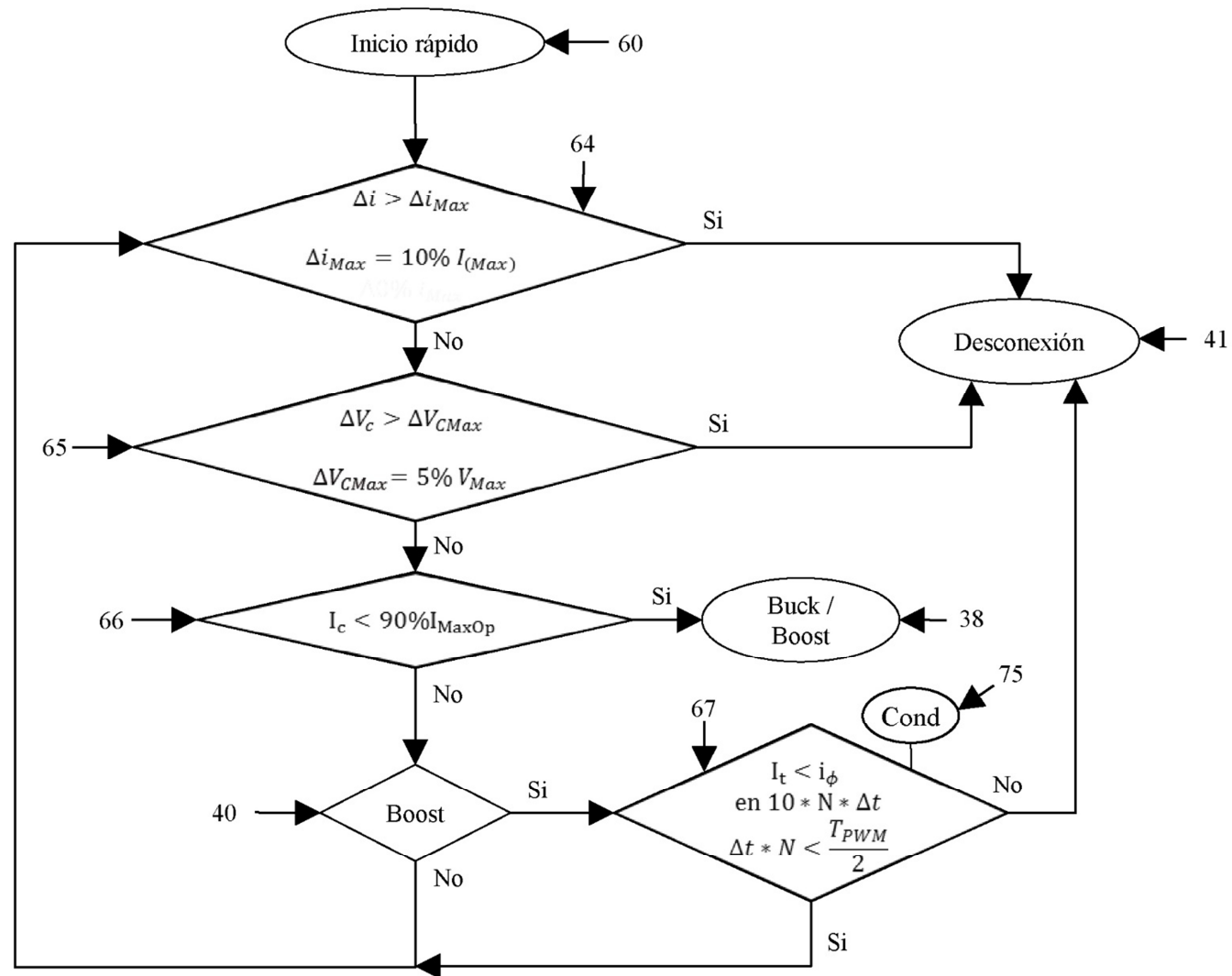


FIG. 8

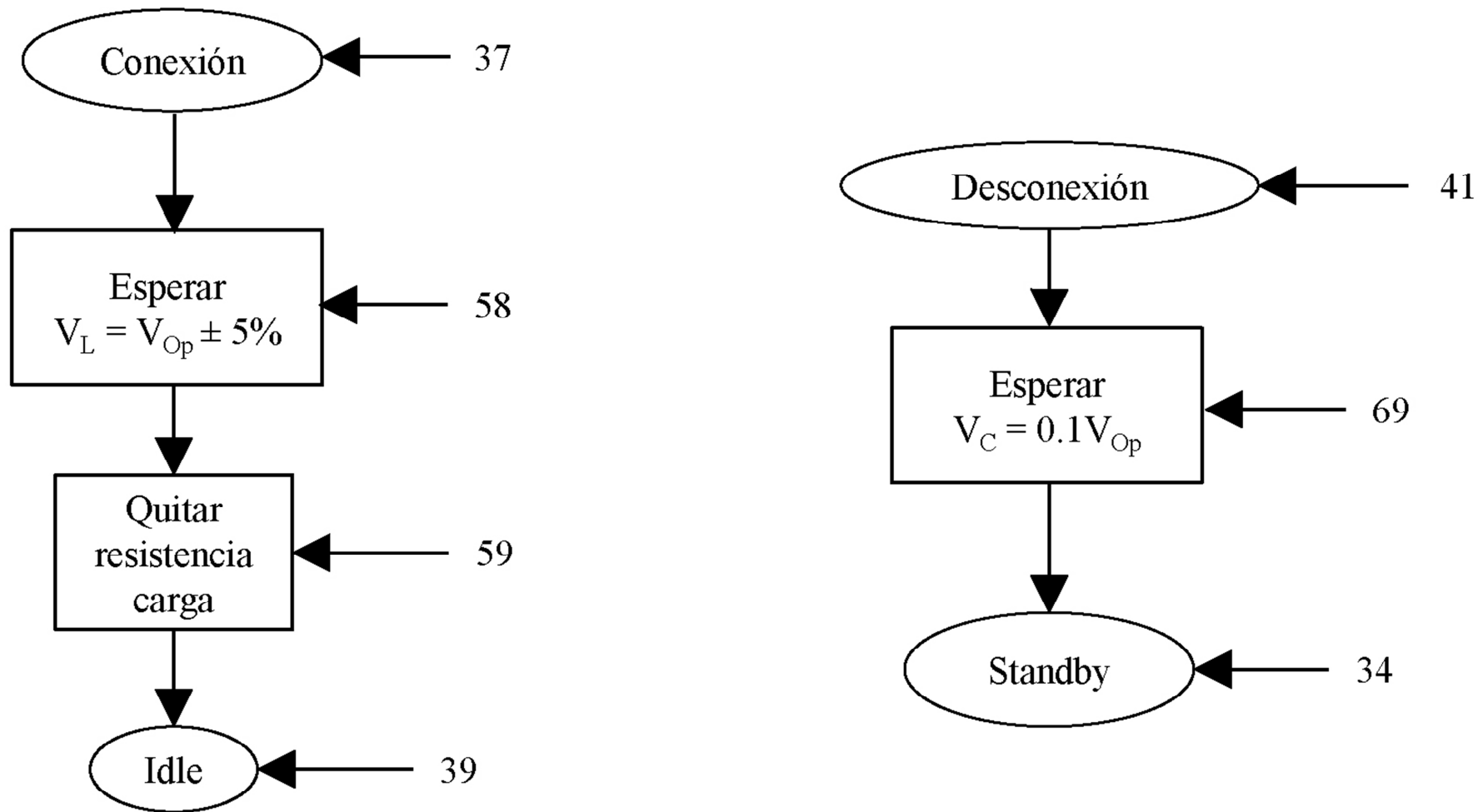


FIG. 9

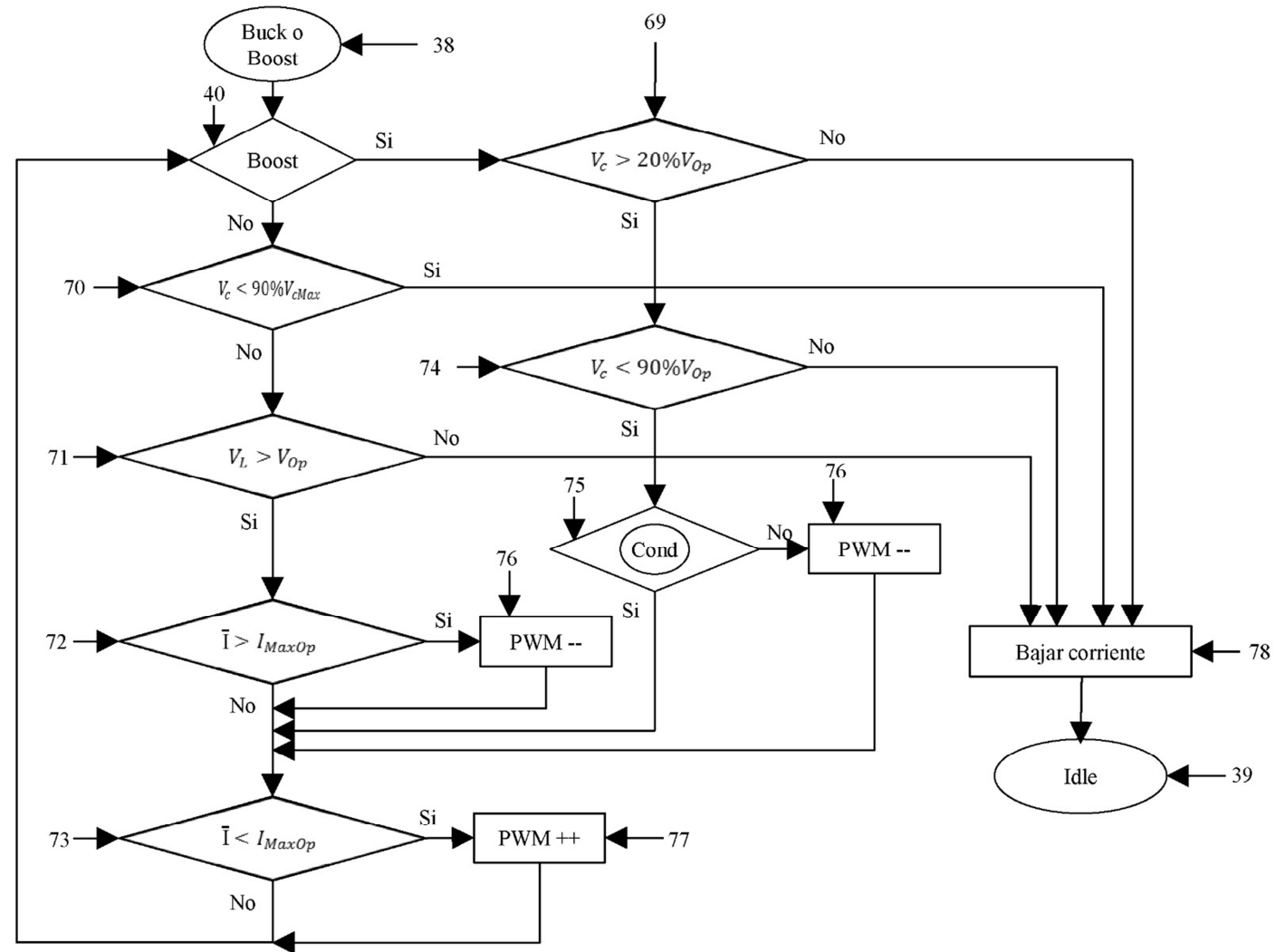


FIG. 10

RESUMEN

La presente invención corresponde a un dispositivo y método de compensación de tensión.

El dispositivo de compensación de tensión en corriente directa divulgado en la presente invención comprende: un EDLC, un primer medidor de voltaje con velocidad de lectura en intervalos entre $1\mu\text{s}$ y $10\mu\text{s}$ y dispuesto operativamente en el EDLC, un primer medidor de corriente con velocidad de lectura en intervalos entre $1\mu\text{s}$ y $10\mu\text{s}$ y dispuesto operativamente en el EDLC, un conversor DC/DC con corriente de conmutación de 3KHz, conectado al EDLC y al primer medidor de corriente una unidad de cómputo conectada al conversor DC/DC, al primer medidor de voltaje y al primer medidor de corriente, donde la unidad de cómputo con base en las señales del primer medidor de voltaje y del primer medidor de corriente controla el conversor DC/DC para compensar la tensión en corriente directa.

El método de compensación de tensión en corriente directa divulgado en la presente invención comprende las siguientes etapas: etapa e) verificar que la tensión de línea esté entre un límite inferior de voltaje operación y un límite superior de voltaje de operación pre-configurados por un usuario en un registro de memoria de una unidad de cómputo y pasar a la etapa (g); si la tensión de línea supera dichos límites de voltaje de operación se verifica una condición de detención; etapa g) verificar que la variación de voltaje del EDLC sea inferior a un límite de variación de voltaje del EDLC y que la variación de corriente de carga del EDLC sea inferior a un límite de variación de la corriente de carga del EDLC pre-configurados por un usuario en un registro de memoria de la unidad de cómputo, si dichas variaciones no superan dichos límites verificar que la corriente de carga del EDLC sea inferior a un límite de corriente de operación del EDLC para controlar conversor DC/DC y verificar modo de funcionamiento del conversor DC/DC, si dichas variaciones superan dichos límites entonces realizar una desconexión; etapa h) verificar si el modo de funcionamiento del conversor DC/DC es modo *Boost*; si el modo de funcionamiento del conversor DC/DC es modo *Boost*, comprobar que el voltaje de carga del EDLC esté en un rango definido por un límite superior de voltaje de operación del EDLC y un límite inferior de voltaje de operación del EDLC pre-programados por un usuario en un registro de memoria de la unidad de cómputo y mantener la corriente de carga del EDLC; etapa i) registrar los cambios de la corriente del EDLC, el voltaje del EDLC y de la línea de tensión, y con base en dichos cambios determinar un diferencial de corriente y voltaje, la unidad de cómputo calcula en cada intervalo un valor promedio de voltaje y corriente con base en valores anteriores y actuales de voltaje y corriente; donde la etapa (i) se ejecuta periódicamente de la etapa (e) a la etapa (h) con un intervalo entre $1\mu\text{s}$ y $10\mu\text{s}$ independientemente de las otras etapas.