

**REPÚBLICA DE COLOMBIA
SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO**

Oficio N° 3409

Ref. Expediente N° NC2016/0002623

Señor(a)
MICROSOFT TECHNOLOGY LICENSING LLC
infopi.colombia@dentons.com

Asunto: PATENTE DE INVENCION - PCT

Patente de Invención	PT	Patente de Modelo de Utilidad			
Vía Nacional					
Vía PCT (Fase Nacional)	PCT	Capítulo I		Capítulo II	X
No. Solicitud Internacional	PCT/US2015/020050				
Fecha de Presentación Internacional	12 de marzo de 2015				

Como resultado del examen de fondo realizado, con fundamento en el Artículo 45 de la Decisión 486 de la Comisión de la Comunidad Andina, se comunica:

1. Documentos estudiados

Descripción:	NC2016/0002623	03 de octubre de 2016
Reivindicaciones:	NC2016/0002623	03 de octubre de 2016
Dibujos:	NC2016/0002623	03 de octubre de 2016
Prioridad(es):	País: US, ESTADOS UNIDOS DE AMÉRICA Número: 14/216,990 Fecha: 17 de marzo de 2014	

2. Análisis de la Prioridad

Se acepta la reivindicación de prioridad porque esta solicitud fue presentada dentro del plazo establecido y el contenido técnico de esta solicitud corresponde con el de la prioridad reivindicada.

**REPÚBLICA DE COLOMBIA
SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO**

Oficio N° 3409

Ref. Expediente N° NC2016/0002623

3. Objeto de la invención

De acuerdo con lo establecido en el numeral 1.2.2.2 del Capítulo Primero del Título X de la Circular Única para efectos del examen de patentabilidad, se tendrá en cuenta la tasa pagada por el solicitante al momento de comenzar el examen para las reivindicaciones adicionales; esto es que cuando la solicitud contenga más de diez (10) reivindicaciones y no se haya pagado la tasa complementaria, sólo se estudiarán las cubiertas por la tasa pagada. Por lo tanto, se estudiarán las reivindicaciones 1 a 10 del capítulo reivindicatorio (Radicado NC2016/0002623 del 03 de octubre de 2016).

Título de la solicitud: “ARQUITECTURA DE PROCESADOR DE ÁRBOL DE DECISIÓN PARALELO” (Radicado NC2016/0002623 del 03 de octubre de 2016).

El problema planteado en esta solicitud consiste en la necesidad de un sistema de predicción basado en un conjunto de datos, que sea rápido y eficiente.

Para resolver este problema técnico, la solicitud en estudio proporciona un sistema a través una implementación de hardware de puntuación de árbol de decisión mediante procesadores múltiples.

El objeto de la presente solicitud se relaciona con la Clasificación Internacional de Patentes (CIP): G06F 17/30.

4. Determinación del Estado de la Técnica

El estado de la técnica se determinó con base en la fecha de prioridad: 17 de marzo de 2014, y se encontraron los siguientes documentos que anticipan el objeto de esta solicitud:

Ítem	Documento	Título	Fecha de Publicación
D1	Essen (2012)*	“Accelerating a random forest classifier: multi-core, GP-GPU, or FPGA?”	16/julio/2012

**REPÚBLICA DE COLOMBIA
SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO**

Oficio N° 3409

Ref. Expediente N° NC2016/0002623

* Accelerating a random forest classifier: multi-core, GP-GPU, or FPGA? Brian Van Essen, Chris Macaraeg; Maya Gokhale; Ryan Prenger. IEEE 20th International Symposium on Field-Programmable Custom, 12012, N° 12866230, Págs. 232-239.

El documento D1¹ divulga una comparación y contraste de la efectividad de las FPGA, las GP-GPU y las CPU multinúcleo para acelerar la clasificación utilizando modelos generados por clasificadores compactos de aprendizaje aleatorio de sistemas de árbol. Aprovechando los algoritmos de entrenamiento que pueden producir arboles compactos aleatorios compuestos de muchos árboles pequeños en lugar de menos, árboles profundos, permite regular el sistema de árbol de modo que la clasificación de cualquier muestra tome una cantidad de tiempo determinista. Esta optimización permite ejecutar el clasificador en un modo de cadena múltiple o de cadena única (SIMT).

5. Examen de Patentabilidad (Art. 14 D486)

Novedad (Art 16 D486)

La reivindicación 1 consiste en: *“Un sistema de hardware de calificación de árbol de decisión en chip que comprende: una pluralidad de procesadores de árbol de decisión, implementados como circuitería en el chip (...)”* (Radicado NC2016/0002623 del 03 de octubre de 2016).

Tabla 1. Comparación de las características técnicas esenciales, con las del estado de la técnica:

Características esenciales	D1
Un sistema de <i>hardware</i> de calificación de árbol de decisión en chip que comprende: una pluralidad de procesadores de árbol de decisión, implementados como circuitería en el chip para acceder a un vector de característica común y	Nuestro documento compara y contrasta la efectividad de las FPGA, las GP-GPU y las CPU multinúcleo para acelerar la clasificación utilizando modelos generados por clasificadores compactos de aprendizaje aleatorio de máquinas de árbol (Pág. 232, Col.1, Párr. 1, líneas 13 a 16). Un grupo es un subconjunto de los árboles en el CRF que comparten un flujo de datos de muestra única; la arquitectura de un grupo es idéntica a la arquitectura CRF básica que se muestra en la Figura 2, excepto que un CRF podría comprender múltiples agrupaciones, y se requeriría un árbol

1 <http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=6239820>

REPÚBLICA DE COLOMBIA
SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO

Oficio N° 3409

Ref. Expediente N° NC2016/0002623

para ejecutar uno o más árboles de decisión con respecto al vector de característica común.	de suma externa para sumar las salidas de cada grupo (Pág. 235, Col. 1, Párr. 3, líneas 3 a 8). Para ejecutar el ciclo for externo en paralelo, agregamos un pragma OpenMP en la primera línea del fragmento de código (Pág. 234, Párr. 1, líneas 12 a 14). Ver la línea 2 del fragmento de código implementado en el cual se evidencia el uso de vectores para ejecutar el programa (Pág. 234, fragmento de código). <pre>#pragma omp parallel for shared(responses) for (int j=0; j<data->NumVectors(); j++) { real response=0; for(int i = 0; i < num_trees; i++) { // Forest int node_id=1; // Node ID real local_result = 0; for(int lvl = 0; lvl < max_depth; lvl++) { // Tree int node_idx = (i*num_nodes_per_tree)+node_id; real threshold = nodes[node_idx].thresholds; int feature_idx = nodes[node_idx].indices; real feature = data->FeatureColumn(feature_idx)[j]; if(lvl < max_depth - 1) { // Split node node_id = (node_id <= 1) + (feature < threshold); } else { // Leaf node local_result = nodes[node_idx].weight * feature + nodes[node_idx].offset; } response+=local_result; } response=1/(1+exp(-response)); responses[j] = response; } }</pre>
--	--

De acuerdo con la tabla anterior, las características esenciales del sistema de la reivindicación 1 habían sido divulgadas previamente en el documento D1, por lo tanto, la materia reivindicada no es nueva.

En consecuencia, la reivindicación 1 no es nueva, según lo divulgado en el documento D1.

Asimismo, el documento D1 divulga las características de las reivindicaciones dependientes así:

- Reivindicación 4: La figura 5 ilustra un ejemplo donde los arboles 0 y 1 son procesados en SMs 0 y 2 y los arboles 2 y 3 son procesados en SMs 1 y 3 (Sumas parciales son combinadas en el host). Ver figuras 2, 4 y 5.

REPÚBLICA DE COLOMBIA
SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO

Oficio N° 3409

Ref. Expediente N° NC2016/0002623

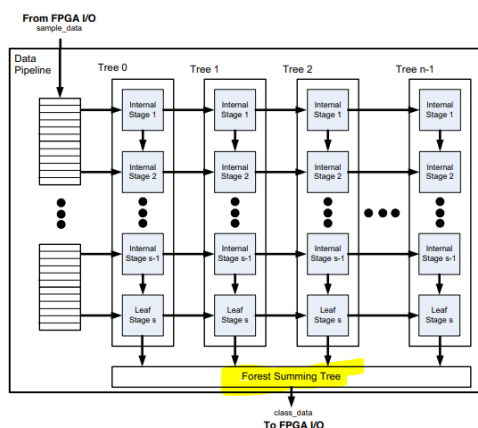


Figure 2. CRF on a FPGA

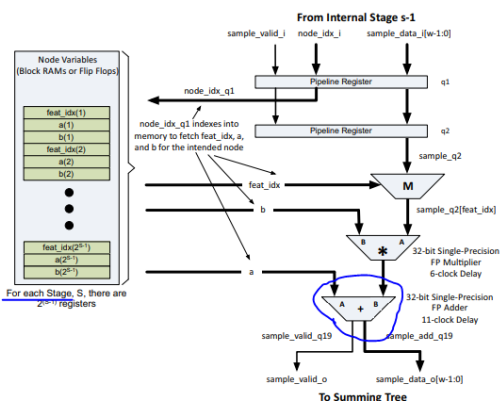


Figure 4. CRF leaf stage on a FPGA (implements leaf nodes)

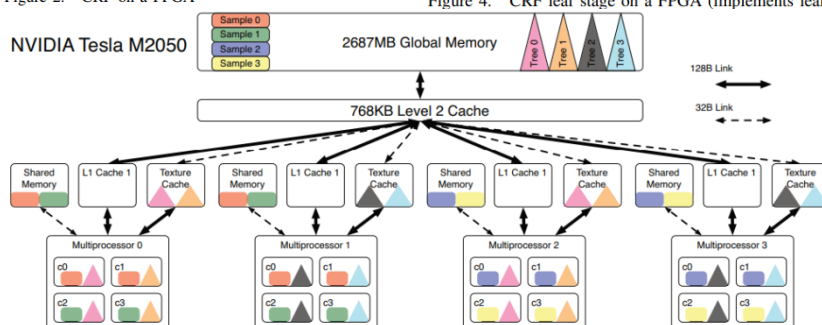


Figure 5. CRF on a GP-GPU.

- Reivindicación 5: Primero realizamos una prueba de extremo a extremo en un bosque parcial, utilizando una única placa FPGA y un núcleo Gigabit Ethernet interno existente para validar la corrección (Pág. 238, Col. 1, Párr. 1, líneas 3 a 6). Los resultados parciales se agregan localmente y luego combinados por el procesador host (Pág. 236, Col. 2, Párr. 4, líneas 5 y 6). Las figuras 2 y 4 presentan la ruta de la suma de cada árbol.

REPÚBLICA DE COLOMBIA
SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO

Oficio N° 3409

Ref. Expediente N° NC2016/0002623

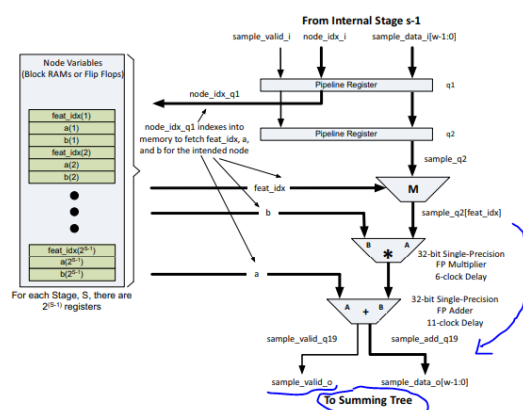


Figure 4. CRF leaf stage on a FPGA (implements leaf nodes)

- Reivindicación 6: 1) Sistema de aleatoriedad de Arboles Compacto: La Figura 2 ilustra una implementación básica de “Compact Random Forest” en un FPGA. La comunicación usa un núcleo de gigabit de ethernet interno existente. Al inicio, los datos del bosque se cargan en los flujos del árbol. Una vez configurado, los datos de muestra se transmiten al FPGA, donde ingresan a la línea de datos en el núcleo de CRF. El núcleo alinea los datos con las etapas en cada árbol. Las dimensiones del bosque son n árboles por etapas s, donde una etapa representa todos los nodos en un nivel y se analizará con más detalle a continuación. Las salidas de todos los árboles se suman, y el resultado (una palabra de punto flotante de precisión simple de 32 bits) se transmite de vuelta al host para su análisis final. La Figura 2 muestra una instancia del diseño de FPGA con un flujo de datos único compartido entre todos los árboles. Las flechas horizontales representan un punto en el que se utiliza el flujo para que cada árbol en el FPGA pueda usar los datos de muestra en paralelo.

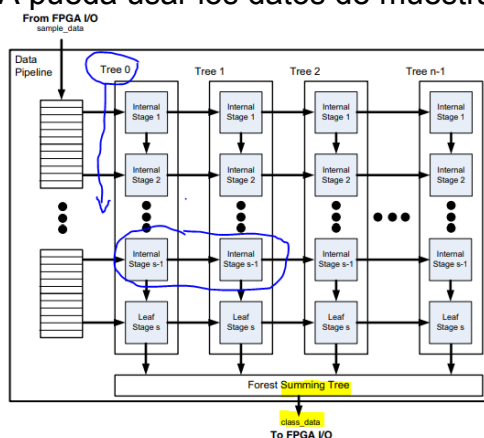


Figure 2. CRF on a FPGA

**REPÚBLICA DE COLOMBIA
SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO**

Oficio N° 3409

Ref. Expediente N° NC2016/0002623

Las reivindicaciones dependientes 3 y 4 a 6 no mencionan alguna característica que haga nuevo al sistema de la reivindicación 1, por lo cual se considera que no son nuevas.

La reivindicación 7 consiste en: *“Un método que comprende: proporcionar un vector de característica común a una pluralidad de procesadores de árbol de decisión implementados como circuitería (...)”* (Radicado NC2016/0002623 del 03 de octubre de 2016)

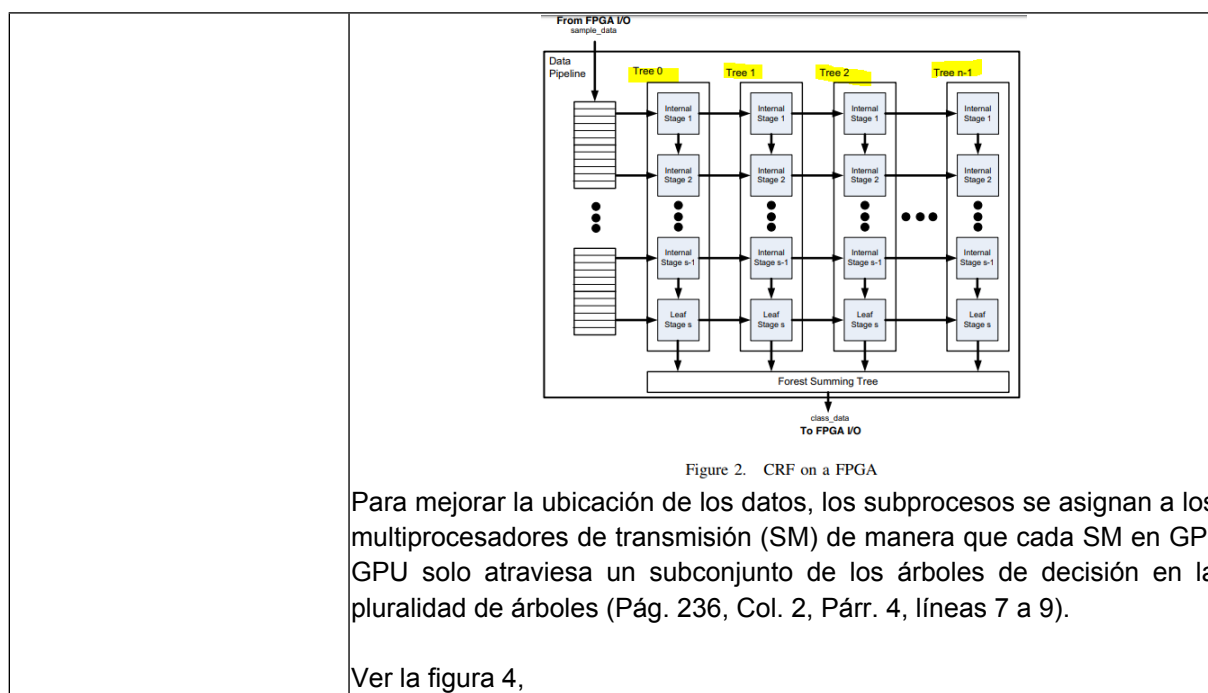
Tabla 2. Comparación de las características técnicas esenciales, con las del estado de la técnica:

Características esenciales	D1
Un método que comprende: proporcionar un vector de característica común a una pluralidad de procesadores de árbol de decisión implementados como circuitería dentro de un sistema de calificación de árbol de decisión en chip; y	Nuestro documento compara y contrasta la efectividad de las FPGA, las GP-GPU y las CPU multinúcleo para acelerar la clasificación utilizando modelos generados por clasificadores compactos de aprendizaje aleatorio de máquinas de árbol (Pág. 232, Col.1, Párr. 1, líneas 13 a 16). Ver la línea 2 del fragmento de código implementado en el cual se evidencia el uso de vectores para ejecutar el programa (Pág. 234, fragmento de código). <pre>#pragma omp parallel for shared(responses) for (int j=0; j<data->NumVectors(); j++) { real response=0; for(int i = 0; i < num_trees; i++) { // Forest int node_id=1; // Node ID real local_result = 0; for(int lvl = 0; lvl < max_depth; lvl++) { // Tree int node_idx = (i*num_nodes_per_tree)+node_id; real threshold = nodes[node_idx].thresholds; int feature_idx = nodes[node_idx].indices; real feature = data->FeatureColumn(feature_idx)[j]; if(lvl < max_depth - 1) { // Split node node_id = (node_id << 1) + (feature < threshold); } else { // Leaf node local_result = nodes[node_idx].weight * feature + nodes[node_idx].offset; } response+=local_result; } response=1/(1+exp(-response)); responses[j] = response; } }</pre>
Ejecutar, por la pluralidad de procesadores de árbol de decisión, una pluralidad de árboles de decisión, por referencia al vector de característica común.	Ver figura 2 donde se encuentra una pluralidad de árboles de decisión.

REPÚBLICA DE COLOMBIA
SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO

Oficio N° 3409

Ref. Expediente N° NC2016/0002623



De acuerdo con la tabla anterior, las características esenciales del método de la reivindicación 7 habían sido divulgadas previamente en el documento D1, por lo tanto, la materia reivindicada no es nueva.

En consecuencia, la reivindicación 7 no es nueva, según lo divulgado en el documento D1.

Asimismo, el documento D1 divulga las características de las reivindicaciones dependientes así:

- Reivindicación 8: Primero realizamos una prueba de extremo a extremo en un bosque parcial, utilizando una única placa FPGA y un núcleo Gigabit Ethernet interno existente para validar la corrección (Pág. 238, Col. 1, Párr. 1, líneas 3 a 6). Los resultados parciales se agregan localmente y luego combinados por el procesador host (Pág. 236, Col. 2, Párr. 4, líneas 5 y 6). Las figuras 2 y 4 presentan la ruta de la suma de cada árbol, en la cuales se presenta la recolección de las calificaciones enviadas por los usuarios a través de la red.

REPÚBLICA DE COLOMBIA

SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO

Oficio N° 3409

Ref. Expediente N° NC2016/0002623

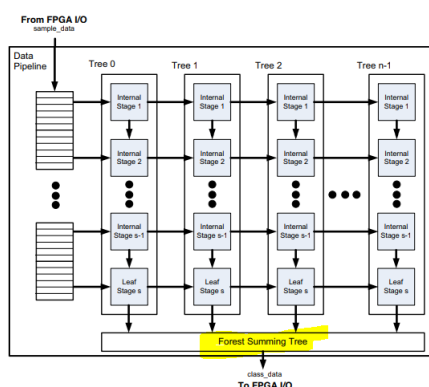


Figure 2. CRF on a FPGA

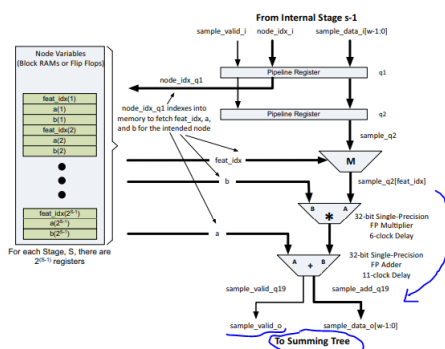


Figure 4. CRF leaf stage on a FPGA (implements leaf nodes)

Las reivindicación dependiente 8 no menciona alguna característica que haga nuevo al método de la reivindicación 7, por lo cual se considera que no es nueva.

Nivel Inventivo (Art. 18 D486)

La reivindicación 2 consiste en: “El sistema de hardware de calificación de árbol de decisión en chip de acuerdo con la reivindicación1, en donde el primero de la pluralidad de procesadores de árbol de decisión además (...)”: (Radicado NC2016/0002623 del 03 de octubre de 2016).

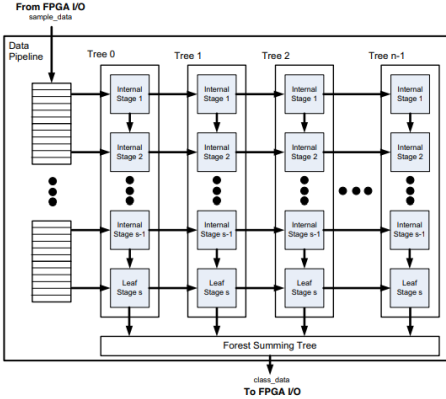
Tabla 3. Comparación de las características técnicas esenciales, con las del estado de la técnica:

Reiv.	Características esenciales	D1
1	Un sistema de hardware de calificación de árbol de decisión en chip que comprende (...)	Ver tabla 1.
2	El sistema de hardware de calificación de árbol de decisión en chip de acuerdo con la reivindicación 1, en donde el primero de la pluralidad de procesadores de árbol de decisión además ejecuta un primero de	En el FPGA, el procesamiento de cada árbol de decisión se puede ejecutar en paralelo con hardware independiente y el procesamiento de cada árbol se puede canalizar. La GP-GPU utilizará el paralelismo de nivel de subprocesos masivo con muchos subprocesos por multiprocesador de transmisión (Pág. 233, Col. 1, Párr. 2, líneas 8 a 12). Ver figura 2, en la cual se muestra cada árbol en el cual se ejecutan varios procesos en paralelo.

REPÚBLICA DE COLOMBIA
SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO

Oficio N° 3409

Ref. Expediente N° NC2016/0002623

	los árboles de decisión con respecto al vector de característica común concurrentemente con la ejecución del segundo del árbol de decisión con respecto al vector de característica común por un segundo de los procesadores de árbol de decisión.	 Figure 2. CRF on a FPGA No menciona “concurrentemente con la ejecución”
--	---	--

El documento D1 se considera el estado de la técnica cercano a la invención definida en la reivindicación 7 porque divulga una comparación y contraste de la efectividad de las FPGA, las GP-GPU y las CPU multinúcleo para acelerar la clasificación utilizando modelos generados por clasificadores compactos de aprendizaje aleatorio de sistemas de árbol. Aprovechando los algoritmos de entrenamiento que pueden producir arboles compactos aleatorios compuestos de muchos árboles pequeños en lugar de menos, árboles profundos, permite regular el sistema de árbol de modo que la clasificación de cualquier muestra tome una cantidad de tiempo determinista (Pág. 3, Col. 1, Párr. 1, líneas 12 a 15).

La diferencia entre la invención definida en la reivindicación 2 y la comparación de los sistemas de hardware divulgado en D1 consiste en ejecutar un primero de los árboles de decisión con respecto al vector de característica común concurrentemente con la ejecución del segundo del árbol de decisión con respecto al vector de característica común por un segundo de los procesadores de árbol de decisión.

El efecto que se logra por el hecho de incluir el ejecutar un primero de los árboles de decisión con respecto al vector de característica común concurrentemente con la ejecución del segundo del árbol de decisión con respecto al vector de característica común por un segundo de los procesadores de árbol de decisión es que se pueden ejecutar varias tareas al mismo tiempo y de forma independiente por lo cual permite optimizar los tiempos de ejecución de distintas tareas.

REPÚBLICA DE COLOMBIA
SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO

Oficio N° 3409

Ref. Expediente N° NC2016/0002623

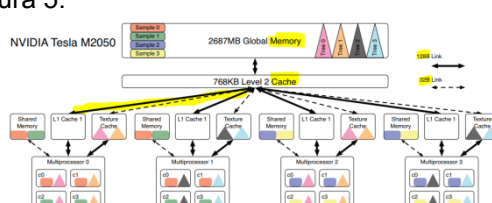
Por lo tanto, el problema técnico objetivo que pretende resolver esta invención se puede formular así: ¿cómo modificar alguno de los sistemas conocidos en D1 para realizar una ejecución concurrente y hacerlos más eficientes?

Sin embargo, la utilización de una ejecución concurrente para optimizar los tiempos de ejecución en distintas tareas es conocida por una persona de oficio normalmente versada en la materia².

En consecuencia, la persona del oficio normalmente versada en la materia incluiría una ejecución concurrente en los sistemas divulgados en el documento D1 para llegar así al objeto de la reivindicación 2 de la solicitud. Por lo cual se considera obvia.

La reivindicación 9 consiste en: *“El método de acuerdo con la reivindicación 7, en donde el vector de característica común se almacena (...)”*: (Radicado NC2016/0002623 del 03 de octubre de 2016).

Tabla 4. Comparación de las características técnicas esenciales, con las del estado de la técnica:

Reiv.	Características esenciales	D1
7	Un método que comprende: proporcionar un vector de característica común a una pluralidad de procesadores de árbol de decisión (...)	Ver tabla 2.
9	El método de acuerdo con la reivindicación 7, en donde el vector de característica común se almacena en un almacenamiento de característica, el método además comprende concurrentemente:	Ver figura 5.  Además, tenemos aspectos relacionados de la jerarquía de memoria tales como tamaño, acceso compartido, alineación y patrón de acceso al parámetros del

² https://ac.els-cdn.com/S1697791211700176/1-s2.0-S1697791211700176-main.pdf?_tid=199932fa-f014-4932-829e-67c34783c259&acdnat=1520958106_92af051d70d8ba4acd68547aade71d1e

REPÚBLICA DE COLOMBIA
SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO

Oficio N° 3409

Ref. Expediente N° NC2016/0002623

		algoritmo de clasificación de la dimensión del bosque, árbol forma y tamaño de muestra (Pág. 239, Col. 1, Párr. 9, líneas 7 a 10). No menciona “<i>concurrentemente con la ejecución</i>”
9	Cargar otro vector de característica en el almacenamiento de característica; y	Para ejecutar el ciclo for externo en paralelo, agregamos un pragma OpenMP en la primera línea del fragmento de código (Pág. 234, Párr. 1, líneas 12 a 14). Ver la línea 2 del fragmento de código implementado en el cual se evidencia el uso de vectores para ejecutar el programa (Pág. 234, fragmento de código). <pre>#pragma omp parallel for shared(responses) for (int j=0; j<data->NumVectors(); j++) { real response=0; for(int i = 0; i < num_trees; i++) { // Forest int node_id=1; // Node ID real local_result = 0; for(int lvl = 0; lvl < max_depth; lvl++) { // Tree int node_idx = (i*num_nodes_per_tree)+node_id; real threshold = nodes[node_idx].thresholds; int feature_idx = nodes[node_idx].indices; real feature = data->FeatureColumn(feature_idx)[j]; if(lvl < max_depth - 1) { // Split node node_id = (node_id << 1) + (feature < threshold); } else { // Leaf node local_result = nodes[node_idx].weight * feature + nodes[node_idx].offset; } response+=local_result; } response=1/(1+exp(-response)); responses[j] = response; } }</pre>
9	Ejecutar, por al menos uno de los procesadores de árbol de decisión, al menos uno de la pluralidad de árboles de decisión, la ejecución incluye leer una o más características del vector de característica común del almacenamiento de característica.	Ver figura 2.

El documento D1 se considera el estado de la técnica cercano a la invención definida en la reivindicación 7 porque divulga una comparación y contraste de la efectividad de las FPGA, las GP-GPU y las CPU multinúcleo para acelerar la clasificación utilizando modelos generados por clasificadores compactos de aprendizaje aleatorio de sistemas de árbol. Aprovechando los algoritmos de entrenamiento que pueden producir arboles compactos aleatorios compuestos de muchos árboles pequeños en

**REPÚBLICA DE COLOMBIA
SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO**

Oficio N° 3409

Ref. Expediente N° NC2016/0002623

lugar de menos, árboles profundos, permite regular el sistema de árbol de modo que la clasificación de cualquier muestra tome una cantidad de tiempo determinista (Pág. 3, Col. 1, Párr. 1, líneas 12 a 15).

La diferencia entre la invención definida en la reivindicación 9 y la comparación de los sistemas de hardware divulgado en D1 consiste en que el método es concurrente.

El efecto que se logra por el hecho de incluir que el método sea concurrente es que se pueden ejecutar varias tareas al mismo tiempo y de forma independiente por lo cual permite optimizar los tiempos de ejecución de distintas tareas.

Por lo tanto, el problema técnico objetivo que pretende resolver esta invención se puede formular así: ¿cómo modificar alguno de los sistemas conocidos en D1 para realizar una ejecución concurrente y hacerlos más eficientes?

Sin embargo, que el método sea concurrente para optimizar los tiempos de ejecución en distintas tareas es conocida por una persona de oficio normalmente versada en la materia³.

En consecuencia, la persona del oficio normalmente versada en la materia incluiría un método concurrente en los sistemas del documento D1 para llegar así al objeto de la reivindicación 2 de la solicitud. Por lo cual se considera obvia.

6. Conclusión

Los requisitos de Patentabilidad de la presente solicitud están afectados así:

Ítem	Documento	Reivindicaciones afectadas	Requisito que afecta
D1	Essen (2012)*	1 y 4 a 8	Novedad
		2 y 9	Nivel inventivo

En cumplimiento del artículo 45, de la Decisión 486 de la Comisión de la Comunidad Andina, se le indica que debe dar respuesta dentro del término de sesenta (60) días contados a partir de la fecha de notificación de la presente comunicación. En caso de

3 https://ac.els-cdn.com/S1697791211700176/1-s2.0-S1697791211700176-main.pdf?_tid=199932fa-f014-4932-829e-67c34783c259&acdnat=1520958106_92af051d70d8ba4acd68547aade71d1e



REPÚBLICA DE COLOMBIA
SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO

Oficio N° 3409

Ref. Expediente N° NC2016/0002623

no dar respuesta al presente requerimiento, o si a pesar de la respuesta subsistieran los impedimentos para la concesión, se denegará la patente.

Si como respuesta a este requerimiento el solicitante llegara a modificar: i) el capítulo reivindicatorio, ii) la descripción de la invención a proteger, iii) o presente un nuevo capítulo reivindicatorio, y desee que se realice un nuevo examen de patentabilidad a esta modificación, no deberá pagar la tasa de modificación voluntaria pero sí la correspondiente a la tasa de examen de patentabilidad. En todo caso, el número de requerimientos por no patentabilidad estará supeditado a que el término del estudio de patentabilidad no sea superior a 18 meses, contados desde la publicación de la solicitud de patente de invención. Adicionalmente, se le recuerda al solicitante que si como respuesta a este requerimiento llegara a modificar el capítulo reivindicatorio y éste contenga más de diez (10) reivindicaciones deberá pagar la tasa por reivindicación adicional.

Se invita al solicitante se sirva indicar, si así lo considera, su renuncia al término faltante para los sesenta (60) días.

Notifíquese el presente oficio conforme a lo dispuesto en el Título I, Actuaciones ante la Superintendencia de Industria y Comercio; Capítulo sexto, publicación, comunicación, notificación y ejecutoria de las decisiones de la Superintendencia de Industria y Comercio, informándoles que contra el mismo no procede el recurso de la vía gubernativa.

Atentamente,



[DirectorName]

DIRECTOR DE NUEVAS CREACIONES

Elaborado: FREDDY ALEXANDER VELANDIA VIVAS

Revisado: SONIA ANDREA DÍAZ PIRAZÁN

Aprobado: JOSÉ LUIS SALAZAR LÓPEZ