

LO SE REIVINDICA ES:

1. Un núcleo canalizado algorítmico reutilizable, que comprende:

una unidad de procesamiento;

5 un arreglo de puertas programables de campo reconfigurables, en donde las puertas programables de campo son programadas por un compilador canalizado de correlación algorítmica, de modo que el compilador canalizado de correlación algorítmica precompila el código fuente diseñado para funcionar en un
10 procesador estándar sin procesamiento paralelo para procesamiento por la unidad de procesamiento; y la unidad de procesamiento y el compilador canalizado de correlación algorítmica configuran las puertas programables de campo para que funcionen como procesadores canalizados paralelos.

15 2. El núcleo de la reivindicación 1, en el que el compilador canalizado de correlación algorítmica es un precompilador.

3. El núcleo de la reivindicación 2, en el que el precompilador está configurado para precompilar un lenguaje de software de nivel superior estándar escrito no para el núcleo sino para un
20 tipo de procesador convencional no reconfigurable, y el precompilador genera código de máquina para el núcleo utilizando el tipo del procesador convencional no reconfigurable para el cual se escribió el lenguaje de software de nivel superior estándar para generar código de máquina para

configurar el arreglo de puertas reconfigurables, programables en el campo.

4. El núcleo de la reivindicación 3, en el que el lenguaje de software de nivel superior estándar es C o C ++.

5 5. El núcleo de la reivindicación 2, en el que el núcleo comprende un conjunto de computadoras configuradas para procesar algoritmos según sea necesario para un cálculo particular, en función de la salida del precompilador.

10 5. El núcleo de la reivindicación 1, en el que las puertas programables de campo están configuradas para completar tareas sin más sobrecarga desde la unidad de procesamiento.

6. El núcleo de la reivindicación 5, que comprende además un controlador de bus inteligente o procesador lógico, en el que el controlador de bus inteligente o procesador lógico realiza
15 todas las funciones lógicas procesadas por el núcleo.

7. El núcleo de la reivindicación 5, que comprende además un procesador lógico y un conmutador de bus maestro, y el procesador lógico comprende funciones lógicas reconfigurables para controlar el conmutador de bus maestro.

20 8. El núcleo de la reivindicación 7, que comprende además un procesador de señal digital, en el que el procesador de señal digital comprende un procesador matemático reconfigurable para realizar cálculos matemáticos.

9. El núcleo de la reivindicación 8, donde el conmutador de bus maestro es un enrutador o conmutador de bus matricial que comprende un circuito programable de manera reconfigurable por el precompilador y la unidad de procesamiento, de modo que los
5 datos y resultados se enrutan desde el núcleo a otro núcleo para completar un algoritmo , sin ninguna intervención adicional de un procesador central o periférico durante el procesamiento del algoritmo, reduciendo la sobrecarga por canalización en comparación con hardware estático y no
10 configurable, que requiere intervención de un procesador central o procesador periférico para dirigir datos y resultados dentro y fuera de las unidades de procesamiento aritmético.

10. El núcleo de la reivindicación 9, en el que el procesador lógico procesa las decisiones lógicas y los bucles iterativos
15 y la memoria de resultados es proporcionada por el procesador lógico para aprender algoritmos.

11. Un sistema que comprende una pluralidad de núcleos según la reivindicación 1, que comprende los pasos de:
procesar todas las operaciones matemáticas usando procesadores
20 de señal digital de uno o más de la pluralidad de núcleos; y
procesar todas las funciones lógicas usando uno o más de los procesadores lógicos de uno o más de la pluralidad de núcleos.

12. El sistema de la reivindicación 11, que comprende además la etapa de configurar la pluralidad de núcleos como un

conjunto de núcleos y cada uno de los grupos de núcleos se puede reconfigurar por programación, solo, sin ningún cambio en el hardware.

13. El sistema según la reivindicación 12, en el que la etapa
5 de configuración configura toda la pluralidad de núcleos para procesar algoritmos en paralelo sin ninguna intervención adicional desde un procesador central o periférico para dirigir datos y resultados en unidades de procesamiento fuera de aritmética.

10 14. El sistema según la reivindicación 13, en el que el compilador canalizado de correlación algorítmica es un precompilador, y el procesador lógico de cada uno de la pluralidad de núcleos usa bloques de memoria configurados por el precompilador, como tablas de consulta y registros para
15 constantes o valores aprendidos.

15. El sistema de la reivindicación 14, que comprende además configurar la tabla de consulta por el procesador lógico, en el que la tabla de búsqueda es una tabla de búsqueda de n bits, y la tabla de búsqueda de n bits se utiliza para codificar una
20 función lógica booleana de n - bit como tablas de verdad.

16. El sistema de la reivindicación 11 que comprende, además: generar código de máquina a partir de un lenguaje de software de nivel superior estándar escrito para un procesador de computadora de propósito general convencional, no

reconfigurable y no canalizado, usando el compilador canalizado de correlación algorítmica para uno o más de la pluralidad de núcleos.

17. El sistema según la reivindicación 16, en el que el lenguaje
5 de software de nivel superior estándar está escrito para un tipo de procesador convencional no reconfigurable, y el paso de generar código de máquina comprende el compilador canalizado de correlación algorítmica como precompilador, que utiliza el tipo de procesador convencional no reconfigurable para generar
10 código de máquina para configurar el arreglo de puertas reconfigurables y programables en el campo de cada uno de la pluralidad de núcleos.

18. El sistema de la reivindicación 17, en el que el sistema comprende al menos un procesador del tipo de procesador
15 convencional no reconfigurable para el cual se escribe el lenguaje de software de nivel superior estándar, y el al menos un procesador del tipo de procesador convencional no reconfigurable para el cual se escribe el lenguaje de software de nivel superior estándar genera el código de máquina para
20 configurar el arreglo de puertas reconfigurables y programables en el campo de cada uno de la pluralidad de núcleos.

19. El sistema según la reivindicación 18, en el que cada uno de la pluralidad de núcleos está configurado para resolver de forma independiente algoritmos matemáticos y lógicos complejos

sin intervención adicional del al menos un procesador del tipo de procesador convencional no reconfigurable para el cual está escrito el lenguaje de software de nivel superior estándar.

20. El sistema de la reivindicación 19, que comprende además
5 introducir valores en el sistema, y el sistema envía una solución a un conmutador de bus maestro del sistema, sin más intervención.

21. El sistema de la reivindicación 20, en el que la pluralidad de núcleos comprende 2000 núcleos.

10 22. El sistema de la reivindicación 21, en el que el sistema opera 360 billones de instrucciones por segundo con una velocidad de reloj de 500 MHz.

23. El sistema de la reivindicación 22, en el que el sistema tiene una latencia para la entrada de datos, pero la
15 canalización reduce la sobrecarga de manera que el sistema está configurado para ejecutar un cálculo y generar un resultado en cada reloj desde cada núcleo después de que se inicia la latencia.