

AMPLIFICADOR DE POTENCIA DE MATRIZ

ANTECEDENTES

Esta invención se refiere a amplificadores de potencia, por ejemplo, amplificadores de potencia que incluyen al menos una matriz bidimensional de transistores y que se pueden ser sintonizados para que coincidan con la impedancia de una antena u otra carga.

Los transistores son dispositivos que pueden amplificar una señal de control que se ingresa en un terminal de control. Los transistores pueden estar hechos de una variedad de materiales diferentes, pueden tener una variedad de geometrías diferentes y pueden operar de acuerdo con una variedad de mecanismos físicos diferentes. Los materiales de ejemplo incluyen silicio, arseniuro de galio, nitruro de galio y carburo de silicio. Estos y otros materiales pueden usarse para formar dispositivos como transistores bipolares y transistores de efecto de campo que incluyen terminales de control aislados (por ejemplo, IGBT, MOSFET, HEMT o HFET) o que incluyen terminales de control hechos de uniones PN (por ejemplo, BJT o JFET).

Independientemente de los materiales y las estructuras del dispositivo, todos los transistores tienen límites fundamentales en sus rangos de operación seguros. Por ejemplo, si se aplica una tensión excesivamente grande a través de los terminales principales, puede producirse una ruptura dieléctrica y el transistor puede dañarse o destruirse. Como otro ejemplo, si una corriente excesivamente grande fluye entre los terminales principales, entonces el transistor también puede dañarse o destruirse.

Aunque los rangos operacionales de los transistores individuales pueden ser adecuados para algunas aplicaciones, pueden ser insuficientes para cumplir con los requisitos de otros. Por ejemplo, algunas aplicaciones pueden requerir voltajes que excedan el voltaje de ruptura o corrientes que excedan las corrientes máximas de transistores incluso bien diseñados. Los ejemplos de tales aplicaciones incluyen antenas de conducción para la transmisión de, por ejemplo, señales de radar y señales de comunicación (por ejemplo, para comunicaciones por satélite y transmisiones terrestres en contextos tanto militares como civiles).

En tales aplicaciones, los transistores individuales se pueden agrupar para manejar grandes voltajes y/o corrientes como un grupo. Por ejemplo, los transistores individuales se pueden apilar (o "apilar en serie") de modo que casi toda la corriente que fluye a través de los terminales principales del primer transistor en la pila también fluya a través de los terminales principales de los transistores subsiguientes en el apilar. Cada uno de los transistores en la pila es compatible con una parte del voltaje que impulsa esta corriente. El voltaje total admitido en la pila de transistores puede exceder el voltaje de ruptura de los transistores individuales.

Como otro ejemplo, los transistores individuales pueden ser paralelos de modo que esencialmente el mismo voltaje se acopla a través de los terminales principales de múltiples transistores. Cuando múltiples transistores son conductores, el flujo de corriente neta a través del grupo puede exceder la corriente máxima de los transistores constituyentes individuales.

En los modelos idealizados de señales pequeñas, la transferencia de potencia desde una fuente de señal a una carga puede mejorarse haciendo coincidir la impedancia de salida de la fuente (también conocida como "la impedancia de la fuente") con la impedancia de la carga. En tales modelos, la máxima potencia posible se transfiere cuando la impedancia de la carga es exactamente igual al complejo conjugado de la impedancia de la fuente en un rango infinito de frecuencias.

Sin embargo, en aplicaciones del mundo real, de señal grande, la "impedancia de la fuente" no está definida correctamente o, estrictamente hablando, no existe debido a la falta de linealidad o la ley de superposición faltante. Sin embargo, la teoría y la práctica muestran que se transfiere una parte suficientemente grande de la potencia (es decir, la eficacia de potencia añadida (PAE) es suficientemente alta) para ciertos valores de la impedancia de carga. El término "impedancia de carga óptima" se usa en el presente documento para caracterizar las circunstancias en las que se transfiere una parte suficientemente grande de la potencia en un intervalo de frecuencias operacionales de interés.

RESUMEN

Se describen amplificadores de potencia que incluyen al menos una matriz bidimensional de celdas activas. Las celdas activas son generalmente transistores individuales. La matriz bidimensional de transistores está formada por pilas de múltiples celdas activas que están acopladas en paralelo, formando así una "matriz

bidimensional". Cada pila en la matriz puede soportar un voltaje relativamente grande mientras conduce una corriente dada. Cada pila se puede considerar una fuente que tiene su propia impedancia de carga óptima, relativamente grande. Sin embargo, dado que las pilas están acopladas en paralelo, la matriz bidimensional tiene una impedancia neta que es una fracción de la impedancia de las pilas constituyentes. Por lo tanto, la impedancia de la matriz como un todo se puede adaptar para que coincida con la impedancia de una carga y transferir una parte relativamente grande de la potencia en un rango de frecuencias operacionales de interés.

Más detalladamente, la impedancia de un puerto de entrada ("Z_{in_port}") y un puerto de salida ("Z_{out_port}") -- y la impedancia de la distribución de potencia y los carriles de recolección correspondientes-- de un amplificador de potencia de matriz es en gran medida independiente del número de celdas activas en el amplificador. En cambio, Z_{in_port} y Z_{out_port} solo dependen de la relación del número de filas N y el número de columnas M, así como de la impedancia de entrada y salida de las celdas activas individuales (es decir, "Z_{cell_in}" y "Z_{cell_out}", respectivamente). En particular,

$$Z_{in_port} = \frac{N}{M} * Z_{cell_in}$$

Ecuación 1

y

$$Z_{out_port} = \frac{N}{M} * Z_{cell_out}$$

Ecuación 2

En general, Z_{cell_in} y Z_{cell_out} son adaptables en un rango relativamente limitado (por ejemplo, adaptando la geometría del dispositivo de celda activo y otras propiedades). Sin embargo, la relación entre el número de filas y el número de columnas (N/M) en un amplificador de potencia de matriz es mucho más fácil de ajustar. Por lo tanto, controlando todos estos parámetros, se pueden lograr amplificadores de potencia de matriz de entradas arbitrarias e impedancias de puertos de salida.

El ancho de banda de un amplificador de potencia de matriz está limitado solo por el ancho de banda de las celdas individuales y la coincidencia de las impedancias de puerto de entrada/salida de valores complejos Z_{in_port} y Z_{out_port} con la impedancia del sistema Z₀ (de valor real). Como la relación N/M no está restringida a ningún número particular de celdas activas (por ejemplo, una matriz 10x10 de 100 celdas activas tiene la misma relación N/M que una matriz 4x4 de 16 celdas activas),

la potencia de salida alcanzable no está limitada por el número de celdas activas. Por el contrario, la potencia de salida alcanzable está limitada por las consideraciones del mundo real descritas anteriormente (que incluyen, por ejemplo, magnitud residual y errores de fase, pérdidas finitas de las redes de adaptación de potencia dentro del amplificador de potencia de matriz). En ausencia de tales no idealidades, la potencia de salida teórica aumentaría en proporción al tamaño de la matriz $N \times M$.

Los amplificadores de potencia de matriz descritos en este documento pueden usar estructuras de controlador de entrada activas o pasivas que impulsan de manera individual y sincrónica las celdas activas del amplificador de potencia de matriz bidimensional. En una matriz bidimensional ideal, cada una de las celdas activas recibiría una señal de accionamiento separada pero idéntica en su terminal de control respectivo. Además, no se perdería ninguna corriente al manejar los terminales de control. Aunque tal comportamiento ideal es imposible de lograr debido a una variedad de realidades físicas (por ejemplo, pequeños desajustes en las características físicas de los componentes, capacitancias parásitas e inductancias, etc.), la activación de las celdas activas en los amplificadores de potencia descritos en este documento es suficientemente sincrónico para proporcionar una salida de potencia total que es aproximadamente $N \times M$ veces la potencia de salida efectiva de una sola celda en la matriz, donde N es el número de filas en la matriz y M es el número de columnas.

En algunas implementaciones, los amplificadores de potencia descritos en este documento pueden incluir un "retorno de seguidor de fuente activa". En particular, un retorno de seguidor de fuente activa puede implementarse mediante un par de amplificadores de matriz que son accionados por señales de activación de polaridad opuesta. Los dos amplificadores de matriz se ensamblan en una topología complementaria o cuasi complementaria para, respectivamente, "empujar hacia arriba" y "desplegar" la salida. En algunas implementaciones, los retornos del seguidor de fuente activa pueden implementarse como un dispositivo (monolítico) de circuito integrado de microondas (MIC). En tales casos, el retorno del seguidor de la fuente activa puede emitir señales de alta tensión y corriente, conservando las otras ventajas de los dispositivos de circuitos integrados.

En algunas implementaciones, los terminales de control de las celdas activas de los amplificadores de potencia de matriz están acoplados en filas, en columnas o en filas y columnas utilizando líneas de transmisión que son adecuadas para

transmitir señales de accionamiento de frecuencia de microondas o de onda milimétrica y (casi) conduciendo sincrónicamente las celdas activas. En general, la impedancia característica de las líneas de transmisión puede seleccionarse para que sea $50\ \Omega$. Sin embargo, en algunas circunstancias (por ejemplo, celdas de transistor grandes), puede ser ventajoso seleccionar un valor de impedancia inferior (por ejemplo, $20\ \Omega$ o incluso $10\ \Omega$) para la coincidencia de entrada y salida de las celdas activas dentro del amplificador matriz, especialmente si se requieren altos anchos de banda absolutos o relativos. Como otro ejemplo, las longitudes de las líneas de transmisión no son cero (es decir, los terminales de control de las celdas activas no están acopladas directamente) sino que las longitudes pueden seleccionarse de modo que la distribución de señales de accionamiento a diferentes terminales de control sea casi idéntica y pueda lograrse una conducción casi sincrónica de las celdas activas. Al tener longitudes de línea de transmisión diferentes de cero, las celdas activas vecinas se pueden separar físicamente entre sí y el acoplamiento térmico entre celdas activas se puede reducir suficientemente para permitir que se amplifiquen incluso potencias relativamente grandes.

Los amplificadores de potencia de matriz descritos en la presente memoria amplifican una señal de RF emitida por una fuente de RF. La señal de RF se puede acoplar a los amplificadores de potencia de matriz en una variedad de formas diferentes. Por ejemplo, en algunas implementaciones, la señal de RF se puede acoplar:

- directamente en las celdas activas en la fila inferior del amplificador de potencia de matriz (es decir, sin un controlador activo intermedio (pero opcionalmente con una red de adaptación de impedancias pasiva) entre la fuente de RF y las celdas activas, y

- en otras celdas activas del amplificador de potencia de matriz mediante un controlador activo intermedio en la base de un controlador de columna.

Se muestran ejemplos de tales amplificadores de potencia de matriz, por ejemplo, en las FIGS. 9, 10, 11. En estas implementaciones, si se supone que la salida de potencia de todas las celdas activas en la fila inferior (por ejemplo, $P_{out,BC}$) es idéntica (como sería el caso si esas celdas activas y la distribución de potencia a esas las celdas fuera idénticas), entonces la salida de potencia del amplificador de potencia de matriz (es decir, P_{out}) es aproximadamente igual al producto de la salida

de potencia de las celdas individuales en la fila inferior y el número total de celdas activas, o

$$P_{out} = N \cdot M \cdot P_{out,BC}$$

Ecuación 3.

5

Además, la ganancia de cada celda activa (es decir, G_{BC}) está dada por la salida de potencia de esa celda activa (es decir, $P_{out,BC}$) para una entrada de potencia dada en esa celda activa. Suponiendo que la potencia se divide uniformemente entre las celdas activas en la fila inferior y el controlador activo en la base de un controlador de columna, la entrada de potencia en cada celda activa en la fila inferior viene dada por la entrada total de potencia (es decir, P_{in}) dividido por la suma de la cantidad de columnas (es decir, M) + 1 para tener en cuenta el controlador activo en la base de un controlador de columna, o

10

$$P_{in} = (M+1) \cdot P_{out,BC} / G_{BC}$$

Ecuación 4.

15

Por lo tanto, la ganancia de potencia total del amplificador matriz (es decir, G_{2D}) viene dada por:

$$G_{2D} = P_{out} / P_{in} = N \cdot M / (M+1) \cdot G_{BC}$$

Ecuación 5.

20

Como otro ejemplo, en algunas implementaciones, la señal de RF se puede acoplar:

25

-directamente en las celdas activas en la fila inferior del amplificador de potencia de matriz (es decir, sin un controlador activo intermedio (pero opcionalmente con una red de adaptación de impedancia pasiva) entre la fuente de RF y las celdas activas), y

30

-directamente en otras celdas activas del amplificador de potencia de matriz (es decir, sin un controlador activo intermedio (pero opcionalmente con una red de adaptación de impedancia pasiva) entre la fuente de RF y las celdas activas).

Se muestran ejemplos de tales amplificadores de potencia de matriz, por ejemplo, en las FIGS. 4-8. En estas implementaciones, la salida de potencia del amplificador de potencia de matriz y la ganancia de potencia total del amplificador matriz es la misma que se da en las Ecuaciones 3, 4, 5.

35

Sin embargo, en estas implementaciones, la ganancia de potencia efectiva del amplificador de matriz y la potencia máxima de salida de las celdas activas de potencia individuales en la matriz disminuyen con frecuencia creciente porque la potencia de entrada necesaria para cada celda no puede transferirse a la salida.

5

Como otro ejemplo, en algunas implementaciones, la señal de RF se puede acoplar:

-en todas las celdas activas---incluidas las de la fila inferior -- del amplificador de potencia de matriz por medio de un controlador activo interviniente.

Se muestra un ejemplo de dicho amplificador de potencia de matriz, por ejemplo, en la FIG. 3. En dichos amplificadores de potencia de matriz, la entrada de potencia en cada celda activa en el amplificador de potencia de matriz viene dada por la entrada de potencia total (es decir, P_{in}) dividida por el número total de celdas activas. En otras palabras, la entrada de potencia en cada celda activa es la entrada de potencia total (es decir, P_{in}) dividida por el tamaño de matriz $N \times M$. Por lo tanto, asumiendo celdas activas idénticas,

10

15

$$P_{in} = (N \times M) \times P_{out,BC} / G_{BC}$$

Ecuación 6.

20

Por lo tanto, la ganancia de potencia total del amplificador de matriz (es decir, G_{2D}) viene dada por:

$$G_{2D} = P_{out} / P_{in} = G_{BC}$$

Ecuación 7.

25

Dichos amplificadores de potencia de matriz no tienen ninguna multiplicación de ganancia resultante de las dimensiones de la matriz.

Como otro ejemplo más, en algunas implementaciones, la señal de RF se puede acoplar:

30

-en una única celda del controlador inferior de un controlador de columna el amplificador de potencia de matriz.

Las celdas activas en la fila inferior y las filas superiores del amplificador de potencia de matriz pueden ser accionadas por una cadena o pila de baluns activos o amplificadores diferenciales. Cada dispositivo activo puede conducir todas las celdas activas en una fila correspondiente.

35

Se muestran ejemplos de dicho amplificador de potencia de matriz, por ejemplo, en la FIG. 12. En dichos amplificadores de potencia de matriz, la entrada de potencia completa en el amplificador de potencia de matriz se proporciona a la celda activa inferior. Por lo tanto,

5

$$P_{in} = P_{out,BC}/G_{SBC}$$

Ecuación 8

y la ganancia de potencia total del amplificador de matriz (es decir, G2D) está dada por:

10

$$G_{2D} = P_{out}/P_{in} = N * M * G_{SBC}$$

Ecuación 9.

15

Este es el caso ideal teórico de un amplificador de potencia de matriz 2D ideal con una columna activa de controlador donde solo la celda inferior de este controlador es impulsada por la fuente de entrada de RF.

20

A la luz de esto, se pueden describir diversos aspectos de un amplificador de potencia de matriz. En un primer aspecto, un amplificador de potencia incluye una entrada de amplificador y una salida de amplificador, una pluralidad de N veces M celdas activas, en donde N y M son ambos ≥ 2 y las celdas activas están cableadas como una matriz MxN, y al menos una estructura de controlador para controlar las celdas activas. Se aplica uno de a), b) o c), donde cuando se aplica a), las columnas de matriz incluyen cada una N celdas activas acopladas en serie y accionadas como una pila, en donde las pilas se acoplan en paralelo, cuando b) se aplica, las filas de matriz incluyen cada una M celdas activas acopladas para ser accionadas en paralelo, en donde al menos dos filas de matriz están acopladas en serie, y cuando se aplica c), las columnas de matriz incluyen cada una N celdas activas acopladas en serie y accionadas como una pila. Las pilas se acoplan en paralelo y las filas de la matriz incluyen cada una M celdas activas acopladas para ser impulsadas en paralelo. Al menos dos filas de matriz están acopladas en serie. Un terminal de control de cada celda activa está acoplado a la entrada del amplificador a través de una ruta de señal que incluye la estructura de entrada del controlador, donde las celdas activas son todas controlables por una entrada de señal eléctrica a la entrada del amplificador.

25

30

35

El primero y cualquier otro aspecto puede incluir una o más de las siguientes características. La estructura del controlador incluye una pluralidad de elementos de

accionamiento activos y la ruta de la señal que acopla el terminal de control de cada celda activa a la entrada del amplificador incluye los elementos de accionamiento. La ruta de señal que acopla el terminal de control de al menos algunas de las celdas activas a la entrada del amplificador incluye otras de las celdas activas. El terminal de control de cada celda activa está acoplado a la entrada del amplificador para recibir una potencia de entrada sustancialmente igual. Las salidas de las celdas activas se acoplan de tal manera que se agregan los voltajes de salida de las celdas activas a lo largo de una columna y se agregan las corrientes de salida de las columnas en la salida del amplificador. Las salidas de las celdas activas se acoplan de tal manera que se agregan las corrientes de salida de las celdas activas a lo largo de una fila y los voltajes de salida de las filas se agregan a la salida del amplificador. Las señales de entrada a los terminales de control de los transistores en las celdas activas en la fila inferior de celdas activas están desequilibradas. Las señales de entrada a los terminales de control de los transistores en las celdas activas en las filas superiores de las celdas activas están equilibradas. El amplificador de potencia incluye un balun activo acoplado para convertir señales no balanceadas en señales de entrada balanceadas para las celdas activas en las filas superiores. Las señales de entrada balanceadas de las celdas activas en las filas superiores tienen una corriente y voltaje para que las corrientes y tensiones de salida de las celdas activas en las filas superiores coincidan con las corrientes de salida y los voltajes de las celdas activas en la fila inferior. Una diferencia entre una corriente de salida de una primera de las celdas activas y una corriente de salida de una segunda celda activa inmediatamente posterior en una misma columna es inferior al 10% de la corriente de salida de la primera de las celdas activas. Una diferencia entre una corriente de salida de la parte inferior de las celdas activas en una columna y una corriente de salida de una celda activa más alta en la columna es menos del 10% de la corriente de salida de la parte inferior de las celdas activas. La potencia de salida de cada una de las celdas activas es sustancialmente igual. Una potencia de salida del amplificador de potencia es sustancialmente igual a $N \times M$ la potencia de salida de cada una de las celdas activas. La al menos una estructura de controlador incluye una circuitería de acoplamiento de arranque para distribuir una señal de accionamiento desde un terminal principal de una celda activa a un terminal de control de otra celda activa. La circuitería de acoplamiento de arranque incluye un divisor de voltaje o un divisor de corriente para aplicar una parte de una tensión o corriente de salida de una primera celda activa a un terminal de control de una segunda celda activa. El circuito de acoplamiento de arranque remueve la señal de accionamiento del terminal principal de la primera celda activa en una columna al terminal de control de la segunda celda activa en la misma columna. La al menos

una estructura de controlador incluye un amplificador de controlador diferencial activo. La al menos una estructura de controlador incluye uno o más baluns pasivos. El amplificador de potencia c incluye a) una red de adaptación de impedancia de entrada, b) una red de adaptación de impedancia de salida, o c) una red de adaptación de impedancia de entrada y una red de adaptación de impedancia de salida. Al menos algunas de las celdas activas incluyen a) una red de adaptación de impedancia de entrada, b) una red de adaptación de impedancia de salida, o c) una red de adaptación de impedancia de entrada y una red de adaptación de impedancia de salida. Por ejemplo, todas las celdas activas pueden incluir una red de adaptación de impedancia de entrada y/o todas las celdas activas pueden incluir una red de adaptación de impedancia de salida. El amplificador de potencia incluye uno o más elementos de distribución para distribuir una señal desde la entrada del amplificador a los terminales de control de M transistores inferiores con un retardo sustancialmente igual. El amplificador de potencia incluye uno o más elementos de distribución para distribuir señales de accionamiento a terminales de control de las celdas activas en cada fila, en cada columna, o en cada fila y cada columna con retardos sustancialmente iguales. El amplificador de potencia incluye uno o más elementos de recolección para recoger las señales de salida de las celdas activas en cada fila, en cada columna, o en cada fila y cada columna con las señales de salida en fase. El amplificador de potencia incluye elementos de distribución para distribuir señales de accionamiento a terminales de control de las celdas activas en cada fila, en cada columna, o en cada fila y cada columna con diferentes retardos, y uno o más elementos de recolección para recoger las señales de salida del celdas activas en cada fila, en cada columna, o en cada fila y cada columna con las señales de salida desfasadas, donde los elementos de recolección incluyen retrasos para contrarrestar los retrasos de los elementos de distribución de modo que la potencia proporcionada a la salida del amplificador desde las celdas activas esté en fase. El amplificador de potencia se implementa en un circuito integrado, por ejemplo, en un circuito integrado de microondas monolítico, en un circuito integrado de microondas híbrido o en un módulo de múltiples chips. Las celdas activas incluyen cada una un transistor cuadripolar semiconductor controlado por carga, por ejemplo, en el que las celdas activas incluyen cada una un transistor de efecto de campo o un transistor bipolar. Cada una de las celdas activas incluye un transistor basado en un semiconductor III-V, por ejemplo, un transistor basado en AlGaIn/GaN o un transistor basado en GaAs. Cada una de las celdas activas incluye un transistor basado en silicio, por ejemplo, un transistor de heterounión SiGe. La pluralidad de celdas activas son parte de una etapa push-pull. La etapa de contrafase es una etapa de contrafase complementaria o casi complementaria que incluye una segunda

pluralidad de celdas activas. El amplificador de potencia incluye un acoplamiento entre la salida del amplificador y un terminal principal de un primer transistor en una celda activa en una de la pluralidad de celdas activas y un acoplamiento entre la salida del amplificador y un terminal de control del primer transistor. Los acoplamientos juntos son para polarizar el primer transistor en la conducción en antifase con una señal en la entrada del amplificador y por lo tanto imponer una operación antifásica de la segunda pluralidad de celdas activas con relación a la primera pluralidad de celdas activas. El acoplamiento entre la salida del amplificador y el terminal de control del primer transistor incluye una ruta de conducción entre un terminal principal de un transistor en un elemento controlador y la salida del amplificador y una ruta de conducción entre un terminal de control del transistor en el elemento controlador y el terminal de control del primer transistor. El acoplamiento entre la salida del amplificador y el terminal de control del primer transistor consiste en componentes pasivos. Cada celda activa incluye una pluralidad de transistores que están en paralelo. Cada celda activa incluye una matriz de transistores. El amplificador de potencia incluye primeras interconexiones entre los transistores que forman la matriz de transistores de cada celda activa y las segundas interconexiones entre las mismas celdas activas. Las primeras interconexiones se integran en un dispositivo semiconductor en un nivel diferente de las segundas interconexiones. El amplificador de potencia incluye una T de polarización que tiene un puerto de alta frecuencia acoplado a una carga en la salida del amplificador, un puerto combinado acoplado a pilas de la matriz bidimensional y un puerto de baja frecuencia acoplado a una fuente de DC.

En un segundo aspecto, un dispositivo incluye un conjunto de antena que tiene una impedancia de entrada y un amplificador de potencia del primer aspecto con o sin cualquiera de sus características o del tercer aspecto, en el que N y M están configurados de modo que una impedancia de carga óptima del amplificador de potencia coincide sustancialmente con la impedancia de entrada del conjunto de antena.

El segundo y cualquier otro aspecto puede incluir una o más de las siguientes características. Se puede lograr un coeficiente de reflexión entre -12 dB o menos en un ancho de banda limitado por el conjunto de antena.

En un tercer aspecto, un amplificador de potencia incluye una matriz bidimensional de celdas activas NxM formadas apilando terminales principales de múltiples celdas activas en serie, donde las pilas se acoplan en paralelo para formar

la matriz bidimensional. El amplificador de potencia incluye una estructura de controlador para coordinar la activación de las celdas activas de modo que la potencia de salida efectiva de la matriz bidimensional sea aproximadamente $N \times M$ la potencia de salida de cada una de las celdas activas.

5

El tercero y cualquier otro aspecto puede incluir una o más de las siguientes características. El amplificador de potencia incluye una T de polarización que tiene un puerto de alta frecuencia acoplado a una carga impulsada por la matriz bidimensional, un puerto combinado acoplado a pilas de la matriz bidimensional, y un puerto de baja frecuencia acoplado a una fuente de DC. El amplificador de potencia incluye una segunda matriz bidimensional de celdas activas formada apilando terminales principales de múltiples celdas activas en serie, en donde las pilas se acoplan en paralelo para formar la segunda matriz bidimensional. La matriz bidimensional y la segunda matriz bidimensional están acopladas para formar una etapa complementaria o cuasi complementaria. El amplificador de potencia incluye una segunda estructura de controlador para coordinar la activación de las celdas activas de la segunda matriz bidimensional en antifase con la activación de las celdas activas en la matriz bidimensional. El amplificador de potencia incluye un bucle de control que incluye un amplificador de error para emitir una señal de error representativa de una diferencia entre un voltaje de salida de DC deseado y un voltaje de salida real. La segunda estructura de controlador está acoplada para regular la tensión de salida de DC real en respuesta a la señal de error. La matriz bidimensional y la segunda matriz bidimensional están acopladas para formar la etapa complementaria. El amplificador de potencia incluye una segunda estructura de controlador para coordinar la activación de las celdas activas de la segunda matriz bidimensional en fase con la activación de las celdas activas en la matriz bidimensional. La estructura de controlador incluye un circuito de acoplamiento de arranque para distribuir una señal de accionamiento desde un terminal principal de una celda activa a un terminal de control de otra celda activa en la misma pila. La estructura de controlador incluye una pluralidad de controladores de matriz de balun pasivos desequilibrados a balanceados. La estructura de controlador incluye un controlador de fila para distribuir una señal de accionamiento para controlar terminales de una pluralidad de celdas activas en una pluralidad de pilas. El controlador de fila incluye una pluralidad de líneas de distribución para acoplar partes de una señal de activación a los terminales de control de una pluralidad de celdas activas con retardos apropiados para coordinar la conducción de corriente por las celdas activas. Cada una de las celdas activas incluye una pluralidad de transistores acoplados en paralelo. Cada una de las celdas activas incluye una

10

15

20

25

30

35

matriz bidimensional de transistores. El amplificador de potencia incluye primeras interconexiones entre los transistores que forman la matriz bidimensional de cada celda activa y las segundas interconexiones entre las mismas celdas activas. Las primeras interconexiones se integran en un dispositivo semiconductor en un nivel diferente de las segundas interconexiones. N no tiene que ser igual a M. Al menos algunas de las celdas activas incluyen una red de adaptación de impedancia de entrada. Al menos algunas de las celdas activas incluyen una red de adaptación de impedancia de salida.

En un cuarto aspecto, un dispositivo incluye un conjunto de antena que tiene una impedancia de entrada y un amplificador de potencia del tercer aspecto con o sin cualquiera de sus características o del primer aspecto, en el que N y M están configurados de modo que una impedancia de carga óptima del amplificador de potencia coincide sustancialmente con la impedancia de entrada del conjunto de antena.

El cuarto y cualquier otro aspecto puede incluir una o más de las siguientes características. Se logra un coeficiente de reflexión de -12 dB o menos en un ancho de banda limitado por el conjunto de antena.

Los detalles de una o más implementaciones se establecen en las figuras y descripción adjuntasa continuación. Otras características y ventajas serán evidentes a partir de la descripción y las figuras, y de las reivindicaciones.

DESCRIPCIÓN DE LAS FIGURAS

La FIG. 1 es una representación esquemática de un amplificador de potencia de matriz.

La FIG. 2 es una representación esquemática de un amplificador de potencia de matriz.

La FIG. 3 es una representación esquemática de un amplificador de potencia de matriz adaptada a columna.

La FIG. 4 es una representación esquemática de un amplificador de potencia de matriz adaptada a columna.

La FIG. 5 es una representación esquemática de un amplificador de potencia de matriz adaptada a columna.

5 La FIG. 6 es una representación esquemática de un amplificador de potencia de matriz adaptada a columna.

La FIG. 7 muestra una representación esquemática de tres implementaciones de balun.

10 La FIG. 8 es una representación esquemática de un amplificador de potencia de matriz adaptada a columna.

La FIG. 9 es una representación esquemática de un controlador de matriz activa equilibrada para un amplificador de potencia de matriz de fila coincidente.

15 La FIG. 10 es una representación esquemática de un amplificador diferencial de adaptación de impedancias.

La FIG. 11 es una representación esquemática de un controlador de matriz activo equilibrado para un amplificador de potencia de matriz de fila coincidente.

La FIG. 12 es una representación esquemática de un controlador de matriz activo equilibrado para un amplificador de potencia de matriz coincidente con pilares.

25 La FIG. 13 es una representación esquemática de un amplificador de potencia de matriz de filas combinadas.

La FIG. 14 es una representación esquemática de una línea de distribución y un elemento de adaptación de impedancia que se puede acoplar para distribuir una señal desde la fuente de señal a una fila de transistores.

Las FIGS. 15 y 16 son representaciones esquemáticas de divisores/combinadores pasivos que se pueden usar para implementar todo o parte de un carril de distribución y un carril de recolección común.

35

La FIG. 17 es una representación esquemática de un carril de distribución y un elemento de adaptación de impedancia que se puede acoplar para distribuir una señal desde la fuente de señal a una fila de transistores.

La FIG. 18 es una representación esquemática de un carril de distribución y un elemento de adaptación de impedancia que se puede acoplar para distribuir una señal desde la fuente de señal a una fila de transistores.

5 La FIG. 19 es una representación esquemática de un carril de distribución y un elemento de adaptación de impedancia que se puede acoplar para distribuir una señal desde una fuente de señal a una fila de transistores.

10 La FIG. 20 es una representación esquemática de un carril de distribución y un elemento de adaptación de impedancia que se puede acoplar para distribuir señales desde un par de fuentes de señal a una fila de transistores.

15 La FIG. 21 es una representación esquemática de un carril de distribución no equilibrado que está acoplado para recoger las señales que pasan a través de M columnas de un amplificador de potencia de matriz y dirigirlas a una carga.

Las FIGS. 22 y 23 son representaciones esquemáticas de un par de filas dentro de un amplificador de potencia de matriz.

20 La FIG. 24 es una representación esquemática de un amplificador de potencia de matriz.

La FIG. 25 es una representación esquemática de un amplificador de potencia de matriz.

25

La FIG. 26 es una representación esquemática de un amplificador de potencia de matriz.

30 La FIG. 27 es una representación esquemática de un amplificador de potencia de matriz.

La FIG. 28 es una representación esquemática de un amplificador de potencia de matriz.

35 La FIG. 29 es una representación esquemática de un amplificador de potencia de matriz.

La FIG. 30a es una representación esquemática de un amplificador de potencia de matriz.

5 La FIG. 30b es una representación esquemática de un amplificador diferencial de adaptación de impedancias.

La FIG. 31 es una representación esquemática de un amplificador de potencia de matriz.

10 La FIG. 32 es una representación esquemática de un amplificador de potencia de matriz bidimensional.

La FIG. 33 es una representación esquemática de un amplificador de potencia de matriz bidimensional.

15 La FIG. 34 es una representación esquemática de un amplificador de potencia de matriz.

20 La FIG. 35 es una representación esquemática de un amplificador de potencia de matriz.

La FIG. 36 es una representación esquemática de una etapa 3600 de contrafase que incluye un par de amplificadores de matriz.

25 La FIG. 37 es una representación esquemática de una etapa de contrafase que incluye un par de amplificadores de matriz.

La FIG. 38 es una representación esquemática de un amplificador de potencia de matriz bidimensional que incluye un par de etapas de contrafase acopladas en una configuración de tipo "H".

30

La FIG. 39 es una representación esquemática de una etapa 3900 de contrafase que incluye un par de amplificadores de matriz.

35 Los símbolos de referencia similares en los diversos dibujos indican elementos similares.

DESCRIPCIÓN DETALLADA

La FIG. 1 es una representación esquemática de un amplificador de potencia de matriz 100, por ejemplo, para amplificar señales a microondas o frecuencias de ondas milimétricas. El amplificador de potencia de matriz 100 incluye una colección de celdas activas formadas por transistores individuales 105. Los transistores 105 están acoplados en múltiples pilas 110. Las mismas pilas 110 están acopladas en paralelo entre un carril de distribución no equilibrado 115 y un carril de recolección no equilibrado 120. El carril de distribución 115 está acoplado para distribuir una señal desde una fuente de señal 50 a los transistores inferiores 105 en cada una de las pilas 110. El carril de recolección 120 está acoplado para recoger las señales que pasan a través de las pilas y dirigirlas a una carga 70. Un controlador de matriz 125 puede ser un elemento pasivo que distribuye señales de accionamiento que son generadas por la fuente de señal 50 o una celda activa que genera señales de accionamiento basadas en la salida de la fuente de señal 50. En cualquier caso, las señales de accionamiento se distribuyen a los terminales de control de los transistores individuales 105 a través de una pluralidad de estructuras de coincidencia de filas. En respuesta a la señal de accionamiento, los transistores 105 cambian de ser más conductores a ser menos conductores y de nuevo a formar alternativamente trayectos de conductividad múltiples superiores e inferiores entre los carriles 115, 120 y entre la fuente de señal 50 y la carga 70. Ya que las pilas 110 están acopladas en paralelo, el amplificador de potencia de matriz 100 tiene una impedancia de carga óptima que se puede adaptar para adaptarse a la impedancia de la carga 70 y, por lo tanto, transferir una parte relativamente grande de la potencia máxima posible a la misma.

El amplificador de potencia de matriz 100 es un amplificador de potencia de "fila coincidente" en el que una pluralidad de controladores de fila que están acoplados distribuyen la señal de accionamiento en fila a los transistores 105 en diferentes pilas 110. En la implementación ilustrada, los transistores 105 del amplificador de potencia de matriz 100 pueden considerarse que se encuentran en cuatro "filas" 137 diferentes de la matriz. Aunque los transistores 105 en cada fila 137 se encuentran en diferentes pilas 110, los transistores 105 en cada fila 137 están acoplados a una respectiva estructura de coincidencia de fila que, en la implementación ilustrada, incluye una línea de distribución 130 y un elemento de adaptación de impedancia 135. La implementación ilustrada, el elemento de adaptación de impedancia 135 se muestra como un amplificador de accionamiento activo. Sin embargo, el elemento 135 de adaptación de impedancia también puede

estar formado por una red pasiva de adaptación de impedancias. Alguna parte de cada señal de accionamiento está acoplada a los terminales de control en los transistores 105 en cada fila 137 por la línea de distribución 130 y el elemento de adaptación de impedancia 135. La línea de distribución 130 y el elemento de adaptación de impedancia 135 acoplan las porciones de las señales de accionamiento a los terminales de control con retardos apropiados para coordinar la conducción de corriente por los transistores 105 en cada fila 137, amplificando así las señales de accionamiento. La señal de accionamiento acoplada al terminal de control de cada transistor 105 se refiere al potencial del terminal principal fuente/emisor. Las señales de accionamiento están "libres de tierra" en el sentido de que cualquier corriente de control que entre en el terminal de control de un transistor 105 dado también sale del transistor 105 por el terminal principal fuente/emisor pero no contribuye a la corriente de drenaje/colector del transistor 105 que "precede" en el mismo apilamiento 110. En aras de la claridad, en la representación esquemática ilustrada, el transistor 105 que está directamente debajo de cualquier transistor 105 dado en el mismo apilamiento 110 es el transistor 105 "precedente". Se entiende que la orientación y disposición de los componentes en la representación esquemática ilustrada es arbitraria y un transistor "precedente" seguirá siendo "precedente" a pesar de una disposición física diferente en un dispositivo del mundo real (por ejemplo, arriba, a la izquierda o detrás de un "subsiguiente transistor"). En cambio, los transistores "precedentes" y "posteriores" pueden identificarse por su disposición relativa en una trayectoria conductora entre la fuente 50 de señal y la carga 70. En cualquier caso, en lugar de contribuir a la corriente de drenaje/colector del transistor 105 anterior, la corriente que abandona el transistor 105 por el terminal principal fuente/emisor vuelve al elemento de adaptación de impedancia 135 por medio de la línea de distribución 130 que está situada directamente debajo de ese transistor 105.

En la implementación ilustrada, la fuente de señal 50 es una fuente de RF que emite una señal que logra el flujo de corriente deseado entre los terminales principales de las celdas activas en el amplificador de potencia de matriz 100. Por ejemplo, la fuente de señal 50 puede emitir una señal que representa una transmisión de comunicaciones. En algunas implementaciones, la fuente de señal 50 puede emitir una señal que tiene una frecuencia portadora o central de entre casi DC (generalmente, unos 100 MHz de modo que diferentes transistores están desacoplados capacitivamente) y aprox. $1/3 f_T$, donde f_T es la frecuencia de transición de ganancia unitaria de los transistores 105. Por ejemplo, en algunos transistores de efecto de campo III-V, f_T puede ser de 30 GHz más o menos. Alguna parte de la señal de salida por la fuente de señal de entrada 50 está acoplada al

carril 115 mediante un elemento de adaptación de impedancia 135. En la implementación ilustrada, el elemento de adaptación de impedancia 135 se muestra como un amplificador de activación activo. Por lo tanto, en la implementación ilustrada, la fuente de señal 50 no emite directamente una señal de accionamiento que acciona los terminales de control de los transistores 105. Por el contrario, la fuente de señal 50 emite una señal amplificada por el elemento de adaptación de impedancia 135 para generar dicha señal de accionamiento. En otras implementaciones, el elemento de adaptación de impedancia 135 puede estar formado por una red de adaptación de impedancia pasiva. En tales implementaciones, la fuente de señal 50 puede emitir directamente una señal de accionamiento que impulsa los terminales de control de los transistores 105.

El carril de distribución 115 está acoplado para distribuir porciones de la señal de comunicaciones y una señal de DC a los terminales de control y los terminales principales fuente/emisor de los transistores 105 en una primera fila 138. En algunas implementaciones, el elemento de acoplamiento de impedancia 135 puede actuar como un balun y el carril de distribución 115 puede implementarse como una línea de transmisión de dos hilos que es simétrica a tierra. El carril de distribución 115 termina en una red de polarización 140 de carga y carga de RF. En la implementación ilustrada, la red de carga de RF y desviación de puerta 140 incluye una fuente de DC 145 que emite una señal de DC que controla el flujo de corriente a través de las pilas 110 a través de los terminales de control de transistores 105 en la primera fila 138. En particular, una vez que la corriente comienza a fluir a través de los transistores 105 en la primera fila 138, sigue el flujo de corriente en la fila siguiente 137. En la implementación ilustrada, el potencial de salida de la fuente de DC 145 es negativo con respecto a la tierra y reduce el potencial en el carril de recolección 120 cuando las pilas 110 son conductoras. El potencial de salida por la fuente de DC 145 está aislado del cable conectado a tierra de la línea de transmisión de dos cables del tren de distribución 115 mediante una capacitancia 150 y acoplado al otro cable mediante una impedancia 155. En la implementación ilustrada, la impedancia 155 es una impedancia real que proporciona una parte de la carga que se corresponde con el elemento 135 de adaptación de impedancias.

El carril de recolección 120 recoge la potencia de salida de cada pila 110 y la dirige hacia la carga 70. El carril de recolección 120 también puede implementarse como una línea de transmisión de dos hilos que es simétrica a tierra. En cualquiera de los casos, los cables del carril de recolección 120 están acoplados al puerto combinado de una T de polarización de alto voltaje 170. La carga 70 está acoplada

al puerto de alta frecuencia de la T de polarización 170, y la fuente de DC 160 está acoplada al puerto de frecuencia baja. Los cables no conectados a tierra están predispuestos por la fuente de DC 160 con un potencial de DC adecuado para alimentar el amplificador de potencia de matriz 100. En la implementación ilustrada en la que los elementos de adaptación de impedancia 135 se implementan como amplificadores de activación activos, la salida de potencial DC por la fuente de DC 160 se realiza por una o más líneas de alimentación 168 a esos amplificadores de activación activos.

En la implementación ilustrada, el amplificador de potencia 100 incluye una colección de transistores individuales 105. Los transistores 105 pueden ser cualquiera de una serie de diferentes tipos de dispositivos semiconductores, por ejemplo, transistores de efecto de campo (FET) o transistores de unión bipolar (BJT), con o sin cualquier emparejamiento o preemparejamiento individual. En algunas implementaciones, las celdas activas del amplificador de potencia de matriz 100 no son transistores individuales, sino múltiples transistores, por ejemplo, ensamblados en módulos amplificadores.

La FIG. 2 es una representación esquemática de un amplificador de potencia de matriz 200. El amplificador de potencia de matriz 200 también incluye transistores individuales 105 que están acoplados en múltiples pilas 110. Las mismas pilas 110 están acopladas en paralelo entre el carril de distribución no equilibrado 115 y el carril de recolección no equilibrado 120. En contraste con el amplificador de potencia 100 (figura 1), el carril de distribución 115 está necesariamente desequilibrado ya que el amplificador de potencia de matriz 200 no incluye un elemento de adaptación de impedancia 135 que pueda actuar potencialmente como un balun entre la fuente de señal 50 y el carril de distribución 115.

El amplificador de potencia de matriz 200 es un amplificador de potencia de "columna emparejada" en el que el amplificador 200 de potencia de matriz incluye una pluralidad de controladores 205 de columna que están acoplados para distribuir la señal de activación en forma de columna a los transistores 105 respectivos de las pilas 110. En la implementación ilustrada, se puede considerar que los transistores 105 del amplificador de potencia de matriz 200 se encuentran en cuatro "columnas" 237 diferentes de la matriz. Los transistores 105 en cada columna 237 se encuentran en la misma pila 110 y están acoplados a un controlador 205 de una sola columna. Los controladores 205 de columna se pueden implementar de diferentes maneras, incluyendo controladores de columna de arranque (pasivos) y

controladores de columna (activos) que incluyen, por ejemplo, amplificadores diferenciales, incluidos los que se describen a continuación. Los controladores de columna 205 pueden ser elementos activos o pasivos.

5 Cada controlador de columna 205 incluye un acoplamiento terminal de control 210 y un acoplamiento terminal principal 215. Los acoplamientos terminales de control 210 acoplan el controlador de columna 205 a los terminales de control de los respectivos transistores 105. Los acoplamientos terminales principales 215 acoplan el controlador de columna 205 a los terminales principales de fuente/emisor de los transistores respectivos 105. La señal de accionamiento acoplada al terminal de control de cada transistor 105 se refiere al potencial del terminal principal fuente/emisor. Además de la primera fila 138 (explicada a continuación), los acoplamientos terminales 210, 215 forman un acoplamiento equilibrado para conducir transistores 105. En efecto, las señales de accionamiento están libres de masa y cualquier corriente de control que entre en el terminal de control de un transistor 105 dado también deja el transistor 105 por el terminal principal fuente/emisor pero no contribuye a la corriente de drenaje/colector del transistor 105 anterior en la misma pila 110.

20 En la primera fila 138 del amplificador de potencia de matriz 200, el terminal principal fuente/emisor de los transistores 105 están todos acoplados a tierra. Como consecuencia, los acoplamientos terminales principales 215 a los terminales principales de fuente/emisor de los transistores 105 en la primera fila 138 también están acoplados a tierra y, por lo tanto, forman un acoplamiento desequilibrado. Tal y como ocurre con el amplificador de potencia de matriz 100 (figura 1), la fuente de DC 145 controla la corriente que debe fluir a través de las pilas 110 a través de los terminales de control de los transistores 105 en la primera fila 138.

30 La FIG. 3 es una representación esquemática de un amplificador de potencia de matriz 300 adaptada a columna. Por conveniencia, solamente se ilustra una única pila 110 (y, por lo tanto, una sola columna) del amplificador de potencia de matriz 300. Sin embargo, debe entenderse que el amplificador de potencia de matriz 300 puede incluir un número de filas y columnas que se adapta a las necesidades operativas, incluyendo la impedancia de salida y la amplificación.

35

El amplificador de potencia de matriz 300 incluye un controlador de matriz pasivo no equilibrado 305 que distribuye señales generadas por la fuente de señal 50 a una colección de líneas de distribución equilibradas 310. Cada línea de

distribución 310 acopla una porción respectiva de la señal de accionamiento a transistores 105 en diferentes pilas 110. Una vez más, solo se ilustra un solo apilamiento 110 en la representación esquemática del amplificador de potencia de matriz 300 aunque un amplificador de potencia de matriz operativa 300 incluirá múltiples apilamientos 110.

El controlador de matriz pasivo no equilibrado 305 está acoplado a cada línea de distribución equilibrada 310 por un transformador balun 315. Los transformadores Balun 315 no solo convierten la señal no equilibrada en el controlador de matriz pasivo 305 en una señal equilibrada en las líneas de distribución 310, sino que los transformadores balun 315 también actúan como elementos coincidentes de impedancia para acoplar la señal de accionamiento a los transistores 105 en diferentes pilas 110.

Cada línea de distribución balanceada 310 incluye una ruta conductora 320 que acopla un primer terminal del devanado del transformador balun 315 a los terminales principales fuente/emisor de los transistores 105, un camino conductor 325 acopla el otro, el segundo terminal del transformador de balun 315 devanado a la terminales de control de los transistores 105, y una ruta conductora 330 entre una toma central 345 del transformador de balun respectivo 315 o el segundo terminal del transformador de balun respectivo 315 a una fuente de corriente continua 335 con respecto a la tierra. Cada fuente de DC 335 polariza un terminal de control de un transistor respectivo 105. Cada camino fuente/emisor 320 incluye una capacitancia 340 que aísla el resto de la línea de distribución 310 del potencial de DC en la fuente/emisor respectivo de los terminales de los transistores 105. Cada trayectoria conductiva de fuente DC 330 incluye una inductancia 350 que aísla la señal de RF de las fuentes de DC 335.

La FIG. 4 es una representación esquemática de un amplificador de potencia de matriz coincidente con la columna 400. Por conveniencia, solo se ilustra una única pila 110 (y, por lo tanto, una sola columna) del amplificador de potencia de matriz 400. Sin embargo, debe entenderse que el amplificador de potencia de matriz 400 puede incluir un número de filas y columnas que se adapta a las necesidades operativas, incluida la impedancia de salida y la amplificación.

El amplificador de potencia de matriz 400 usa circuitos de controlador de arranque paralelo 405 para distribuir señales generadas por la fuente de señal 50 a los transistores 105 en la pila 110. Los circuitos de controlador de arranque paralelo

405 transfieren una porción de la tensión de salida, por ejemplo, voltaje de drenaje/colector de cada respectivo transistor 105 (por ejemplo, un transistor 105 de etapa k th) para conducir el terminal de control de un respectivo transistor "subsiguiente" 105 (por ejemplo, un transistor 105 de etapa $(k + 1)^{th}$) en la pila 110.

5

Cada circuito impulsor de arranque en paralelo 405 incluye elementos de impedancia 415 y capacitancias 420. Los elementos de impedancia 415 son impedancias complejas pasivas arbitrarias y pueden incluir uno o más inductores, condensadores y/o elementos resistivos pasivos. Los elementos de impedancia 415 del circuito de excitación 405 forman un circuito divisor de tensión de CA que transfiere una porción de la tensión de salida de cada transistor precedente respectivo (por ejemplo, Etapa k th) al terminal de control de un transistor subsiguiente 105 ($(k + 1)^{th}$) en la pila 110. Por ejemplo, los elementos de impedancia 415 de un k -ésimo circuito controlador de etapa 405 forman un divisor de tensión entre la tensión en un terminal principal superior 436 (por ejemplo, drenaje/colector) de un k -ésimo transistor 105 y la tensión en un terminal principal inferior 437 (por ejemplo, fuente/emisor) del transistor de etapa k th 105. La salida del circuito controlador de etapa k th 405 (por ejemplo, un terminal entre los elementos de impedancia 415) se proporciona al terminal de entrada (por ejemplo, puerta) del transistor de etapa $(k+1)^{th}$ 105.

Los terminales principales "superiores" de los transistores 105 son terminales que están dispuestos hacia el extremo de salida de una pila 110 (es decir, el carril de recolección 120 más cercano) en la trayectoria conductora entre la fuente de señal 50 y la carga 70. En las representaciones esquemáticas ilustradas, todas las los terminales principales superiores son terminales de drenaje/colector, aunque este no es necesariamente el caso. Los terminales principales "inferiores" de los transistores 105 son terminales que están dispuestos hacia el extremo de entrada de una pila 110 (es decir, el carril de distribución más cercano 115). En las representaciones esquemáticas ilustradas, todos los terminales principales inferiores son terminales fuente/emisor, aunque este no es necesariamente el caso.

Las capacitancias 420 aíslan la señal de accionamiento para cada transistor subsiguiente 105 de los potenciales de DC en la fuente/emisor respectivo y los terminales de drenaje/colector del transistor 105 anterior. La potencia de salida total de la pila 110 disminuye a medida que la frecuencia de las señales de la fuente 50 aumenta porque una parte de la potencia generada por cada transistor 105 en la pila se usa para impulsar un respectivo transistor 105 subsiguiente.

El carril de distribución 115 y un elemento de adaptación de impedancia 410 conducen una parte de la señal generada por la fuente de señal 50 a los transistores 105 de fila inferior 406 en diferentes pilas 110, pero la fila superior 407 de transistores 105 es impulsada por señales de entrada de los divisores de tensión o conductor 405. De manera similar, los elementos de adaptación de impedancia de salida 455 acoplan la señal de salida de cada pila 110 al carril de recolección 120. Una vez más, se ilustra un solo apilamiento 110 en la representación esquemática del amplificador de potencia de matriz 400, aunque un amplificador de potencia de matriz 400 operativa incluirá múltiples pilas 110.

El terminal de control de cada transistor 105 de etapa k th (excepto para la primera etapa) está polarizado por un circuito divisor de tensión DC 430. Cada uno de los circuitos divisores de tensión continua 430 incluye resistencias 435 que dividen la tensión entre un terminal principal superior 436 (por ejemplo, Drenaje / colector) de ese transistor 105 de etapa k th y el terminal principal inferior 437 de cada transistor 105 "precedente" (por ejemplo, de etapa $(k-1)$). El primer transistor 105 de etapa (más bajo) es polarizado por la fuente de DC 145.

Las líneas de distribución 440 acoplan tanto la señal de accionamiento arrancada como la corriente de la pila entre los transistores 105 en la pila. Las líneas de distribución 440 son líneas de transmisión de tres líneas que incluyen dos líneas de señal 445 y una línea de tierra 450. En cada línea de distribución 440, una línea de señal 445 transporta la señal de arranque y la otra línea de señal 445 lleva la corriente de pila entre los transistores.

La FIG. 5 es una representación esquemática de un amplificador de potencia de matriz 500 coincidente con la columna. Por conveniencia, solo se ilustra una única pila 110 (y, por tanto, una sola columna) del amplificador de potencia de matriz 500. Sin embargo, debe entenderse que el amplificador de potencia de matriz 500 puede incluir un número de filas y columnas y puede adaptarse a las necesidades operativas, incluida la impedancia de salida y la amplificación. El amplificador de potencia de matriz 500 es similar al amplificador de potencia de matriz 400 (figura 4), excepto que el terminal de control de cada transistor 105 está polarizado por una fuente de tensión continua 505 en lugar de un circuito divisor de tensión DC 430. Además, cada fuente de DC está aislada a partir de señales de RF mediante una inductancia 510.

Al igual que con el amplificador de matriz 400, las líneas de distribución 440 del amplificador de matriz 500 acoplan tanto la señal de excitación arrancada como la corriente de acumulación entre los transistores 105 en la pila. Las líneas de distribución 440 son líneas de transmisión de tres líneas que incluyen dos líneas de señal 445 y una línea de tierra 450. En cada línea de distribución 440, una línea de señal 445 transporta la señal de arranque y la otra línea de señal 445 lleva la corriente de pila entre los transistores.

Los circuitos accionadores de arranque 405 de los amplificadores de matriz 400 y 500 se consideran como correas de arranque paralelas porque la señal de accionamiento de arrancada se obtiene a través de un divisor de tensión que está conectado en paralelo a la pila de transistores. Además, la señal de accionamiento arrancada y la corriente de la pila están acopladas entre los transistores 105 en la pila a través de diferentes líneas de señal 445 en las líneas de distribución 440.

La FIG. 6 es una representación esquemática de un amplificador de potencia de matriz 600 coincidente con la columna. Por conveniencia, se ilustra un solo apilamiento 110 (y, por lo tanto, una sola columna) del amplificador de potencia de matriz 600. Sin embargo, debe entenderse que el amplificador de potencia de matriz 600 puede incluir un número de filas y columnas que se adapta a las necesidades operativas, incluida la impedancia de salida y la amplificación.

El amplificador de potencia de matriz 600 utiliza un arranque en serie para distribuir señales generadas por la fuente de señal 50 a los transistores 105 en una pila 110. Los Baluns 605 transfieren una porción de la corriente de salida (por ejemplo, la corriente de drenaje/colector) desde cada transistor 105 en las filas inferiores 606, 607 del amplificador de potencia de matriz 600 para accionar el terminal de control de los respectivos transistores subsiguientes 105 en la pila 110. Los baluns 605 son dispositivos de tres terminales que acoplan una porción de la corriente de salida desde un transistor en una de las filas inferiores 606, 607 como una señal de control del terminal de control para un transistor posterior respectivo 105 en la siguiente fila superior y convertir la corriente de salida desequilibrada en una señal de accionamiento equilibrada.

La FIG. 7 muestra una representación esquemática de tres implementaciones de balun 605. La primera implementación es un transformador 605a. El transformador 605a incluye una bobina primaria 705 y una bobina secundaria 710 y un terminal común 715 acoplados tanto a la bobina primaria 705 como a la bobina

secundaria 710. En algunas implementaciones, el valor nominal de la relación de transformación de los transformadores 605a se selecciona para que coincida con ganancia de corriente de los transistores 105. Cuando el transformador 605a se utiliza como el balun 605 en el amplificador de potencia de matriz 600, un terminal de la bobina primaria 705 se acopla a un terminal principal superior 636 (por ejemplo, drenaje/colector) de un transistor 105, mientras que el terminal común 715 está acoplado a un terminal principal inferior 637 (por ejemplo, fuente / emisor) de un transistor subsecuente respectivo 105, y un terminal de la bobina secundaria 710 está acoplado a un terminal de control del transistor posterior respectivo 105. Por lo tanto, la bobina secundaria de señal de salida 710 suministra la señal de accionamiento de entrada al terminal de control del transistor 105 subsiguiente respectivo.

La segunda implementación de balun 605 es un circuito en T 605b que incluye tres elementos de admitancia 720 red configurada en T (o estrella). La tercera implementación de balun 605 es un circuito pi 605c que incluye tres elementos de impedancia 730 configurados en una red pi (o delta). Se pueden usar diferentes implementaciones de balun 605 en diferentes implementaciones del mundo real de amplificadores de potencia de matriz. Por ejemplo, los elementos de admisión 720 del circuito T 605b pueden ser ventajosos en algunos dispositivos de circuito integrado de microondas, mientras que los elementos de impedancia 730 del circuito pi 605c pueden ser ventajosos en otros, dependiendo de factores tales como la tecnología de procesamiento y el diseño de otros componentes en el amplificador de potencia de matriz.

Con referencia de nuevo a la FIG. 6, las capacitancias 620 están incluidas en la trayectoria conductora entre los baluns 605 y los terminales de control de los transistores 105. Las capacitancias 620 aíslan la señal de accionamiento para cada transistor 105 del potencial de DC en los respectivos terminales de fuente/emisor y de drenaje/colector de los transistores 105. Además, la potencia de salida total de la pila 110 disminuye a medida que aumenta la frecuencia de las señales generadas por la fuente de señal 50 porque una parte de la potencia generada por cada transistor 105 en la pila se utiliza para impulsar un transistor subsiguiente 105.

El carril 115 de distribución transporta una porción respectiva de las señales generadas por la fuente 50 de señal a los transistores 105 de fila inferior 606 en diferentes pilas 110. Los elementos 610 de adaptación de impedancias acoplan la señal fuente en el carril 115 de distribución a los transistores 105 de fila inferior 606

en diferentes pilas 110. De forma similar, los elementos de adaptación de impedancia de salida 655 acoplan la señal de salida de cada pila 110 al carril de recolección 120. Una vez más, en la representación esquemática del amplificador de potencia de matriz 600 se ilustra un solo apilamiento 600, aunque un amplificador de potencia de matriz operativa 600 incluirá múltiples pilas 110.

El terminal de control de cada transistor 105 está polarizado por un circuito divisor de tensión DC 630. Los circuitos divisores de tensión DC 630 incluyen resistencias 635 que dividen la tensión entre un terminal principal superior (por ejemplo, drenaje/colector) 636 de un transistor 105 y un interruptor inferior principal (por ejemplo, fuente/emisor) 637 de un transistor 105 anterior. Cada uno de los circuitos 630 divisores de tensión DC proporciona una polarización flotante a la entrada de control de un transistor 105 respectivo. La excepción es el circuito divisor de tensión DC 630 conectado a la terminal principal inferior del transistor 105 en la fila inferior 606, que está conectado a tierra.

Las líneas de distribución 640 conectan los transistores 105 en la pila. Las líneas de distribución 640 son líneas de transmisión de tres líneas desequilibradas que incluyen dos líneas de señal 645 y una línea de tierra 650. Generalmente, los circuitos divisores de tensión continua 630 están acoplados a una de las líneas de señal 645 y los respectivos terminales principales del transistor 105 superior e inferior están acoplados a la otra línea de señal 645. La línea de distribución 660 que acopla el transistor 105 en la fila inferior 606 a la primera fila posterior 607 es una línea de transmisión no balanceada de dos líneas. La línea de distribución 660 incluye una línea de señal 645 y una línea de tierra 650. La línea de señal 645 en la línea de distribución 660 está acoplada al terminal principal superior del transistor 105 en la fila inferior 606 y el terminal principal inferior del transistor 105 en el subsiguiente (segunda) fila. El circuito divisor de voltaje DC 630 que está conectado a la salida inferior del transistor en la fila inferior 606 está acoplado a la línea de tierra 650 en la línea de distribución 660.

La FIG. 8 es una representación esquemática de un amplificador de potencia de matriz 800 adaptada a columna. Por conveniencia, solo se ilustra una única pila 110 (y, por lo tanto, una sola columna) del amplificador de potencia de matriz 800. Sin embargo, debe entenderse que el amplificador de potencia de matriz 800 puede incluir un número de filas y columnas que se adapta a las necesidades operativas, incluida la impedancia de salida y la amplificación. El amplificador de potencia de matriz 800 es similar al amplificador de potencia de matriz 600 descrito

anteriormente en referencia a las Figs. 6 y 7, excepto que el terminal de control de cada transistor 105 está polarizado por una fuente de tensión continua 805 en lugar de un circuito divisor de tensión DC 630. Además, cada fuente de DC está aislada de las señales de RF por una inductancia 810. Además, los tres las líneas de distribución en línea 660 del amplificador de potencia de matriz 600 pueden ser reemplazadas por líneas de distribución equilibradas de dos líneas 815 que incluyen dos líneas de señal equilibradas 645 y ninguna línea de tierra.

La FIG. 9 es una representación esquemática de un controlador 905 de matriz activa equilibrada para un amplificador de potencia de matriz 900 emparejada en fila. Por conveniencia, se ilustra un solo apilamiento 110 (y por lo tanto una única columna) del amplificador de potencia matriz 900. Sin embargo, debe entenderse que el amplificador de potencia de matriz 900 puede incluir un número de filas y columnas que se adapta a las necesidades operativas, incluida la impedancia de salida y la amplificación.

El controlador de matriz activa equilibrada 905 distribuye señales generadas por la fuente de señal 50 a una colección de líneas de distribución equilibradas 910. Cada línea de distribución 910 acopla una porción respectiva de la señal de accionamiento a transistores 105 en diferentes pilas 110. Una vez más, una única pila 110 se ilustra en la representación esquemática del amplificador de potencia de matriz 900, aunque un amplificador de potencia de matriz operacional 900 incluirá múltiples pilas 110.

El controlador de matriz activa equilibrada 905 incluye un conjunto de amplificadores diferenciales de coincidencia de impedancia 915 apilados. El controlador de matriz activa equilibrada 905 incluye un amplificador diferencial de coincidencia de impedancias 915 menos que los transistores 105 en cada pila 110. Por ejemplo, en el ejemplo mostrado, el controlador de matriz activo 905 incluye tres amplificadores diferenciales coincidentes de impedancia 915 para excitar una pila 110 de cuatro transistores 105. El primer amplificador diferencial 915 y el transistor 105 en la fila inferior (fila 1) de la pila son accionados simultáneamente por la fuente de señal 50. Cada k-ésimo amplificador diferencial 915 en el controlador de matriz activa 905 conduce luego el (k+1)-th transistor 105 en la pila 110.

En más detalle, la FIG. 10 es una representación esquemática de un amplificador diferencial de coincidencia de impedancia 915 que puede usarse en controladores de matriz activa equilibrada. El amplificador diferencial 915 incluye un

terminal de entrada inversora 1080, un terminal de entrada no inversora 1082, un terminal de alta salida 1084 y un terminal de baja salida 1086. El amplificador diferencial 915 emite una señal en los terminales de salida 1084, 1086 que representa la diferencia entre la señal en los terminales de entrada 1080, 1082.

5

Con referencia de nuevo a la FIG. 9, los amplificadores diferenciales 915 se apilan con los terminales de salida 1084, 1086 de cada amplificador diferencial 915 (k-ésimo amplificador diferencial 915) acoplados a los terminales de entrada 1080, 1082 del siguiente amplificador diferencial subsiguiente 915 ((k+1)-th el amplificador diferencial 915) en el controlador de matriz activa 905. En algunas implementaciones, se puede acoplar una red de adaptación de impedancia (no mostrada) entre cada uno de los amplificadores diferenciales 915. Además, los terminales de salida 1084, 1086 de cada amplificador diferencial 915 son acoplados a una línea de distribución equilibrada 910 que proporciona una señal de accionamiento a un transistor 105 respectivo en las filas 2 a la N de la pila 110.

10

15

20

25

30

Cada línea de distribución equilibrada 910 incluye una ruta conductora 920 que acopla un primer terminal de salida 1084, 1086 del amplificador diferencial 915 al terminal principal fuente/emisor de un transistor 105 y un camino conductor 325 que acopla el otro terminal de salida 1084, 1086 del amplificador diferencial 915 a los terminales de control del transistor 105. Cada camino conductor/emisor 920 incluye una capacitancia 940 que aísla el resto de la línea de distribución 910 del potencial de DC en la fuente/emisor respectivo de los terminales de los transistores 105. Más específicamente, el terminal de salida no inversor 1086 del segundo al N-ésimo amplificador diferencial 910 está acoplado al camino conductor de control 925 y el terminal de salida inversora 1084 del segundo al N-ésimo amplificador diferencial 910 está acoplado a la fuente/emisor conductivo conductor 920. Sin embargo, la conexión de los terminales de salida 1084, 1086 del primer amplificador diferencial 915 con la línea de distribución 910 son intercambiadas. Es decir, el terminal de salida inversora 1084 del primer amplificador diferencial 910 está acoplado al camino conductor del terminal de control 925 y el terminal de salida no inversora 1086 del primer amplificador diferencial 910 está acoplado al camino conductor/emisor 920.

35

Además, en algunas implementaciones, las líneas de distribución 910 pueden incluir una red de adaptación de impedancia (no mostrada) para hacer coincidir la impedancia de los terminales 1084, 1086 de salida del amplificador diferencial 915 con la impedancia de entrada de los transistores 105.

Los amplificadores diferenciales 915 son suministrados por dos caminos de DC separados; un camino IMPAR y un camino PAR. Los amplificadores diferenciales numerados impares 915 (1 a N) son suministrados por la ruta IMPAR y los amplificadores diferenciales con número par 915 (1 a N) son alimentados por la ruta PAR. Cada camino de DC es alimentado por un circuito seguidor de fuente 950, 955 y acoplado al terminal 1090 de alta reserva del amplificador diferencial 915 de mayor orden (N o N-1) en la trayectoria IMPAR o PAR respectiva. Más específicamente, el terminal de suministro alto 1090 del N-ésimo amplificador diferencial 915 está acoplado al circuito seguidor de fuente 950 (el camino de DC IMPAR). Mientras que, el terminal alto de suministro 1090 del (n-1)-ésimo amplificador diferencial 915 está acoplado al circuito seguidor de fuente 955 (el camino de DC PAR).

La vía conductora 956 acopla el terminal de suministro bajo del N-ésimo amplificador diferencial 915 al terminal de suministro alto del siguiente amplificador diferencial IMPAR de orden inferior 915 en el controlador de matriz activa 905, específicamente, el primer amplificador diferencial 915, en el ejemplo mostrado. El terminal de baja oferta del primer amplificador diferencial 915 está acoplado a una fuente de DC negativa.

El terminal de baja oferta del (n-1)-th (aquí el segundo) amplificador diferencial 915 está acoplado a tierra en el ejemplo mostrado. Sin embargo, en una pila 905 de controlador de matriz activa más grande, el terminal de suministro bajo del (n-1)-ésimo amplificador diferencial 915 se puede acoplar al amplificador diferencial par 915 del próximo bloque de suministro de mayor orden inferior mediante un camino conductor.

El seguidor de fuente 950 incluye un par de transistores adaptados 952 que están acoplados entre un potencial de drenaje lateral alto y un potencial de fuente lateral bajo. El potencial de drenaje lateral alto (terminal 960) está acoplado al carril de recolección de RF 120. El potencial de fuente lateral bajo está acoplado entre las impedancias 965a y 965b de un circuito divisor de tensión. El circuito divisor de tensión se crea mediante las impedancias 965a, 965b y 965c acopladas también al terminal 960 y al carril de recolección de RF 120. Las impedancias 965a, 965b y 965c dividen la tensión de salida de RF del carril de recolección 120 para polarizar los terminales de control de transistores 952, que están acoplados al circuito divisor de tensión entre las impedancias 965a y 965b. Los terminales de fuente de los transistores 952 están acoplados al circuito divisor de tensión entre las impedancias 965a y 965b a través de una capacitancia 954a y al terminal de baja oferta del N-

ésimo amplificador diferencial 915. La capacitancia 954a aísla el terminal de baja fuente del N-ésimo amplificador diferencial 915 del potencial de DC en el carril de recolección de RF 120.

5 El seguidor de fuente 955 incluye un transistor 953 que está acoplado entre un potencial de drenaje lateral alto y un potencial de fuente lateral bajo. El potencial de drenaje lateral alto está acoplado al circuito divisor de tensión entre las impedancias 965a y 965b y a los terminales de fuente de los transistores 952. El potencial de fuente lateral bajo está acoplado entre las impedancias 965b y 965c del
10 circuito divisor de tensión. El terminal de fuente del transistor 953 está acoplado al circuito divisor de tensión entre las impedancias 965b y 965c a través de una capacitancia 954b y al terminal de baja oferta del (N-1)-ésimo amplificador diferencial 915. La capacitancia 954b aísla el terminal de baja fuente de alimentación del (n-1)-ésimo amplificador diferencial 915 del potencial de DC en el carril de recolección de
15 RF 120.

Los seguidores fuente 950, 955 son alimentados por la señal de salida de RF del amplificador de potencia de matriz 900 a través del carril de recolección de RF 120. Por lo tanto, todos los terminales de suministro alto y bajo de los amplificadores
20 diferenciales 915 están bajo potencial de CA flotante y pueden acomodar la oscilación de salida de tensión de RF completa de los transistores 105 correspondientes en la pila 110.

La FIG. 11 es una representación esquemática de un controlador 905 de
25 matriz activa equilibrada para un amplificador 1100 de potencia de matriz adaptada en fila. Por razones de conveniencia, solo una única pila 110 de transistor de la FIG. 1 (y, por lo tanto, una única columna de transistor 105) del amplificador de potencia de matriz 1100 se ilustra. Sin embargo, debe entenderse que el amplificador de potencia de matriz 1100 puede incluir un número de filas y columnas que se adapta
30 a las necesidades operativas, incluida la impedancia de salida y la amplificación.

El controlador de matriz activa equilibrada 1105 distribuye señales generadas por la fuente de señal 50 a una colección de líneas de distribución balanceadas 1110. Cada línea de distribución 1110 acopla una porción respectiva de la señal de
35 accionamiento a transistores 105 en diferentes pilas 110. Una vez más, solo una única pila de transistores 110 se ilustra en la representación esquemática del amplificador de potencia de matriz 1100, aunque un amplificador de potencia de matriz operativa 1100 incluirá múltiples pilas 110.

El controlador de matriz activa equilibrada 1105 incluye un conjunto de amplificadores diferenciales apilados 1115. El primer amplificador diferencial 1115 y el transistor 105 en la fila inferior (la primera fila) de la pila son accionados simultáneamente por la fuente de señal 50. Cada k -ésimo amplificador diferencial 1115 en el controlador de matriz activa 1105 impulsa luego el $(k+1)$ -ésimo transistor 105 en la pila 110.

Cada uno de los amplificadores diferenciales 1115 incluye un par de transistores 1194 adaptados, cada uno de los cuales está acoplado entre un potencial de drenaje lateral alto y un potencial de fuente lateral bajo. Solamente el primer amplificador diferencial 1115 incluye una fuente de corriente 1188. Excepto por el N -ésimo amplificador diferencial 1115, el potencial de drenaje lateral alto para cada k -ésimo amplificador diferencial 1115 es suministrado por el potencial de fuente lateral bajo del $(k+1)$ -ésimo amplificador diferencial 1115. El potencial de drenaje lateral alto para el amplificador diferencial N -ésimo 1115 es suministrado por el carril de recolección de RF 120. De forma similar, a excepción del primer amplificador diferencial 1115, el potencial de fuente lateral bajo para cada k -ésimo amplificador diferencial 1115 es suministrado por el potencial de drenaje lateral alto del $(k-1)$ -ésimo amplificador diferencial 1115. El potencial de fuente lateral bajo para el primer amplificador diferencial 1115 es suministrado por el suministro de DC 1150. Por lo tanto, los amplificadores diferenciales 1115 se apilan de tal manera que la corriente continua a través del primer amplificador diferencial 1115 se reutiliza por cada amplificador diferencial en el controlador de matriz activa 1105.

Los amplificadores diferenciales 1115 en el controlador de matriz activa 1105 están acoplados entre sí a través de líneas de distribución equilibradas 1135. En algunas implementaciones, también se puede acoplar una red de adaptación de impedancias (no mostrada) entre cada uno de los amplificadores diferenciales 1115. Además, los terminales de salida 1184 de cada amplificador diferencial 1115 (excepto los del N -ésimo amplificador diferencial 1115) están acoplados a una línea de distribución equilibrada 1110 que proporciona una señal de accionamiento a un transistor respectivo 105 en las filas dos a N de la pila 110.

Cada línea de distribución equilibrada 1110 incluye una ruta conductora 1120 que acopla un primer terminal de salida 1184 del amplificador diferencial 1115 al terminal principal fuente/emisor de un transistor 105 y un camino conductivo 1125 que acopla el otro terminal de salida 1184 del amplificador diferencial 1115 al terminal de control del transistor 105. Cada camino conductor/emisor 1120 incluye

una capacitancia 1140 que aísla el resto de la línea de distribución 1110 del potencial de DC en la fuente/emisor respectivo de los terminales de los transistores 105. Además, en algunas implementaciones, las líneas de distribución 1110 pueden incluir una red de adaptación de impedancia (no mostrada) para hacer coincidir la impedancia de los terminales de salida del amplificador diferencial 1115 1084, 1086 con la impedancia de entrada de los transistores 105.

Además, los terminales de control de los transistores 1194 (terminales de entrada 1182 de los amplificadores diferenciales 1115) son terminales de salida acoplados 1184 de cada amplificador diferencial anterior (k-1)-th 1115. La caída de potencial a través de cada conjunto de impedancias 1196 se usa para controlar la entrada (terminales de control de los transistores 1194) de cada amplificador diferencial 1115, excepto para el primer amplificador diferencial 1115. El terminal de control del primero de los transistores 1194 en el primer amplificador diferencial 1115 es accionado por la fuente de RF 50 y el terminal de control del segundo de los transistores 1194 está polarizado con un potencial de DC desde la fuente de DC 145. El terminal de control del primero de los transistores 1194 en el primer amplificador diferencial 1115 está acoplado a la fuente de RF 50 a través de una red de adaptación de impedancias 1130.

Como se muestra, las fuentes de los transistores 1194 del primer amplificador diferencial 1115 están acopladas entre sí y comparten una ruta común a la fuente de corriente 1188. La impedancia entre ambos terminales de salida 1184 y la fuente de corriente 1188 es casi idéntica excepto por las diferencias relativamente pequeñas en la impedancia de los transistores 1194. El primer amplificador diferencial 1115 puede así actuar como un balun y convertir la señal de fuente de RF no balanceada en una salida equilibrada.

Además, el terminal de control de uno de los transistores 1194 de cada uno de los amplificadores diferenciales 1115 dos a N está desviado por una parte de la señal de salida de RF del carril de recolección de RF 120. Un circuito divisor de tensión 1160 creado por la red de impedancias 1162 divide el voltaje de la señal de salida de RF.

Una fuente de corriente 1188 proporciona la corriente DC para todos los amplificadores diferenciales 1115 en el controlador de matriz activa 1105. La fuente de corriente 1188 incluye un transistor 1189 que suministra la corriente a través de amplificadores diferenciales 1115. El terminal de control del transistor 1189 está

sesgado por la fuente DC 1150 a través de la impedancia 1191. Además, el terminal de fuente del transistor 1189 está acoplado a la fuente de DC 1150 a través de la impedancia 1193.

La FIG. 12 es una representación esquemática de un controlador de matriz activa 1205 equilibrada para un amplificador de potencia de matriz 1200 coincidente. Por conveniencia, solamente se ilustra una única pila 110 de transistores (y por lo tanto una única columna de transistor 105) del amplificador de potencia de matriz 1200. Sin embargo, debe entenderse que el amplificador de potencia de matriz 1200 puede incluir un número de filas y columnas que se adapta a las necesidades operativas, incluida la impedancia de salida y la amplificación. El controlador de matriz activa equilibrada 1205 es similar al controlador de matriz equilibrada 1105 descrito anteriormente en referencia a la FIG. 11, excepto que el transistor de primera fila 105 no es accionado directamente por la señal de RF desde la fuente de RF 50. En cambio, el controlador de matriz 1205 incluye un amplificador diferencial adicional 1115. La fuente de RF 50 solo acciona el primer amplificador diferencial 1115 a través de un conjunto de fuente circuitos seguidores 1210. Como se muestra, los seguidores de fuente 1210 se pueden combinar con una resistencia que actúa como una palanca de cambios de DC para cambiar el nivel DC cero de la fuente de RF a la tensión de puerta negativa requerida por el par FET en el amplificador diferencial más bajo que opera a voltajes negativos de DC por debajo del potencial de voltaje de compuerta de la fila más baja del amplificador de matriz. Alternativamente, se puede usar una cadena de diodos como tal variador de potencial DC.

La FIG. 13 es una representación esquemática de un amplificador de potencia de matriz 1300 de fila emparejada. En la implementación ilustrada, cada línea 130 de distribución de filas se implementa como una línea de transmisión de dos conductores equilibrada que termina en una impedancia real 1310 y una impedancia capacitiva 1315. El conductor de la línea de transmisión está formado por una serie de conductores 1320 que se acoplan a los respectivos terminales de control de los transistores 105 de una fila 137. El segundo conductor de la línea de transmisión está formado por una serie de conductores 1325 que se acoplan a los terminales principales fuente/emisor de los transistores 105 en la misma fila 137. Los Conductores 1320, 1325 están dimensionados para retrasar la llegada de señales de accionamiento a los terminales de control de los transistores 105 de manera que la conducción de corriente por los transistores 105 en el amplificador de potencia de matriz 1300 es coordinado. En particular, las señales de corriente de los transistores

105 en cada fila 137 se recogen en columnas en el carril de recolección común 120 con retrasos que coinciden con los retardos correspondientes en las líneas de distribución de filas 130. Los valores de las impedancias 1310, 1315 son configurados para establecer la impedancia de la línea de distribución de fila 130 de manera que una señal de accionamiento esté apropiadamente acoplada al mismo desde el controlador de matriz 125. Como se discutió anteriormente, el controlador de matriz 125 puede ser un controlador activo o pasivo que proporciona salidas libres de tierra para cada línea de distribución de fila 130.

En el amplificador de potencia 1300, se usan LC artificiales o líneas de transmisión distribuidas. Esta implementación se puede usar como alimentadores para la línea de entrada inferior y para controlar la entrada de las filas superiores. La entrada de la fila inferior y la salida de la fila superior pueden ser las mismas que las de entrada y salida de las líneas de controlador, respectivamente, de un transistor de efecto de campo (FET) o un amplificador distribuido mediante un transistor de unión bipolar (BJT) o una estructura de amplificador de potencia distribuida no uniforme (NDPA). Las redes de alimentación simétricas (por ejemplo, sin tierra) se utilizan para las líneas de entrada de las filas segunda y superior. Los rieles de entrada de las filas superiores son accionados por una red de operador/alimentador pasivo o activo que proporciona salidas simétricas (por ejemplo, libres de tierra) para las filas individuales.

La FIG. 14 es una representación esquemática de una línea de distribución 130 y un elemento de adaptación de impedancia 135 que puede acoplarse para distribuir una señal desde la fuente de señal 50 a una fila de transistores 105. La implementación ilustrada de la línea de distribución 130 y el elemento de adaptación de impedancia 135 incluye una colección de conductores de columna a columna 1405, conductores de pila 1407 y elementos de adaptación de impedancia 1410.

Cada elemento de adaptación de impedancia 1410 está asociado con una pila respectiva 110 e incluye una salida de terminal de control 1415 y una salida de terminal principal 1420. Las salidas de terminal de control 1415 deben acoplarse a un terminal de control respectivo de un transistor 105 en la pila asociada 110. Las salidas de terminal principales 1420 deben acoplarse a un terminal principal respectivo del mismo transistor 105 en la pila 110 asociada. Cada elemento de adaptación de impedancia 1410 puede igualar nominalmente la impedancia de entrada de los transistores 105 a una impedancia de referencia Z_L de la fuente. En algunas implementaciones, esta impedancia puede aumentarse, por ejemplo, a

2*ZL. Esto se puede hacer, por ejemplo, utilizando transformadores de cuarto de línea, condensadores de línea o transformadores LC discretos.

Cada conductor de pila 1407 está asociado con una pila 110 respectiva. Los conductores de columna a columna 1405 están acoplados entre los conductores de pila 1407 que están asociados con pilas adyacentes 100. Los conductores de pila 1407 y los conductores de columna a columna 1405 están dimensionados para retrasar la llegada de señales de activación a los terminales de control de los transistores 105 en cada pila, de modo que la conducción de corriente por los transistores 105 en el amplificador de potencia de matriz esté coordinada. En la implementación ilustrada, los conductores de pila 1407 y los conductores de columna a columna 1405 son conductores desequilibrados y, junto con las salidas de terminal principal 1420, están acoplados a un potencial de referencia. En la implementación ilustrada, este potencial de referencia es tierra.

Esta combinación de conductores de columna a columna 1405, conductores de pila 1407 y elementos de adaptación de impedancia 1410 se puede denominar como una topología de "línea en cascada y pre emparejamiento". En particular, los conductores 1405, 1407 están en cascada para distribuir la señal de accionamiento para coordinar la conducción de corriente en las pilas de diferencia 110. Los elementos de adaptación de impedancia 1410 aseguran que una porción suficientemente grande de la señal de accionamiento se acopla en los transistores 105 en cada pila 110. Dicha línea de distribución 130 y un elemento de adaptación de impedancia 135 pueden ser particularmente ventajosos en las implementaciones de circuitos integrados de microondas, que incluyen implementaciones monolíticas planas. En particular, debido al área limitada disponible para la línea de distribución 130 y un elemento de adaptación de impedancia 135, la capacidad de implementar una topología compacta de "línea en cascada y pre emparejamiento" usando técnicas de fabricación de semiconductores puede ser ventajosa.

En algunas implementaciones, se puede usar una topología correspondiente de "línea en cascada y pre emparejamiento" para formar uno o ambos carriles de distribución 115 y carril de recolección común 120. Por ejemplo, el transistor inferior 105 en cada pila 110 se puede acoplar a un elemento de emparejamiento de impedancia respectivo y la señal que pasa por los conductores de columna a columna 1405 y conductores de pila 1407 puede ser retardada adecuadamente para coordinar la conducción de corriente a través de las pilas en respuesta a la señal de salida de la fuente 50. Como otro ejemplo, el transistor superior 105 en cada pila 110

puede acoplarse a un elemento de adaptación de impedancia respectivo y la corriente que pasa a través de este transistor 105 superior se retarda adecuadamente usando conductores de pila y conductores de columna a columna para la entrega a la carga 70.

5

Las FIGS. 15 y 16 son representaciones esquemáticas de divisores/combinadores pasivos 1500, 1600 que pueden usarse para implementar todo o una porción del carril de distribución 115 y el carril de recolección común 120. En las implementaciones ilustradas, los divisores/combinadores 1500, 1600 incluyen una raíz respectiva el terminal 1505, 1605, una porción de tronco 1510, 1610, y una colección de terminales de ramificación 1515, 1615.

10

Cuando los divisores/combinadores 1500, 1600 son parte del carril de distribución 115, los terminales raíz 1505, 1605 actúan como entradas para acoplarse para recibir una señal de la fuente 50 y los terminales de derivación 1515, 1615 actúan como salidas para distribuir esa señal a los terminales de accionamiento del transistor inferior 105 en cada pila. Cuando los divisores/combinadores 1500, 1600 son parte del carril de recolección 120, los terminales raíz 1505, 1605 actúan como salidas para cargar 70 y los terminales secundarios 1515, 1615 actúan como entradas para recibir las corrientes conducidas a través de las respectivas pilas 110. Las porciones principales 1510, 1610 acoplan los terminales de raíz y los terminales de derivación y proporcionan acoplamiento simétrico pasivo M-a-1 o 1-a-M.

15

20

En algunas implementaciones, los divisores/combinadores 1500, 1600 se usan junto con los elementos de adaptación de impedancias. Sin embargo, este no es necesariamente el caso. Por ejemplo, los divisores/combinadores 1500, 1600 se pueden usar en amplificadores de potencia de matriz que incluyen topologías de controlador de filas "arranque" (por ejemplo, figuras 4 a 8) sin elementos de adaptación de impedancias.

25

30

35

La FIG. 17 es una representación esquemática de una línea de distribución 130 y un elemento de adaptación de impedancia 135 que puede acoplarse para distribuir una señal desde la fuente de señal 50 a una fila de transistores 105. En general, la fila de transistores 105 en la que la línea de distribución 130 coincide con la impedancia el elemento 135 distribuye una señal que será una de las filas más altas de una matriz en lugar de una fila inferior. Sin embargo, en algunas implementaciones, la línea de distribución 130 y el elemento de adaptación de

impedancia 135 también se pueden usar para distribuir una señal a una fila inferior de un amplificador de matriz. La implementación ilustrada del carril de distribución 115 incluye un elemento de adaptación de impedancia de entrada global 1705, conductores de columna a columna 1710, y elementos de adaptación de impedancia local 1715.

El elemento de adaptación de impedancia de entrada global 1705 es un dispositivo que coincide con la impedancia de entrada 1725 de una cadena de líneas de transmisión 1710 y elementos de adaptación de impedancia 1715 a la impedancia de entrada 1720 del elemento coincidente 1705 visto por la fuente 50. En algunas implementaciones, el elemento de adaptación de impedancia de entrada global 1705 puede coincidir directamente una impedancia de referencia "ZL" para entrada de alta frecuencia y puede forzar la coincidencia de una impedancia de un múltiplo de la impedancia de referencia, es decir, " $M \cdot ZL$ ", donde "M" es el número total de celdas de la fila y el número de columnas en la matriz, para entrada de baja frecuencia. En algunas implementaciones, el elemento 1705 de adaptación de la impedancia de entrada global puede implementarse como un diplexor.

Cada elemento 1715 de adaptación de impedancia local está asociado con una pila 110 respectiva e incluye una salida 1415 de terminal de control y una salida 1420 de terminal principal. Las salidas 1415 de terminal de control deben acoplarse a un terminal de control respectivo del transistor 105 en la pila 110 asociada. Las salidas de terminal principales 1420 deben acoplarse a un terminal principal respectivo del mismo transistor 105 en la pila 110 asociada.

Los conductores de columna a columna 1710 y los elementos de adaptación de impedancia local 1715 definen juntos porciones de la señal de la fuente 50 que se introducen en cada una de las celdas activas 105. En algunas implementaciones, los conductores 1710 y los elementos de adaptación de impedancia 1715 definen juntos una impedancia característica de "ZL" al final de la fila (a la derecha en la representación esquemática de la figura 17) y una impedancia característica de " ZL/k " para cada celda activa 105, donde "k" es la posición del extremo inferior activo la celda 105 en la fila inferior 138 de la matriz. Por lo tanto, la primera celda activa 105 en la fila inferior tendrá una impedancia característica de " ZL/M ", donde "M" es el número total de celdas en la fila y el número de columnas en la matriz. En la implementación mostrada en la FIG. 17, M es igual a 4. Esta implementación se puede denominar topología de "alimentación y coincidencia de línea paralela".

Como resultado, a altas frecuencias, la impedancia de entrada al comienzo de la fila es ZL/M. A bajas frecuencias, la impedancia de entrada es ZL. En algunas implementaciones, se puede usar una red de adaptación adicional para altas frecuencias y la impedancia de entrada de alta frecuencia puede elevarse, por ejemplo, desde ZL/M a ZL.

La FIG. 18 es una representación esquemática de una línea de distribución 130 y un elemento de adaptación de impedancia 135 que se puede acoplar para distribuir una señal desde la fuente de señal 50 a una fila de transistores 105. En la implementación ilustrada, la fila de transistores 105 en la cual línea de distribución 130 y el elemento de adaptación de impedancia 135 distribuye una señal que será una de las filas más altas de una matriz en lugar de una fila inferior. La implementación ilustrada del carril de distribución 115 incluye una colección de conductores de columna a columna 1810 y elementos de adaptación de impedancia 1815.

Cada elemento de adaptación de impedancia 1815 está asociado con una pila respectiva 110 e incluye una salida de terminal de control 1415 y una salida de terminal principal 1420. Las salidas de terminal de control 1415 deben acoplarse a un terminal de control respectivo de un transistor 105 en la pila asociada 110. Las salidas de terminal principal 1420 deben acoplarse a un terminal principal respectivo del mismo transistor 105 en la pila 110 asociada.

Los conductores 1810 de columna a columna conectan los elementos 1815 de adaptación de impedancia (y, por lo tanto, las trayectorias de entrada de los transistores 105 respectivamente asociados) en serie. En particular, un camino conductor 1817 pasa a través de cada uno de los elementos de adaptación de impedancia 1815 y las señales conducidas a lo largo del camino conductor 1817 regresan a la fuente de señal 50 a través de una línea de retorno 1819. En la implementación ilustrada, el camino conductor 1817 y la línea de retorno 1819 están separados por una capacitancia 1825 que bloquea el retorno de las señales de DC a la fuente de señal 50. En otras implementaciones, el condensador 1825 puede omitirse y la ruta conductora 1817 y la línea de retorno 1819 están conectadas directamente.

Cada elemento de adaptación de impedancia 1815 acopla una porción de la señal en la trayectoria conductora 1817 en un transistor respectivo 105 en la pila asociada 110. Las impedancias presentadas por los elementos de adaptación de

impedancia 1815 dependen de la posición de los elementos de adaptación de impedancia 1815 a lo largo de la trayectoria conductora 1817. En particular, el elemento de adaptación de impedancia 1815 en el extremo de la trayectoria conductora 1817 (a la derecha en la representación ilustrada) presenta una impedancia característica de ZL/M , donde M es el número de columnas en la matriz. Otros elementos de adaptación de impedancia 1815 presentan una impedancia característica de " ZL/k ", donde " k " es la posición del elemento de adaptación de impedancia 1815 a lo largo del recorrido 1817. En la representación ilustrada, " k " es igual a uno para la impedancia elemento coincidente 1815 de más a la izquierda, " k " es igual a dos para el elemento de adaptación de impedancia 1815 que es segundo desde la izquierda, etc. Por lo tanto, la impedancia 1820 vista desde la fuente 50 en el subcircuito de coincidencia y distribución completo 130, 135 se corresponde con ZL . Como resultado, para el k -ésimo transistor 105 en una fila, la alimentación de DC se proporciona a través de las impedancias de "adaptación forzada" conectadas en serie a la izquierda del k -ésimo transistor 105. Por consiguiente, esta implementación puede denominarse como una topología "línea de serie de alimentación y emparejamiento".

En algunas implementaciones, los elementos de adaptación de impedancias 1815 se implementan como diplexores u otras estructuras que coinciden directamente con la impedancia ZL/M a altas frecuencias o fuerzan una adaptación a bajas frecuencias.

La FIG. 19 es una representación esquemática de una línea de distribución 130 y un elemento de adaptación de impedancia 135 que puede acoplarse para distribuir una señal desde la fuente de señal 50 a una fila de transistores 105. La implementación ilustrada de la línea de distribución 130 y el elemento de adaptación de impedancia 135 incluye una colección de transformadores 1905, conductores de columna a columna 1910, y elementos de adaptación de impedancia 1915.

Cada elemento de adaptación de impedancia 1915 está asociado con una pila respectiva 110 e incluye una salida de terminal de control 1415 y una salida de terminal principal 1420. Las salidas de terminal de control 1415 deben acoplarse a un terminal de control respectivo de un transistor 105 en la pila asociada 110. Las salidas de terminal principal 1420 deben acoplarse a un terminal principal respectivo del mismo transistor 105 en la pila 110 asociada.

Los transformadores 1905 incluyen cada uno un primer devanado 1930 y un segundo devanado 1935. Los primeros devanados 1930 y uno de los conductores de los conductores de columna a columna 1910 se acoplan en serie para formar una trayectoria conductora 1917. El otro de los conductores de los conductores de columna a columna 1910 están acoplados entre sí para formar una línea de retorno 1919. En la implementación ilustrada, la vía conductora 1917 y la línea de retorno 1919 están separadas por una capacitancia 1945 que bloquea el retorno de las señales de DC a la fuente de señal 50. En otras implementaciones, el condensador 1825 puede ser omitido y la ruta conductora 1917 y la línea de retorno 1919 se conectarán directamente. Los transformadores 1905 permiten una alimentación directa de entrada de DC para cada celda activa 105 de la fila, incluso sin las resistencias en serie de adaptación forzada en la ruta de DC de entrada (tal como se muestra en la figura 18).

En algunas implementaciones, la circuitería representada esquemáticamente en la FIG. 19 también puede incluir una resistencia de desacoplamiento de DC, tal como la impedancia 155 (figura 1). En estos casos, la circuitería puede usarse como un carril de distribución 115 para distribuir una señal desde una fuente de señal 50 a los transistores más inferiores 105 en cada una de las pilas 110. En algunas de estas implementaciones, los terminales principales fuente/emisor de los transistores inferiores 105 se puede acoplar a tierra en lugar de a la salida del terminal principal 1420.

La FIG. 20 es una representación esquemática de una línea de distribución 130 y un elemento de adaptación de impedancia 135 que puede acoplarse para distribuir señales del par de fuentes de señal 50a, 50b a una fila de transistores 105. La implementación ilustrada de la línea de distribución 130 y el elemento de adaptación de impedancia 135 incluye una colección de conductores de tres conductores de columna a columna 2010 y elementos de adaptación de impedancias 2015.

En la implementación ilustrada, las fuentes de señal 50a, 50b son un par de transistores de efecto de campo emparejados. Se introduce una señal de control equilibrada en ambos terminales de control 53 de las fuentes de señal 50a, 50b. Un primer terminal principal de la fuente de señal 50a (es decir, el terminal de drenaje en la implementación ilustrada) está acoplado a un primer conductor 2020 de conductores de columna a columna 2010. Un primer terminal principal de la fuente de señal 50b (es decir, el terminal de drenaje en la implementación ilustrada) está

acoplada a un segundo conductor 2025 de conductores de columna a columna 2010. El tercer conductor 2030 de los conductores de columna a columna 2010 es una línea de retorno común. Un extremo del tercer conductor 2030 está acoplado a cada uno del primer terminal principal de la fuente de señal 50a y el primer terminal principal de la fuente de señal 50b, así como a los conductores 2020, 2025, por una resistencia respectiva 2055. En la implementación ilustrada, el otro extremo del tercer conductor 2030 está acoplado a cada uno de los conductores 2020, 2025 por una capacitancia 2045 respectiva que bloquea el retorno de las señales de DC a las fuentes de señal 50a, 50b.

En cada conductor 2020, 2025, los elementos de adaptación de impedancia 2015 (y, por lo tanto, los transistores asociados respectivamente 105) están acoplados en serie. En particular, el conductor 2020 forma una ruta conductora que pasa a través de cualquier otro elemento de adaptación de impedancias 2015 (concretamente, el primero y el tercero en la implementación ilustrada). El conductor 2025 forma una ruta conductora que pasa a través de cualquier otro elemento de adaptación de impedancias 2015 (es decir, el segundo y el cuarto en la implementación ilustrada). El conductor 2020 distribuye así la señal de activación generada por la fuente de señal 50a a la mitad de los elementos activos 105 en la fila, mientras que el conductor 2025 distribuye la señal de accionamiento generada por la fuente de señal 50b a la otra mitad de los elementos activos 105 en la fila.

Al igual que con la topología "línea de serie de alimentación y emparejamiento" de la FIG. 18, cada elemento de adaptación de impedancia 2015 acopla una porción de la señal en los respectivos conductores 2020, 2025 en un transistor 105 respectivo en la pila 110 asociada. Las impedancias presentadas por los elementos de adaptación de impedancia 2015 dependen de la posición de los elementos de adaptación de impedancia 2015 a lo largo de conductores 2020, 2025. En particular, el elemento de adaptación de impedancia 2015 al final del conductor 2020 (a la derecha en la representación ilustrada) presenta una impedancia característica de $ZL/M/2$, donde M es el número total de columnas en la matriz. Otros elementos de adaptación de impedancia 2015 presentan una impedancia característica de " ZL/k ", donde "k" es la posición del elemento de adaptación de impedancia 2015 a lo largo de los respectivos conductores 2020, 2025. En la representación ilustrada, "k" es igual a uno para los elementos de coincidencia de impedancia de más a la izquierda y el segundo contado desde la izquierda 2015 ya que los elementos de adaptación de impedancia 2015 están a lo largo de diferentes conductores 2020, 2025. Como resultado, la alimentación de DC se proporciona a

través de un número reducido de impedancias de "coincidencia forzada" conectadas en serie a la izquierda de cada transistor 105, reduciendo así la resistencia de alimentación de la serie DC para cada celda activa individual. En consecuencia, esta implementación puede denominarse una topología "alimentación de línea en serie y concordancia con líneas completamente simétricas".

Aunque la implementación ilustrada de la topología "alimentación de línea en serie y concordancia con líneas completamente simétricas" se muestra con dos fuentes de señal 50a, 50b y dos conductores 2020, 2025, en otras implementaciones, más de dos fuentes de señal y/o más de dos los conductores pueden usarse para proporcionar una señal de accionamiento a las celdas activas 105 en una sola fila.

La FIG. 21 es una representación esquemática de un carril de recolección desequilibrado 120 que está acoplado para recoger las señales que pasan a través de M columnas de un amplificador de potencia de matriz y dirigirlas a una carga 70. Por conveniencia, solo se ilustra la fila superior de transistores 105 de cuatro pilas 110. La implementación ilustrada del carril de recolección 120 incluye una colección de conductores de columna a columna 2105 y elementos de adaptación de impedancia 2110.

Cada elemento de adaptación de impedancia 2110 está asociado con un apilamiento 110 respectivo y, en la implementación ilustrada, incluye una inductancia 2115 y una capacitancia 2120. La magnitud de los componentes que forman los elementos de adaptación 2110 puede configurarse, por ejemplo, para compensar la capacitancia de salida efectiva de cada pila respectiva 110. En otras implementaciones, se pueden omitir los elementos de adaptación de impedancia 2110 y la salida de cada pila respectiva 110 se puede acoplar directamente a los respectivos conductores de columna a columna 2105.

En la implementación desequilibrada ilustrada de un carril de recolección 120, cada conductor de columna a columna 2105 incluye un cable puesto a tierra y un cable no puesto a tierra. Los cables no puestos a tierra se acoplan en serie y a las salidas de las pilas 110. En la orientación ilustrada, el conductor 2105 de columna a columna más a la izquierda tiene una impedancia de $N \cdot Z_L$, donde N es el número de filas en la matriz. Continuando desde la izquierda, el conductor kth de columna a columna 2105 tiene una impedancia de $N \cdot Z_L / k$, donde N es el número de filas en la matriz, y la línea final N-ésima tiene la impedancia $N \cdot Z_L / M$, donde M es el número

de columnas en la matriz. Las longitudes de línea 2105 están dimensionadas para coincidir con el retardo entre señales de entrada o salida de pilas adyacentes 110.

Por ejemplo, cuando se usa un carril de recolección no balanceado 120 en un
 5 amplificador de matriz junto con una línea de distribución 130 y un elemento de adaptación de impedancia 135 tal como aquel mostrado en la FIG. 18, las longitudes de línea de las líneas 2105 están dimensionadas para coincidir con los retardos asociados con porciones respectivas de la trayectoria conductora 1817. Un extremo de los cables no conectados a tierra conectados en serie está acoplado al puerto
 10 combinado de la T de polarización de alta potencia 170. El puerto de alta frecuencia de la T de polarización 170 está acoplado a la carga 70 y el puerto de baja frecuencia está acoplado a la fuente de DC 160. Los cables no conectados a tierra están así polarizados por la fuente de DC 160 que suministra la "tensión de colector/drenaje de matriz" (es decir, el número de filas N veces la tensión de drenaje/colector de las celdas individuales o $N \cdot VDD$) a las celdas individuales de la
 15 fila superior a través de los cables sin conexión a tierra conectados en serie del carril de recolección 120. El valor de resistencia de carga es $RL = N/M \cdot R_{Cripps}$, y el valor de la impedancia de referencia ZL es igual al valor de resistencia de carga RL . " R_{Cripps} " es la resistencia de carga óptima de la celda FET/BJT individual, ya sea
 20 por potencia, o eficiencia de potencia añadida, o algún compromiso entre ellos.

En la implementación ilustrada, la celda activa superior en una pila 110 incluye una red pre emparejada de salida 2130. La red 2130 de salida pre emparejada es un componente opcional y, en general, se desplegará para la celda
 25 activa superior en cada pila 110 del amplificador de matriz o por cada celda del amplificador de matriz. Cada red pre emparejada de salida 2130 está configurada para hacer coincidir la salida de una celda respectiva en la matriz con la impedancia vista por esa celda, de modo que la potencia de salida sea alta y se logre una alta eficiencia de potencia añadida. En general, es deseable que la eficiencia añadida de potencia sea lo más alta posible. En el contexto de un carril de recolección 120, cada
 30 red pre emparejada de salida 2130 en la celda activa superior de la pila 110 está configurada para coincidir con la impedancia vista por esa celda en el carril de recolección 120. Esta implementación del carril de recolección 120 puede denominarse como Topología de amplificador de potencia distribuida no uniforme (NDPA) "especial". En particular, la implementación ilustrada del carril de recolección
 35 120 es "especial" porque todas las celdas activas tienen aproximadamente el mismo tamaño de celda, lo que contrasta con el NDPA clásico en el que el tamaño de la celda varía para mejorar la adaptación. En el NDPA especial, son posibles tamaños

de celda activos casi iguales porque las impedancias características de las líneas de salida se dividen por el factor de apilamiento N. Dado que los tamaños de celda activa son casi iguales, se facilita la implementación en la tecnología integrada plana.

5

Las FIGS. 22 y 23 son representaciones esquemáticas de un par de filas 137 dentro de un amplificador de potencia de matriz. Las líneas de distribución 130 están acopladas a los terminales de control de los transistores 105 en cada fila 137. Aunque solo se ilustran un par de filas 137 y una única línea de distribución 130, un
10 amplificador de potencia de matriz completo puede tener varias filas y líneas de distribución adicionales.

La línea de distribución ilustrada 130 se implementa como una línea de transmisión de dos conductores equilibrada e incluye una línea de señal de control 2205 y una línea de señal principal 2210. La línea de señal de control 2205 está
15 acoplada para distribuir una parte de una señal de accionamiento a cada uno de los terminales de control los transistores 105 en una fila 137 respectiva. En la implementación ilustrada en la FIG. 22, la señal de accionamiento se acopla directamente a los terminales de control mediante un conductor 2215. En la
20 implementación ilustrada en la FIG. 23, la señal de accionamiento está acoplada a través de un elemento de adaptación de impedancia 2305. Los retardos asociados con porciones de la línea de señal de control 2205 y conductores 2215 o elemento de adaptación de impedancia 2305 pueden elegirse para coordinar la conducción de corriente por transistores 105 en la fila 137 respectiva.

25

La línea de señal principal 2210 está acoplada a los terminales principales de los transistores 105 en la misma fila 137 que recibe señales de activación desde la línea de señal de control 2205 y la fila anterior 137. En particular, la línea de señal principal 2210 está acoplada a la fuente o terminal emisor de los transistores 105 en
30 la misma fila 137 que reciben señales de accionamiento de la línea de señal de control 2205 y el drenaje o colector de los transistores 105 en la fila anterior 137. Como resultado, la línea de señal principal 2210 combina las salidas de los terminales de drenaje o colector de los transistores 105 en una fila 137 y divide el resultado entre los terminales fuente o emisor de los transistores 105 en la siguiente
35 fila 137.

En la implementación ilustrada en la FIG. 22, la línea de señal principal 2210 incluye un grupo de conductores de pila a pila 2220 que se acoplan a los

conductores (como se ilustra, vertical) entre los terminales principales de los transistores 105 en filas adyacentes 137. En la implementación ilustrada en la FIG. 23, la línea de señal principal 2210 incluye un grupo de elementos de adaptación de impedancia 2310 que se acoplan a una posición entre un elemento de adaptación de impedancia desequilibrado 2315 que se acopla al drenaje o colector de los transistores 105 en la fila precedente 137 y el elemento de adaptación de impedancia 2305 al terminal fuente o emisor de los transistores 105 en la misma fila 137 que recibe señales de activación desde la línea de señal de control 2205. En otras implementaciones, los conductores entre los terminales principales de transistores individuales 105 en filas adyacentes 137 pueden ser reemplazados por elementos combinadores/divisores que combinan las señales en los terminales de colector o de drenaje de los transistores 105 en una fila 137 y luego dividen la señal resultante entre los terminales fuente o emisor de los transistores 105 en la siguiente fila 137.

Combinando las salidas de los transistores 105 en una fila 137 y luego dividiendo el resultado entre los transistores 105 en la siguiente fila 137, la conducción dentro del amplificador de matriz puede equilibrarse. En particular, el amplificador de matriz resultante tiene un esquema de interconexión de fila y columna ortogonal donde la señal de control de entrada se alimenta a través de las líneas 2205 en fila y las señales de salida de los transistores individuales 105 se recogen o transfieren a través de las líneas 2215 (o, alternativamente en la FIG. 23, a través de los elementos de adaptación 2305 y 2315), desde una fila de celdas activas a la siguiente.

En la implementación ilustrada en la FIG. 22, la línea de señal principal 2210 es polarizada por una fuente de DC 2225 opcional que está acoplada a la línea de señal principal 2210 mediante una inductancia 2230. La fuente de DC 2225 puede polarizar la línea de señal principal 2210 a un potencial que es una fracción del potencial suministrado por fuente de DCC 160 al carril de recolección 120. En particular, la fuente de corriente continua 2225 puede desviar la quinta fila 137 con un potencial igual a k/N del suministrado por la fuente de corriente continua 160, donde N es el número total de filas. Al acoplar la fuente de DC 2225 a la línea de señal principal 2210, la fuente de DC 160 no necesita suministrar potencia a todo el amplificador de matriz. Por el contrario, el desvío del drenaje de DC se puede dividir de manera parcial o totalmente en filas, lo que permite que múltiples fuentes más pequeñas suministren esa potencia.

La FIG. 24 es una representación esquemática de un amplificador de potencia de matriz 2400. El amplificador de potencia de matriz 2400 incluye un único controlador de matriz activa 125 que impulsa múltiples pilas 110. Las mismas pilas 110 están acopladas en paralelo entre el carril de distribución no equilibrado 115 y el carril de recolección no equilibrado 120. El carril de distribución 115 está acoplado para distribuir una señal desde una fuente de señal 50 a los transistores inferiores 105 en cada una de las pilas 110. El carril de recolección 120 está acoplado para recoger las señales que pasan a través de pilas y dirigirlas a una carga 70. La fuente de corriente continua 160 está acoplada para polarizar todas pilas 110.

El controlador de matriz activo 125 acciona cada una de las filas 137 por separado usando una línea de distribución de fila respectiva 130. La línea de distribución de fila 130 termina en una impedancia real 1310 y una impedancia capacitiva 1315. Los valores de impedancias 1310, 1315 están configurados para coincidir con la impedancia de una línea de distribución de fila 130 de modo que una señal de accionamiento se acopla apropiadamente a la misma desde el controlador de matrices 125. En particular, el condensador 1315 se usa para la separación de DC entre la tensión de control de entrada y la tensión de terminal de salida, mientras que la resistencia 1310 se ajusta a la impedancia característica de la líneas 130.

La FIG. 25 es una representación esquemática de un amplificador de potencia de matriz 2500. El amplificador de potencia de matriz 2500 no incluye un controlador de matriz activa 125. Más bien, cada pila 110 incluye un controlador de arranque en serie o en paralelo tal como se ilustra, por ejemplo, en las FIGS. 4, 5, 6 y 8. En estas implementaciones, el carril de distribución 115 está acoplado para distribuir la señal desde la fuente de señal 50 a los transistores 105 en la fila más inferior 138. El potencial resultante en el drenaje o colector de los transistores 105 en fila 138 se carga para polarizar los terminales de control de los transistores 105 en las filas 137 siguientes, lo que conduce a una onda de control de corriente que pasa a través de la matriz bidimensional de transistores 105 desde la parte inferior a la superior en la dirección ilustrada de las pilas 110. Una fuente DC 160 está acoplada para polarizar todas las pilas 110.

La FIG. 26 es una representación esquemática de un amplificador de potencia de matriz 2600. El amplificador de potencia de matriz 2600 incluye múltiples controladores de matriz activa 125 que cada uno impulsa múltiples pilas 110. Cada pila 110 está formada por una colección de celdas activas acopladas en serie entre el carril de distribución 115 y el carril de recolección 120. Sin embargo, en la

implementación ilustrada, cada celda activa está formada por un par de transistores 105 que están en paralelo. En particular, los terminales de control de ambos transistores en el par están acoplados entre sí y reciben una única señal de control. Además, los respectivos terminales principales de ambos transistores están acoplados, ya que en efecto, duplican la capacidad de transporte de corriente de las celdas activas doblando el área activa de las celdas activas. Por lo tanto, en la representación esquemática ilustrativa, cada controlador de matriz activa 125 impulsa un par de pilas 110, una ilustrativamente dispuesta a la izquierda del controlador de matriz activo 125 y una ilustrativamente dispuesta a la derecha del controlador de matriz activo 125.

En algunas implementaciones, los terminales principales de celdas activas que son accionados por diferentes controladores de matriz activo 125 se pueden acoplar entre sí para combinar las salidas de transistores 105 accionadas por diferentes controladores de matriz activo 125. La señal resultante se puede dividir luego entre los transistores 105 en la próxima fila. Un ejemplo de tal enfoque se muestra en las Figs. 22, 23, aunque en el contexto de un transistor 105 por celda activa.

La FIG. 27 es una representación esquemática de un amplificador de potencia de matriz 2700. El amplificador de potencia de matriz 2700 incluye múltiples controladores de matriz pasiva no balanceados 305. En la implementación ilustrada, cada controlador de matriz pasiva no balanceada 305 está acoplado a una celda activa que incluye múltiples transistores 105 por un transformador balun. 315. Los transformadores Balun 315 convierten la señal no equilibrada en controladores de matriz pasiva 305 a señales balanceadas y actúan como elementos de adaptación de impedancia para acoplar las señales de accionamiento a transistores 105 en diferentes pilas 110.

En la implementación ilustrada, los terminales principales de celdas activas que son accionados por diferentes controladores de matriz pasiva 305 están acoplados entre sí para combinar las salidas de transistores 105 accionadas por diferentes controladores de matriz pasiva 305. La señal resultante se divide entonces entre los transistores 105 en la siguiente fila.

En la implementación ilustrada, dos de los controladores de matriz pasiva no balanceados 305 (es decir, los controladores de matriz pasiva 305 dispuestos en el medio de la representación esquemática) compartían una única línea de retorno con

conexión a tierra. Este no es necesariamente el caso. Por ejemplo, en algunas implementaciones, cada controlador de matriz pasiva 305 puede incluir una línea de retorno individual.

5 En la implementación ilustrada, dos de los controladores de matriz pasiva no balanceados 305 (es decir, los controladores de matriz pasiva 305 dispuestos a la izquierda y a la derecha en la representación esquemática) tienen línea de retorno individual conectada a tierra. Este no es necesariamente el caso. Por ejemplo, en algunas implementaciones, estos dos controladores de matriz pasiva 305 también
10 pueden compartir una única línea de retorno.

Las FIGS. 28, 29 son representaciones esquemáticas de amplificadores de potencia de matriz 2800, 2900. Los amplificadores de potencia de matriz 2800, 2900 son ambos ejemplos de matriz "no cuadrada" porque el número de columnas M no
15 es igual al número de filas N en la matriz. En algunas implementaciones, esto puede facilitar la adaptación de la impedancia de las celdas activas en la matriz a la impedancia de una carga externa del sistema (por ejemplo, usando el método de línea de carga Cripps).

20 En algunas implementaciones, los amplificadores de potencia de matriz 2800, 2900 pueden incluir un controlador de matriz activa 125. En algunas de tales implementaciones, el tamaño u otras características de dicho activador de matriz activa 125 pueden diferir del tamaño u otras características de las celdas activas en la matriz. En tales implementaciones, la potencia de la señal emitida por la fuente de
25 señal 50 no se distribuirá de manera idéntica al controlador de matriz activa 125 y cada una de las celdas activas en la fila inferior 138 de la matriz. Las ecuaciones 4, 5 anteriores se pueden ajustar para tener en cuenta esta distribución no uniforme.

La FIG. 30a es una representación esquemática de un amplificador de potencia de matriz 3000. El amplificador de potencia de matriz 3000 incluye una
30 pluralidad de celdas activas 3005 conectadas en paralelo, cada una de las cuales está formada por múltiples transistores 105. En particular, en la implementación ilustrada, cada celda activa 3005 incluye tres transistores 105. Los terminales de control y los terminales principales de fuente/emisor de estos transistores 105 están
35 acoplados a una línea de distribución de celda activa 3050 que acopla porciones de una señal de accionamiento a los terminales de control con retardos apropiados para coordinar la conducción de corriente por los transistores 105. Sin embargo, los terminales principales de drenaje/colector de los transistores 105 en cada celda

activa 3005 están acoplados a una línea de recolección 3010 que recoge las corrientes conducidas entre los terminales principales de cada transistor 105 en una celda activa 3005. La línea de recolección 3010 transmite las corrientes recogidas desde los terminales principales de drenaje/colector de los transistores 105 en una celda activa 3005 a través de una línea no balanceada 3015 a los terminales principales de fuente/emisor de los transistores 105 en la siguiente celda activa 3005 a través de la línea de distribución de celdas activas 3050 de la siguiente celda activa 3005.

Las líneas de distribución de celdas activas 3050 reciben las corrientes recogidas de los terminales principales de drenaje/colector de los transistores 105 en una celda activa 3005 en un extremo (a la derecha en la orientación ilustrada) y transmiten esas corrientes a los terminales principales fuente/emisor del transistores 105 en la celda activa asociada 3005 como un terminal no inversor del amplificador diferencial de adaptación de impedancias 3055 en un controlador de matriz 125. Las líneas que forman cada línea de distribución de celda activa 3050 están dimensionadas de modo que las capacitancias de entrada de los transistores 105 están ocultas en la línea de distribución de celda 3050 como en un amplificador distribuido (TWA) y la salida de baluns 3055 se corresponde con las celdas activas. Además, la línea de recolección de salida está dimensionada como en un amplificador de potencia distribuida no uniforme (NDPA) con respecto a la temporización de señal y la impedancia de carga que se ve por cada transistor 105 en la fila 3005.

En la implementación ilustrada, el controlador de matriz 125 incluye no solo los amplificadores diferenciales 3055 entre celdas activas 3005, sino también una cadena divisoria de tensión resistiva 168 que está conectada a FET que actúan como seguidores fuente o fuentes de tensión, respectivamente, que establecen los voltajes de polarización DC correctos para los amplificadores diferenciales 3055.

La FIG. 30b es una representación esquemática de un amplificador diferencial de coincidencia de impedancia 3055 que puede usarse en amplificadores de potencia de matriz de fila coincidentes. El amplificador diferencial 3055 incluye un terminal de entrada inversora 3180, un terminal de entrada no inversora 3182, un terminal de alta salida 3184 y un terminal de baja salida 3186. El amplificador diferencial 3055 también incluye un terminal de suministro alto 3190 y un terminal de suministro bajo 3192.

El amplificador diferencial 3055 incluye un par de transistores 3194 adaptados, cada uno de los cuales está acoplado entre un potencial alto de drenaje lateral y un potencial bajo de fuente lateral. El terminal de control del primero de los transistores 3194 está acoplado al terminal de entrada no inversora 3182. El terminal de control del segundo de los transistores 3194 está acoplado al terminal de entrada inversora 3180. Las diferencias en el potencial en los terminales de entrada 3180, 3182 producen diferencias en la conductividad de los transistores 3194. Esas diferencias en la conductividad de los transistores 3194 dan como resultado diferentes caídas de potencial a través de las impedancias 3196, 3197 que acoplan los desagües de los transistores 3194 al terminal de suministro alto 3190. Los terminales de salida 3184, 3186 producen la diferencia resultante.

Como se muestra, las fuentes de los transistores 3194 están acopladas entre sí y comparten una trayectoria común al terminal de suministro bajo 3192. La impedancia entre ambos terminales de salida 3184, 3186 y el terminal de suministro bajo 3192 es casi idéntica excepto por las diferencias relativamente pequeñas en la impedancia de transistores 3194. El amplificador diferencial 3055 puede así actuar como un balún y convertir una entrada no balanceada en las entradas 3180, 3182 en una salida equilibrada en los terminales de salida 3184, 3186.

La FIG. 31 es una representación esquemática de un amplificador de potencia de matriz 3100. Al igual que el amplificador de potencia de matriz 3000 (figura 30a), el amplificador de potencia de matriz 3100 también incluye una colección de celdas activas 3005 formadas por múltiples transistores 105 y una línea de recolección 3010 que transmite corrientes recogidas de los terminales principales de drenaje/colector de esos transistores 105 a los terminales principales fuente/emisor de los transistores 105 en la siguiente celda activa 3005.

En el amplificador de potencia de matriz 3100, el controlador de matriz 125 recibe la señal de RF emitida por la fuente de señal 50 en una línea de distribución desequilibrada 3105. A través de una serie de transformadores 3110, la línea de distribución no equilibrada acopla la señal de RF en los terminales de entrada de amplificadores diferenciales que actúan como elementos de adaptación de impedancia activa 135 para hacer coincidir la impedancia de las líneas 3050 de distribución de celdas activas y los transistores 105.

La FIG. 32 es una representación esquemática de un amplificador de potencia de matriz bidimensional 3200. El amplificador de potencia de matriz bidimensional

3200 incluye una matriz bidimensional de tipo p 3205 y una matriz bidimensional de tipo n 3210. La matriz bidimensional de tipo p 3205 incluye una colección de transistores de tipo p 105 que actúan como elementos activos. La matriz bidimensional de tipo N 3210 incluye una colección de transistores de tipo n 105 que actúan como elementos activos. Una fuente de DC 145 que emite una señal de DC que es negativa con respecto a tierra controla el flujo de corriente a través de la matriz bidimensional de tipo N 3210. Una fuente de DC 145 que emite una señal de DC que es positiva con respecto a tierra controla el flujo de corriente a través de la matriz bidimensional de tipo P 3205. La señal de RF emitida por la fuente de RF 50 se desplaza en nivel por la circuitería de desplazamiento de nivel respectiva 3215, 3220 que incluye seguidores fuente y fuentes de corriente (por ejemplo, formada por transistores de unión bipolar npn y pnp, respectivamente) y resistencias de desplazamiento de nivel DC entre ellas para acoplarse a las respectivas matrices 3205, 3210.

El amplificador de potencia de matriz bidimensional 3200 proporciona así a la carga 70 una salida de RF libre de corriente continua referida a tierra o potencial cero.

La FIG. 33 es una representación esquemática de un amplificador de potencia de matriz bidimensional 3200 que incluye un par de matrices bidimensionales de tipo p 3205 y matrices bidimensionales de tipo n 3210 ensambladas en una configuración de "H completo". El amplificador de potencia de matriz bidimensional 3200 proporciona una salida de RF simétrica que se requiere (por ejemplo, para la salida a un alimentador de antena de tipo Lecher).

La FIG. 34 es una representación esquemática de un amplificador de potencia de matriz 3400. El amplificador de potencia de matriz 3400 incluye una pluralidad de celdas activas conectadas en paralelo 3005, cada una de las cuales incluye cuatro transistores 105.

En contraste con los amplificadores de potencia de matriz 3000, 3100 (figuras 30, 31), el amplificador de potencia matriz 3400 incluye un circuito de polarización 3405 que está acoplado entre celdas activas 3005. El circuito de polarización 3405 polariza la línea de recolección 3010 de una celda activa 3005 a través de la línea desequilibrada 3015 y la línea de la línea de distribución de celdas activas 3050 que está acoplada a los terminales principales fuente/emisor de los transistores 105 en la celda activa adyacente 3005. En otras palabras, la circuitería de polarización 3405

polariza tanto la salida de los terminales principales 105 de los transistores una celda activa 3005 y la entrada de los terminales principales de los transistores 105 en la celda activa adyacente 3005.

Como resultado, cualquier corriente DC conducida entre los terminales de control y los terminales principales fuente/emisor de los transistores 105 no se reutiliza. Esto reduce el voltaje de suministro de DC de salida en un factor N igual al número de filas, pero aumenta la corriente de suministro de DC requerida total por el mismo factor N en relación con las otras variantes de topología presentadas aquí. Sin embargo, la tensión de salida de RF total y la oscilación de la corriente en el amplificador de matriz 3400 son sustancialmente iguales que en estas otras variantes.

La FIG. 35 es una representación esquemática de un amplificador de potencia de matriz 3400. El amplificador de potencia de matriz 3500 que incluye una matriz bidimensional de matriz bidimensional de amplificadores de potencia de matriz. Los amplificadores de potencia de matriz en el amplificador de potencia de matriz 3500 pueden ser cualquiera de los amplificadores de potencia de matriz 100, 200, ... descritos en este documento. En algunas implementaciones, los amplificadores de potencia de matriz en el amplificador de potencia de matriz 3500 pueden interconectarse utilizando interconexiones de líneas de transmisión que tienen secciones transversales relativamente grandes usando integración híbrida o tecnologías de ensamblaje de módulos de múltiples chips en lugar de circuitos integrados de microondas monolíticos. Además, las pérdidas de combinación se pueden mantener lo suficientemente bajas para una combinación de potencia efectiva. Con tal matriz de amplificadores de potencia de matriz, la potencia de salida total puede aumentarse adicionalmente mientras se mantiene una adaptación de impedancia deseada.

La FIG. 36 es una representación esquemática de una etapa 3600 de contrafase que incluye un par de amplificadores de matriz 3605, 3610. En la implementación ilustrada, cada uno de los amplificadores de matriz 3605, 3610 incluye una única pila de transistores 105 que se impulsan juntos de manera que la salida de señal en un terminal principal de un transistor 105 acciona el terminal de control del transistor subsiguiente 105. En otras implementaciones, los amplificadores de matriz 3605, 3610 pueden incluir múltiples de tales pilas y/o distribuir la señal de accionamiento usando cualquiera de los circuitos descritos en este documento.

Los amplificadores de matriz 3605, 3610 están acoplados entre sí para formar una etapa de contraflujo 3600. En la etapa contraflujo 3600, el amplificador de matriz 3610 de flujo de corriente actúa para "elevar" el carril de recolección 120 a un potencial positivo con respecto al suelo definido por la fuente de DC 3615. El flujo de corriente a través del amplificador de matriz 3605 actúa para empujar hacia abajo el carril de recolección 120 a un potencial negativo con respecto al suelo definido por la fuente de corriente continua 3612.

La implementación ilustrada de la etapa de contrafase 3600 incluye también un transistor de arranque 3620 y amplificación cruzada, resistencias 3652, 3654, capacitancia 3658 e inductancia 3659. En particular, el transistor 3620 y estos componentes arrancan juntos la salida de señal en el carril de recolección 120 de modo que el/los terminal (es) de control del o de los transistor(es) 3625 en la fila inferior del amplificador (3610) de matriz conmutan dichos transistor (es) 3625 a la conducción. Las señales emitidas en el terminal principal del (de los) transistor (es) 3625 accionan el terminal de control del/de los transistor (es) en la siguiente fila, y la señal de activación se propaga a través de la matriz del amplificador 3610 hasta que la flujo de corriente a través del amplificador 3610 actúa para "tirar hacia arriba" el carril de recolección 120.

El carril de recolección 120 está acoplado para recoger las señales que pasan a través de ambos amplificadores de matriz 3605, 3610 y acoplarlas a la carga 70. En la implementación ilustrada, una red de adaptación de impedancia de salida 3630 está acoplada entre el carril de recolección 120 y la carga 70 para mejorar la transferencia de potencia. Como no hay una polarización en T dispuesta entre el carril de recolección 120 y la carga 70, pueden evitarse los límites de corriente y (especialmente, bajos) los límites de funcionamiento de frecuencia de las bielas.

Además, la etapa de contrafase 3600 incluye un bucle de control de baja frecuencia que regula el potencial de DC en el carril de recolección 120. Como resultado de esta regulación, la salida de la etapa de contrafase 3600 es libre de corriente continua, es decir, simétrica a la positiva y voltajes de suministro de DC negativos suministrados por las fuentes de DC 3612, 3615. El lazo de control incluye un amplificador de error 3640 y emplea un amplificador de matriz 3610 como controlador para regular la salida de la etapa de contrafase 3600. El amplificador de error 3640 es un amplificador diferencial de frecuencia baja o cuasi -DC que está acoplado para determinar las diferencias de baja frecuencia entre el potencial en el riel de salida 120 y tierra y envía la diferencia como una señal de error en el

conductor 3660. La respuesta de frecuencia del amplificador de error 3640, incluyendo la frecuencia de corte superior, está determinada por una colección de elementos resistivos y capacitivos 3661, 3662, 3663, 3665, 3666. La señal de error está acoplada por un conductor 3660 al terminal o terminales de control del o de los transistor 3625 en la fila inferior del amplificador de matriz 3610. El/los transistor (es) 3625 responden a la señal de error como seguidor de fuente y ajusta el potencial de DC en el carril de salida 120 a cero.

La etapa de contrafase de empujar-tirar 3600 se puede designar como un "retorno de seguidor de fuente activa". En particular, el amplificador de matriz 3605 se puede considerar como un "amplificador de fuente común" con un terminal de fuente acoplado al potencial negativo con respecto a tierra, el terminal de control acoplado a la fuente 50 de RF, y el drenaje acoplado al carril 120 de recolección de salida y a tierra a través de una colección de impedancias 3650, 3652, 3654 reales y capacitancias 3656, 3658. Además, el amplificador de matriz 3610 puede considerarse un "retorno activo" para el seguidor fuente del amplificador de matriz 3605. En particular, el amplificador de matriz 3610 devuelve activamente el carril de recolección de salida 120 a un potencial mayor conduciendo corriente desde la fuente de corriente continua 3615 en respuesta a la señal de activación cargada a través del transistor de carga inicial 3620 del amplificador cruzado.

La FIG. 37 es una representación esquemática de una etapa de contrafase 3700 que incluye un par de amplificadores de matriz 3705, 3710. En la implementación ilustrada, cada uno de los amplificadores de matriz 3705, 3710 incluye una única pila de transistores 105 que están accionados por una cadena respectiva de baluns activos o amplificadores diferenciales 3715 y 3720 o 3725 y 3730. Cada amplificador diferencial 3715, 3720, 3725, 3730 incluye un par de transistores y amplifica la diferencia entre los potenciales en sus respectivos terminales de control para conducir un transistor 105 de una celda activa del amplificador de matriz.

Por ejemplo, en el amplificador de matriz 3705, el amplificador diferencial inferior 3715 amplifica una parte de la señal de la fuente de señal 50 que está acoplada no solo a los terminales de control de los transistores en el amplificador diferencial inferior 3715 sino también al terminal de control del transistor 105 en la fila inferior del amplificador de matriz 3705. El terminal principal superior (por ejemplo, drenaje/colector) de uno de los transistores en el amplificador diferencial inferior 3715 (el transistor izquierdo en la representación ilustrada) está acoplado no

solo al terminal de control de uno de los transistores en el subsiguiente amplificador diferencial 3720 (el transistor derecho en la representación ilustrada) sino también al terminal de control del transistor 105 en la fila o elementos activos posteriores. El terminal de control del otro transistor en este mismo amplificador diferencial 3720 está acoplado a la parte superior terminal principal (por ejemplo, drenaje/colector) del transistor 105 en la fila inferior. Las diferencias en los sesgos aplicados a los terminales de control de los transistores que forman cada amplificador diferencial 3720 se propagan igualmente a un amplificador diferencial posterior 3720 y la conductividad de los transistores 105 en el amplificador de matriz 3705 se controla concertadamente.

Obsérvese que los terminales de control de los transistores en el amplificador diferencial 3720 están siempre acoplados al mismo del terminal principal y de control del transistor asociado 105. En otras palabras, la entrada de inversión de cada amplificador diferencial 3720 está siempre acoplada a una de la terminal principal y de control del transistor asociado 105, y la entrada no inversora de cada amplificador diferencial 3720 está siempre acoplada a la otra.

En el amplificador de matriz 3710, el amplificador diferencial inferior 3725 amplifica la señal de la fuente de señal 50 con una polaridad opuesta de manera que la conducción de corriente a través del amplificador de matriz 3710 aumenta y disminuye en anti-fase con los aumentos y disminuciones en la conducción de corriente a través del amplificador de matriz 3705. Esto se logra invirtiendo los acoplamientos entre las entradas inversoras y no inversoras de los amplificadores diferenciales 3725, 3730 y el terminal principal y de control de los transistores asociados 105. Como resultado, las diferencias en los sesgos aplicados a los terminales de control de los transistores que forman el amplificador de matriz 3710 están en antifase con las diferencias en el amplificador de matriz 3705.

Los amplificadores de matriz 3705, 3710 se acoplan juntos para formar la etapa de contrafase 3700. En la etapa de contraflujo 3600, el amplificador de matriz 3710 de flujo de corriente actúa para "elevar" el carril de recolección 120 a un potencial positivo con respecto al suelo definido por fuente de DC 3615. El flujo de corriente a través del amplificador de matriz 3705 actúa para "empujar hacia abajo" el carril de recolección 120 a un potencial negativo con respecto a tierra.

La etapa ilustrada de contrafase 3700 también se puede designar como un "amplificador de fuente común". En otras implementaciones, cada uno de los amplificadores de matriz 3705, 3710 puede incluir múltiples pilas de transistores 105.

Además, la etapa de contrafase 3700 incluye bucles de control de baja frecuencia de manera que cada uno regula el potencial de DC en un carril de recolección 120 respectivo. Como resultado de esta regulación, la salida de la etapa de contrafase 3700 es libre de corriente continua, es decir, simétrica a los voltajes de suministro de DC positivos y negativos suministrados por los suministros de DC 3612, 3615. El lazo de control incluye un amplificador de error 3640 y emplea un amplificador de matriz 3710 como controlador para regular la salida de la etapa de contrafase 3700. El amplificador de error 3640 es de baja frecuencia o un amplificador diferencial cuasi-DC que está acoplado para determinar las diferencias de baja frecuencia entre el potencial en el carril de salida 120 y tierra. Esta señal de error está acoplada por el conductor 3660 al amplificador diferencial más inferior 3725. El amplificador diferencial más inferior 3725 y el transistor asociado 105 ajustan el potencial de DC en el carril de salida 120 a cero.

La FIG. 38 es una representación esquemática de un amplificador de potencia de matriz 3800 bidimensional que incluye un par de etapas contraflujo 3802, 3804 acopladas en una configuración de tipo H para proporcionar una salida de RF simétrica (por ejemplo, para salida a un alimentador de antena tipo Lecher).

En particular, la etapa 3802 de contrafase incluye un par de amplificadores de matriz 3805, 3810. La etapa de contrafase 3804 incluye un par de amplificadores de matriz 3815, 3820. En la implementación ilustrada, cada uno de los amplificadores de matriz 3805, 3810, 3815, 3820 incluye una única pila de transistores 105 que se impulsan juntos para que la salida de señal en un terminal principal de un transistor 105 accione el terminal de control del transistor subsiguiente 105. En otras implementaciones, los amplificadores de matriz 3805, 3810, 3815, 3820 pueden incluir múltiples de tales apila y/o distribuir la señal de manejo usando cualquiera de los circuitos descritos aquí.

Cada etapa de contrafase 3802, 3804 también incluye un transistor de arranque de amplificador cruzado 3620 y una o más resistencias, capacitancias y/o inductancias asociadas. Cada transistor 3620 y los componentes asociados juntos impulsan la señal de salida en un carril de recolección respectivo 120 de modo que los terminales de control del o de los transistores en la fila inferior de los respectivos amplificadores de matriz 3810, 3820 conmutan esos transistores (s) en la conducción. Las señales emitidas en el terminal principal del (de los) transistor (es) son, a su vez, cargadas mediante el impulso de los respectivos amplificadores de matriz 3810, 3820.

Las señales de empuje que pasan a través del amplificador de matriz 3805 y las señales de extracción que pasan a través del amplificador de matriz 3810 son recogidas por un carril de recolección 120 y dirigidas a un primer terminal 3870 de carga 70. Además, las señales de empuje que pasan a través del amplificador de matriz 3815 a través del amplificador de matriz 3820 se recogen mediante un carril de recolección 120 y se dirigen a un segundo terminal 3875 de carga 70. Estas señales están desfasadas 180 grados, de modo que la carga 70 se conduce con una salida de RF simétrica.

Además, el amplificador de potencia de matriz 3800 incluye un par de bucles de control de baja frecuencia que regulan el potencial de DC en un carril de recolección respectivo 120. Como resultado de esta regulación, la salida de las etapas de contrafase 3802 y 3804 está libre de corriente continua, es decir, simétrica a los voltajes de suministro de DC positivo y negativo suministrados por los suministros de DC 3612, 3615. Los bucles de control incluyen cada uno un amplificador de error 3640 y emplea amplificadores de matriz 3810, 3820 respectivos como controladores para regular la salida del amplificador de potencia de matriz 3800. Los amplificadores de error 3640 son amplificadores diferenciales de baja frecuencia o casi DC que están acoplados cada uno para determinar las diferencias de baja frecuencia entre el potencial en un carril de salida 120 respectivo y tierra. Esta señal de error está acoplada por un conductor respectivo 3660 (denominado "A" para la etapa de contrafase 3802 y "B" para la etapa de contrafase 3804) al terminal o terminales de control del (los) transistor (es) 105 más inferior (es) en el respectivo de los amplificadores de matriz 3810, 3820. Estos transistor (es) de fondo 105 ajusta(n) el potencial de DC en el carril de salida respectivo 120 a cero.

La FIG. 39 es una representación esquemática de una etapa 3900 de contrafase que incluye un par de amplificadores de matriz 3905, 3910. En la implementación ilustrada, cada uno de los amplificadores de matriz 3905, 3910 incluye cuatro apilamientos de transistores 110. Los transistores en cada fila en ambos amplificadores de matriz 3905, 3910 son accionados por la línea de distribución 130 y un elemento de adaptación de impedancia 135 respectivo. En la implementación ilustrada, los elementos de adaptación de impedancia 135 se muestran como amplificadores de activación activos.

Como se muestra, la polaridad de entrada de los amplificadores de control activos en los elementos coincidentes 135 del amplificador de matriz 3905 es la inversa de la polaridad de entrada de los amplificadores controladores activos en los

elementos coincidentes 135 del amplificador de matriz 3910. Como resultado, las celdas activas en el amplificador de matriz 3905 se impulsa en antifase con las celdas activas en la matriz bidimensional 3910.

5 Se han descrito varias implementaciones. Sin embargo, se entenderá que se pueden hacer varias modificaciones. Por ejemplo, la topología de controlador de arranque paralelo usada en las columnas de un amplificador de matriz (por ejemplo, en las Figuras 4, 5 y en los amplificadores de matriz de contrafase de las Figuras 36, 38) se puede usar junto con una etapa controladora de columna activo. En tales
10 casos, el divisor de voltaje del controlador de arranque paralelo está conectado a un transistor en el controlador activo en lugar de a los transistores 105 en las celdas activas.

 Por consiguiente, otras implementaciones están dentro del alcance de las
15 siguientes reivindicaciones.