

**REPÚBLICA DE COLOMBIA
SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO**

Oficio N° 11803

Ref. Expediente N° 16171357

Señor(a)
UNIVERSIDAD INDUSTRIAL DE SANTANDER
patents@olartemoure.com

Asunto: PATENTE DE INVENCION

Patente de Invención	PT	Patente de Modelo de Utilidad			
Vía Nacional	NAL				
Vía PCT (Fase Nacional)		Capítulo I		Capítulo II	
No. Solicitud Internacional					
Fecha de Presentación Internacional					

Como resultado del examen de fondo realizado, con fundamento en el Artículo 45 de la Decisión 486 de la Comisión de la Comunidad Andina, se comunica:

1. Documentos estudiados

Descripción	16-171357-00000-0000	28 de junio de 2016
Reivindicaciones:	16171357-00000-0000	28 de junio de 2016
Dibujos:	16171357-00000-0000	28 de junio de 2016

2. Objeto de la invención

De acuerdo con lo establecido en el numeral 1.2.2.2 del Capítulo Primero del Título X de la Circular Única para efectos del examen de patentabilidad, se tendrá en cuenta la tasa pagada por el solicitante al momento de comenzar el examen para las reivindicaciones adicionales; esto es que cuando la solicitud contenga más de diez

**REPÚBLICA DE COLOMBIA
SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO**

Oficio N° 11803

Ref. Expediente N° 16171357

(10) reivindicaciones y no se haya pagado la tasa complementaria, sólo se estudiarán las cubiertas por la tasa pagada. Por lo tanto, se estudiarán las reivindicaciones 1 a 6 del capítulo reivindicatorio (Radicado No. 16171357-00000-0000 del 28 de junio de 2016).

Título de la solicitud: “MÉTODO Y CIRCUITO PARA COMPENSAR LA TENSION DE OFFSET DE CIRCUITOS ELECTRÓNICOS” (Radicado No. 16171357-00000-0000 del 28 de junio de 2016).

El problema planteado en esta solicitud consiste en la necesidad de métodos y circuitos para limitar la tensión de offset en circuitos electrónicos, que actúen continuamente durante toda la operación del circuito electrónico, sin interrumpir la trayectoria de la señal.

Para resolver este problema técnico, la solicitud en estudio proporciona un método y un circuito que implementa el método de la invención para compensar la tensión de offset de circuitos electrónicos.

El objeto de la presente solicitud se relaciona con la Clasificación Internacional de Patentes (CIP): H02J 3/18, H03K 3/011.

3. No es una invención (Art 15 D 486 literales (a) – (f))

El objeto de la reivindicación 6 no se considera una invención, de acuerdo con el art. 15 D486, toda vez que “la secuencia de transición de estados”, hace referencia a un lenguaje de programación de hardware, la máquina de estados finitos¹ es un elemento intangible (escrito en código) y representa un modelo de comportamental de un sistema. Se sugiere que la reivindicación 6 sea estructurada por el circuito que representa la máquina de estados y no por la transición que se da entre estados sin que los cambios realizados sean causales de ampliación de materia.

4. De la solicitud de patente

Reivindicaciones (Art. 30 D 486, Art. 22 PCT)

1 https://es.wikipedia.org/wiki/M%C3%A1quina_de_estados

**REPÚBLICA DE COLOMBIA
SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO**

Oficio N° 11803

Ref. Expediente N° 16171357

La frase “Un comparador dinámico (1) que tiene una primera salida (4) y una segunda salida (5)”, no es clara dado que según el estado de la técnica y el dibujo aportado por el solicitante las denominadas salidas (4) y (5) hacen referencia a las terminales de polarización de un amplificador diferencial², por lo tanto se solicita que se aclare la frase o se sustituya según corresponda.

La reivindicación 5 no es clara dado que no se especifica si la acción de conectar un comparador dinámico a la salida del circuito electrónico es hecha por el usuario o por el dispositivo. Se sugiere aclarar quien realiza la acción ya que como se encuentra escrito parece ser un método de operación que llevaría a un posible uso el cual no se considera patentable.

5. Determinación del Estado de la Técnica

El estado de la técnica se determinó con base en la fecha de presentación de la solicitud de patente nacional: 28 de junio de 2016, y se encontró el siguiente documento que anticipa el objeto de esta solicitud:

Ítem	Documento	Título	Fecha de Publicación
D1	US7944248	“Techniques for measuring voltages in a circuit”	17/mayo/2011

El documento D1³ divulga que un circuito puede incluir un comparador, un divisor de resistencia, un circuito de control y un multiplexor. El comparador compara una tensión de alimentación interna del circuito con una tensión de referencia seleccionada. El divisor de resistencia genera voltajes de referencia. El circuito de control recibe una señal de salida del comparador y genera una señal de selección. El multiplexor transmite uno de los voltajes de referencia desde el divisor de resistencia al comparador como la tensión de referencia seleccionada en respuesta a la señal de selección (Resumen).

6. Examen de Patentabilidad (Art. 14 D486)

Novedad (Art 16 D486)

² https://es.wikipedia.org/wiki/Amplificador_diferencial

³ <https://patentimages.storage.googleapis.com/6a/99/f8/358b232db928ab/US7944248.pdf>

**REPÚBLICA DE COLOMBIA
SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO**

Oficio N° 11803

Ref. Expediente N° 16171357

La reivindicación 1 consiste en: “Un circuito para compensar la tensión de offset de circuitos electrónicos que comprende (...)” (Radicado No. 16171357-00000-0000 del 28 de junio de 2016).

Tabla 1. Comparación de las Características Esenciales con las del Estado de la Técnica.

Características Esenciales	D1
Un circuito para compensar la tensión de offset de circuitos electrónicos.	La figura 3 ilustra un ejemplo de un circuito que mide una tensión de alimentación interna dentro de un circuito integrado.
Un comparador dinámico (1) que tiene una primera salida (4) y una segunda salida (5).	Usando un comparador y que compensa un offset de tensión entre los terminales de entrada del comparador, de acuerdo con una realización de la presente invención (Col. 1, líneas 43 a 45).
Un detector de fase (6) conectado a una primera salida (4) y una segunda salida (5) del comparador dinámico (1), el detector de fase (6) tiene una primera salida (7) y una segunda salida (8).	El bloque FPGA (103) típicamente recibe múltiples voltajes de suministro. Se pueden proporcionar diferentes voltajes de suministro a bloques de entrada/salida (E/S), circuitos de preajuste, bloques lógicos programables en el núcleo del FPGA, PLL ⁴ , bucles bloqueados por retardo y otros bloques de circuitos en la matriz FPGA (103). De acuerdo con algunas realizaciones de la presente invención, cualquier voltaje de suministro puede medirse desde un nodo interno de una FPGA o matriz de circuito integrado de aplicación específica (ASIC) (Col. 2, líneas 20 a 28).
Una máquina de estados finitos (9) conectado a la primera salida (7) y la segunda salida (8) del detector de fase (4), la máquina de estados finitos (5) tiene una primera salida X1(10) y una segunda salida X2 (11).	El circuito de medición (200) en la figura 2 incluye el comparador de tensión (202), la máquina de estados finitos (FSM) (203), el multiplexor (204), el grupo de resistencias (205), el grupo de resistencias (206), el generador de tensión de referencia de banda discontinua (207) y el multiplexor (208). El circuito de medición (200) se fabrica típicamente en un circuito integrado, como circuito integrado programable o un circuito integrado específico de la aplicación (ASIC) (Col.3, líneas 14 a 20).
Un primer convertidor digital-analógico (12) conectado a la primera salida (10) de la	El código de control TSD_IRS [7: 0] se transmite a 8 pines de salida (614) del circuito integrado para el análisis. Los pines de salida (614) pueden ser pines que son compartidos por bloques

4 https://es.wikipedia.org/wiki/Lazo_de_seguimiento_de_fase

**REPÚBLICA DE COLOMBIA
SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO**

Oficio N° 11803

Ref. Expediente N° 16171357

máquina de estados finitos (9).	lógicos programables en un FPGA ⁵ . (Col. 16, líneas 4 a 12).
Un segundo convertidor digital-analógico (13) conectado a la segunda salida (11) de la máquina de estados finitos (9).	
Un bloque de polarización (14) con una primera entrada (15) conectada a la salida del primer convertidor digital-analógico (12) y una segunda entrada (16) conectada a la salida del segundo convertidor digital-analógico (13).	Un voltaje de suministro se transmite a los bloques de circuito en un circuito integrado. El voltaje de suministro suministra carga a los bloques de circuito en el circuito integrado (Col. 1, líneas 9 a 11).
Donde el bloque de polarización (14) polariza un circuito electrónico (17) y el comparador dinámico (1), el detector de fase (6), y la máquina de estados finitos (9) están conectados a una señal de reloj (3).	

De acuerdo con la tabla anterior, las características esenciales del dispositivo de la reivindicación 1 habían sido divulgadas previamente en el documento D1, por lo tanto, la materia reivindicada no es nueva.

En consecuencia, la reivindicación 1 no es nueva, según lo divulgado en el documento D1.

Asimismo, el documento D1 divulga las características de las reivindicaciones dependientes así:

- Reivindicación 2: El código de control TSD_IRS [7: 0] se transmite a 8 pines de salida (614) del circuito integrado para el análisis. Los pines de salida (614) son accionados por circuitos en los elementos de entrada/salida (IOE). Los pines de salida (614) no necesitan ser pines dedicados. Los pines de salida (614) pueden ser pines que son compartidos por bloques lógicos programables en

⁵ https://www.xilinx.com/support/documentation/data_sheets/ds312.pdf

**REPÚBLICA DE COLOMBIA
SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO**

Oficio N° 11803

Ref. Expediente N° 16171357

un FPGA. Por ejemplo, los multiplexores se pueden configurar para transmitir el código de control TSD_IRS [7: 0] o las señales digitales de los bloques lógicos programables a los pines de salida (614).

- Reivindicación 3: FSM (203) puede ser, por ejemplo, un circuito de contador. Cuando el FSM (203) detecta un estado lógico bajo en la señal IRS_EN, el FSM (203) puede restablecer el valor binario de sus señales de salida IR_OUT a cero. Por lo tanto, cada una de las señales de salida del FSM (203) está en un estado lógico bajo cuando IRS_EN es bajo (Col. 5, líneas 42 a 46).

7. Conclusión

Los requisitos de Patentabilidad de la presente solicitud están afectados así:

Ítem	Documento	Reivindicaciones Afectadas	Requisito que Afecta
D1	US7944248	1 a 3	Novedad

En cumplimiento del artículo 45, de la Decisión 486 de la Comisión de la Comunidad Andina, se le indica que debe dar respuesta dentro del término de sesenta (60) días contados a partir de la fecha de notificación de la presente comunicación. En caso de no dar respuesta al presente requerimiento, o si a pesar de la respuesta subsistieran los impedimentos para la concesión, se denegará la patente.

Si como respuesta a este requerimiento el solicitante llegara a modificar: i) el capítulo reivindicatorio, ii) la descripción de la invención a proteger, iii) o presente un nuevo capítulo reivindicatorio, y desee que se realice un nuevo examen de patentabilidad a esta modificación, no deberá pagar la tasa de modificación voluntaria pero sí la correspondiente a la tasa de examen de patentabilidad. En todo caso, el número de requerimientos por no patentabilidad estará supeditado a que el término del estudio de patentabilidad no sea superior a 18 meses, contados desde la publicación de la solicitud de patente de invención. Adicionalmente, se le recuerda al solicitante que si como respuesta a este requerimiento llegara a modificar el capítulo reivindicatorio y éste contenga más de diez (10) reivindicaciones deberá pagar la tasa por reivindicación adicional.

Se invita al solicitante se sirva indicar, si así lo considera, su renuncia al término faltante para los sesenta (60) días.

**REPÚBLICA DE COLOMBIA
SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO**

Oficio N° 11803

Ref. Expediente N° 16171357

Notifíquese el presente oficio conforme a lo dispuesto en el numeral 6.2 del Capítulo Sexto del Título I de la Circular Única, informándoles que contra el mismo no procede el recurso de la vía gubernativa.

Atentamente,



**JOSE LUIS SALAZAR LOPEZ
DIRECTOR DE NUEVAS CREACIONES**

Elaborado: JUAN SEBASTIAN RONCANCIO AREVALO
Revisado: LEONARDO ROJAS VEGA