

DISPOSITIVO DE DETECCIÓN DE CAIDAS DE TENSION Y PROCEDIMIENTO

ASOCIADO

DESCRIPCION

OBJETO DE LA INVENCION

La presente invención se refiere a un dispositivo de detección de caídas de tensión (BOD, siglas en inglés de *brown-out detector*), que opera en el rango industrial de temperaturas desde -40°C a 125°C, capaz de realizar la detección de la caída de tensión de una fuente de alimentación para múltiples umbrales de detección, con un bajo consumo de potencia y ocupando un área de silicio reducida.

El objeto de la invención es un dispositivo BOD capaz de compensar por los errores en los umbrales de detección, asociado a las variaciones en las pendientes de las caídas de tensión (*slew rate*) en el voltaje de referencia y el voltaje obtenido por división de tensión. Estas variaciones en el *slew rate* son comunes en dispositivos de bajo consumo de potencia (del orden de los nano- o pico-watios) cuando trabajan a bajas temperaturas. Al realizar esta compensación, el invento es capaz de detectar un rango más amplio de transiciones de caídas de tensión (desde los micro- hasta los mili-segundos), incluso siendo alimentado a bajas corrientes de polarización. También es objeto de la presente invención un procedimiento de detección de caídas de tensión.

ANTECEDENTES DE LA INVENCION

Durante el funcionamiento normal de un sistema en chip (SoC, siglas en inglés de *system on a chip*) es posible que una perturbación provoque una caída de la tensión de alimentación por debajo de un voltaje umbral llevando la memoria y la lógica del sistema fuera de un estado conocido. Una de las principales causas de una caída de tensión es el aumento repentino de la carga que un regulador no puede seguir debido a su limitada regulación de carga. Con el fin de prevenir la ejecución inesperada de

programas y la corrupción de datos en los sistemas en chip debido a la caída repentina del suministro de tensión ("brown-out" en inglés), un detector de caídas de tensión (BOD, siglas en inglés de "Brown-out detector") hace que el sistema en chip se reajuste. Una vez que el suministro de tensión se recupera de la perturbación, se libera el restablecimiento de la señal y el sistema en chip vuelve a su estado anterior.

Las arquitecturas tradicionales de los detectores de caídas de tensión (BODs) se implementan a través de dos ramas que alimentan un comparador. Entre los anteriores se conocen las siguientes publicaciones:

I. Lee et al. , "Battery Voltage Supervisors for Miniature IoT Systems," IEEE Journal of Solid-State Circuits (JSSC), Nov. 2016. [1]

D. Gubbins, "Brown-out detector," May 17 2005, US Patent 6,894,544.[2]

J. Zhang et al. , "Zero or ultra-low DC current consumption power-on and brown-out detector," Apr. 8 2014, US Patent 8,692,593.[3]

De las dos ramas que alimentan el comparador, la primera rama proporciona una referencia de tensión independiente de la tensión de alimentación y temperatura, y la segunda rama varía de manera proporcional con la tensión de alimentación a través de un divisor de tensión V_{div} . Para obtener un consumo de potencia bajo, las dos ramas deben tener una gran impedancia, vista desde una fuente de alimentación. En consecuencia, las constantes RC del divisor de tensión y la referencia de tensión (V_{ref}) son grandes si las ramas están polarizadas con corrientes en el rango de los nano-Amperios para imponer un bajo consumo de energía. Considerando que una caída de tensión (BO) es un transitorio que podría tener una caída rápida y una recuperación rápida, el voltaje del divisor de tensión V_{div} podría no ser capaz de rastrear con suficiente rapidez el voltaje de alimentación antes de que el sistema en chip (SoC) quede dispuesto en un estado no deseado. Este tema es más crítico cuando se opera a bajas temperaturas considerando la más baja corriente significativa.

El segundo de los documentos, i.e.: D. Gubbins, "Brown-out detector," May 17 2005, US Patent 6,894,544, divulga un detector de caídas de tensión que comprende dos

circuitos de referencia de tensión con coeficientes complementarios de temperatura donde se lleva a cabo un reinicio de la señal cuando una señal de tensión complementaria a la temperatura absoluta (CTAT) se mantiene por debajo de un valor dado por una señal de tensión proporcional a la temperatura absoluta (PTAT). La principal desventaja de este detector es que las ramas PTAT y CTAT son altamente dependientes de las variaciones del proceso. Además, se deben añadir grandes resistencias para aplicaciones de bajo consumo, lo que penaliza el área del circuito disponible.

El tercer documento, i.e.: J. Zhang et al. , "Zero or ultra-low DC current consumption power-on and brown-out detector," Apr. 8 2014, US Patent 8,692,593, divulga un detector de caídas de tensión similar al segundo de los documentos, donde después de una caída de tensión, la entrada del inversor se rearma cuando la tensión de alimentación es un voltaje umbral tipo PMOS que está por debajo de la tensión almacenada en el condensador, activando una señal de caída de tensión. Desafortunadamente, las resistencias y condensadores pasivos son altamente sensibles a las variaciones del proceso y de la temperatura y ocupan un área mayor en el chip.

El primer documento, i.e.: I. Lee et al. , "Battery Voltage Supervisors for Miniature IoT Systems," IEEE Journal of Solid-State Circuits (JSSC), Nov. 2016 divulga un detector de caídas de tensión con arquitectura de supervisor de tensión de la batería de histéresis adaptativa (AHBVS) que comprende tres bloques principales:

- un primer bloque divisor de tensión;
- un segundo bloque de referencia de tensión; y
- un tercer bloque comparador de tensión;

donde su principal objetivo es comparar un voltaje generado por el bloque divisor con el voltaje del bloque de referencia de tensión para después tomar la decisión de la señal de caída de tensión, donde la salida del bloque divisor de tensión debe seguir las fluctuaciones de la tensión de alimentación para interceptar la señal de la referencia de tensión.

Ni el primer ni el tercer documento abordan los problemas de los detectores de caídas de tensión a bajas temperaturas (por debajo de los 0°C) considerando efectos de fugas de corriente que afectan considerablemente el funcionamiento del circuito. Incluso si se simularan los diseños de los documentos primero y tercero para temperaturas inferiores a 0°C, las pendientes de las salidas del bloque divisor de tensión en un evento BO, se verían considerablemente afectadas. Lo anterior perjudica de gran manera el funcionamiento del sistema, ya que o bien nunca existe intersección entre la salida del bloque divisor de tensión y la salida del bloque de referencia de tensión, y por lo tanto no hay un evento de detección, o con un evento de detección que ocurre tiempo después de que la tensión de alimentación alcanza valores prohibidos.

Se conoce también la publicación I. Lee et al. , "A Subthreshold Voltage Reference With Scalable Output Voltage for Low-Power IoT Systems," IEEE JSSC, May 2017, que tampoco afronta el problema de operación a bajas temperaturas. [4]

La publicación S. K. Wadhwa et al. , "Zero Steady State Current Power-on-Reset Circuit with Brown-Out Detector," in 19th International Conference on VLSI Design (VLSID), Jan 2006. [5] penaliza el área del circuito disponible.

El dispositivo de detección de caídas de tensión de la presente invención solventa todos los inconvenientes anteriores asociados al funcionamiento a bajas temperaturas sin penalizar el área del circuito disponible.

DESCRIPCIÓN DE LA INVENCION

La presente invención se refiere a un dispositivo de detección de caídas de tensión (BOD, siglas en inglés de *brown-out detector*), que opera en el rango industrial de temperaturas desde -40°C a 125°C, capaz de realizar la detección de la caída de tensión de una fuente de alimentación para múltiples umbrales de detección, con un

bajo consumo de potencia y ocupando un área de silicio reducida.

El dispositivo BOD de la presente invención capaz de compensar por los errores en los umbrales de detección, asociado a las variaciones en las pendientes de las caídas de tensión (*slew rate*) en el voltaje de referencia y el voltaje obtenido por división de tensión. Estas variaciones en el *slew rate* son comunes en dispositivos de bajo consumo de potencia (del orden de los nano- o pico-watios) cuando trabajan a bajas temperaturas. Al realizar esta compensación, el invento es capaz de detectar un rango más amplio de transiciones de caídas de tensión (desde los micro- hasta los mili-segundos), incluso siendo alimentado a bajas corrientes de polarización. Las caídas de tensión son más frecuentes en aplicaciones alimentadas por baterías, donde las baterías de baja capacidad pueden incurrir en una regulación de línea limitada. Por otra parte, los sensores de baja potencia, que encuentran aplicaciones en el mercado del Internet de las cosas (IoT, siglas en inglés de “Internet-of-Things”), entre otros, tienen modos activos y en reposo que limitan significativamente el suministro de energía. Gracias a su bajo consumo de corriente, el dispositivo de detección de caídas de tensión de la presente invención, lleva a cabo su función sin penalizar el consumo de potencia de manera significativa.

El dispositivo BOD comprende:

- un primer bloque de referencia de tensión configurado para seleccionar una tensión de referencia (V_{ref}) entre todas las tensiones de referencia (V_{refi}) generadas por el bloque;
- un segundo bloque divisor de tensión configurado para seleccionar una tensión (V_{div}) proporcional a la tensión de una fuente de alimentación; y
- un tercer bloque de comparación de tensión configurado para comparar la tensión V_{ref} del primer bloque con la tensión V_{div} del segundo bloque;

donde el primer bloque de referencia de tensión comprende un multiplexor que selecciona una tensión de referencia (V_{ref}) entre todas las tensiones de referencia (V_{refi}) generadas por el primer bloque, con el propósito de compensar por variaciones en esquinas PVT, sobre todo por variaciones en temperatura.

Opcionalmente, el primer bloque de referencia, comprende un transistor tipo NMOS nativo y al menos dos transistores tipo PMOS conectados como diodos, preferentemente entre dos y cuatro transistores. De esta manera, el primer bloque de referencia suministra entre dos y tres tensiones de referencia.

Opcionalmente, el primer bloque de referencia comprende además un transistor tipo PMOS configurado para apagar el bloque con una señal de desconexión (PD).

De esta manera, el dispositivo BOD lleva a cabo un seguimiento y detección de variaciones en el voltaje de alimentación, al tiempo que se resuelve el problema de dependencia de la temperatura y proceso de fabricación, minimizando el área de circuito utilizado. Por ejemplo, prototipos fabricados en un proceso de 180nm CMOS obtuvieron áreas activas inferiores a 0,005 mm².

Opcionalmente, el segundo bloque divisor de tensión, comprende además un multiplexor que selecciona una tensión V_{div} proporcional a la tensión de una fuente de alimentación, entre todas las tensiones (V_{divi}) generadas por el segundo bloque, con el propósito de compensar por variaciones en esquinas PVT, sobre todo por variaciones en temperatura.

Opcionalmente, el segundo bloque divisor de tensión comprende al menos dos transistores tipo PMOS conectados como diodos, preferentemente entre tres y siete transistores. De esta manera, el segundo circuito es capaz de suministrar entre dos y cinco voltajes proporcionales a la tensión de una fuente de alimentación, usando división de tensión.

Opcionalmente, el segundo circuito de compensación del segundo bloque divisor de tensión comprende además un transistor tipo PMOS configurado para apagar el segundo bloque por una señal de desconexión (PD).

Opcionalmente, el tercer bloque comparador de tensión comprende un amplificador operacional.

Opcionalmente, el dispositivo de detección de caídas de tensión comprende un contador conectado al tercer bloque comparador de tensión. El contador puede configurarse de tal manera, que permita incrementar el tiempo entre el evento de detección, y el envío de la señal de reinicio, con el propósito de garantizar que la tensión de alimentación haya vuelto a un valor nominal después de detectar una caída de tensión. También puede ser usado como filtro de eventos muy rápidos de caída de tensión, donde no es necesario enviar una señal de reinicio al sistema.

La invención se refiere también a un procedimiento de detección de caídas de tensión que comprende:

- una primera etapa donde se genera una tensión de referencia (V_{ref});
- una segunda etapa donde se genera una tensión (V_{div}) proporcional a una fuente de alimentación; y
- una tercera etapa donde se compara la tensión V_{ref} con la tensión V_{div} ;

donde la primera etapa comprende una subetapa de compensación donde se lleva a cabo la elección de una tensión de referencia entre todas las tensiones de referencias generadas en la primera etapa, para determinar la tensión de salida de referencia.

Opcionalmente, la primera etapa comprende una subetapa de generación de entre dos y tres tensiones de referencia.

Opcionalmente, la segunda etapa comprende una subetapa de compensación donde se lleva a cabo la elección de una tensión proporcional a la tensión de una fuente de alimentación, entre todas las tensiones generadas por la etapa, para determinar la tensión de salida de división.

Opcionalmente, la segunda etapa comprende una subetapa que provee entre dos y cinco tensiones proporcionales a la tensión de una fuente de alimentación.

Opcionalmente, el procedimiento de detección de caídas de tensión comprende una etapa de conteo que puede configurarse de tal manera, que permita incrementar el tiempo entre el evento de detección, y el envío de la señal de reinicio, con el propósito de garantizar que la tensión de alimentación ha vuelto a un valor nominal después de detectar una caída de tensión. También puede ser usado como filtro de eventos muy rápidos de caída de tensión, donde no es necesario enviar una señal de reinicio al sistema.

DESCRIPCIÓN DE LOS DIBUJOS

Para complementar la descripción que se está realizando, y con objeto de ayudar a una mejor comprensión de las características de la invención, de acuerdo con un ejemplo preferente de realización práctica de la misma, se acompaña como parte íntegra de dicha descripción, un juego de dibujos en donde con carácter ilustrativo y no limitativo, se ha representado lo siguiente:

Figura 1.- Muestra el impacto de temperaturas por encima de 0°C (en la gráfica de la izquierda) y de bajas temperaturas, por debajo de 0°C (en las gráficas del centro y la derecha) en el *slew rate* utilizando dispositivos BOD de bajo consumo de potencia, conocidos en el estado de la técnica.

Figura 2.- Muestra un diagrama de bloques del dispositivo de detección de caídas de tensión de la presente invención, según un ejemplo de realización preferente.

Figura 3.- Muestra el impacto de temperaturas por debajo de 0°C en el *slew rate* antes (izquierda) y después (derecha) de aplicar la compensación que realiza el dispositivo y el procedimiento de detección de caídas de tensión de la presente invención.

Figura 4.- Muestra un esquema de la disposición de los bloques en el circuito diseñado para el dispositivo BOD, y el circuito fabricado en silicio, según un ejemplo de

realización preferente.

Figura 5.- Muestra una gráfica de los resultados obtenidos para variaciones de proceso, voltaje y temperatura (PVT), y los resultados medidos del circuito fabricado.

Figura 6.- Muestra una gráfica de la comparativa del *slew rate* para varias salidas de los bloques de referencia y de división de tensión, en cinco esquinas de variaciones PVT relevantes.

REALIZACIÓN PREFERENTE DE LA INVENCION

En esta sección se muestran resultados experimentales de una celda BOD incluyendo variaciones de proceso y temperatura. La disposición del circuito diseñado se muestra en la Figura 4, ocupando un área total de $80\ \mu\text{m} \times 60\ \mu\text{m}$ usando tecnología de 180 nm de lógica estándar.

Para comprobar la funcionalidad de la celda BOD, se utiliza una caída de tensión en la tensión de alimentación (V_{DDA}) - con un *slew rate* de -46V/s durante 50ms - como señal de prueba. El voltaje de alimentación se reduce de 3,3 V a 1 V, para emular la fluctuación de voltaje de un sistema de baja potencia en el sistema en chip que tiene un dominio siempre activo (AON), y requiere guardar y proteger los datos de la memoria constantemente. La Figura 5 muestra un resumen de los resultados obtenidos, incluyendo 10 variaciones PVT relevantes diferentes. Los resultados indicados son obtenidos luego de aplicar la subetapa de compensación y seleccionar correctamente la tensión de referencia V_{refi} y la tensión proporcional a una fuente de alimentación (usando división de tensión) V_{divi} , para cada rango de BOD. Aunque el BOD puede ajustarse para tener hasta cinco niveles de detección diferentes (rangos), sólo tres de ellos se muestran para mayor claridad. Incluso con los ajustes adecuados, se pueden observar variaciones a través de las esquinas PVT dentro de cada nivel de detección debido a los cambios en las rampas de descenso (*slew rate*) de la tensión de referencia V_{refi} y la tensión proporcional a una fuente de alimentación (usando

división de tensión) V_{divi} .

El consumo de corriente del primer bloque (1) de tensión de referencia, configurado para obtener una tensión de salida de referencia (V_{ref}), y del segundo bloque (2), divisor de tensión configurado para obtener una tensión proporcional a una fuente de alimentación usando división de tensión (V_{div}), dependen en gran medida de la esquina PVT, principalmente de la temperatura. Para temperaturas más bajas, los consumos de corriente de ambos bloques son del orden de pico-amperios, mientras que para temperaturas más altas, su consumo aumenta, siendo incluso mayor que el del consumo del comparador en la esquina FFH (20 nano-amperios), debido al detrimento del valor de impedancia de los transistores conectados en configuración diodo tipo PMOS.

Por otro lado, los niveles de referencia y de división de tensión se comportan bien en estado continuo, en todas las esquinas PVT, como era de esperar. El problema surge cuando ocurre el evento BO, y el suministro de la tensión empieza a disminuir. En la Figura 6 se muestran el *slew rate* para los diferentes valores de referencia V_{refi} - proporcionados por el primer bloque (1) -, y de división de tensión V_{divi} - proporcionados por el segundo bloque (2) - para distintas esquinas PVT cuando se produce el evento BO. Se observa que el cambio en las pendientes de caída de tensión para las esquinas a baja temperatura (SSL, principalmente) es muy notable. Este comportamiento no deseado es consecuencia de la baja corriente del bloque divisor de tensión (2) y de referencia de tensión (1) a estas temperaturas, que no son suficientes para descargar (o cargar) las capacitancias a la entrada del tercer bloque (3) comparador, generando los grandes cambios en la detección de BOD.

Como se ha explicado anteriormente, este efecto es subsanado mediante el dispositivo de detección de caídas de tensión de la presente invención, con un multiplexor (4), que se encuentra en el primer bloque (1), configurado para escoger al menos una tensión de referencia (V_{refi}) por medio de una señal digital de selección (Sel_V_{ref}) y opcionalmente a través de un segundo multiplexor (8), que se encuentra

en el segundo bloque (2), configurado para multiplexar al menos una tensión de división de tensión (V_{divi}) con una señal digital de selección (Sel_V_{div}), permitiendo de esta manera compensar la carga del circuito ante variaciones PVT, aumentando el rango de temperatura de funcionamiento comparado con el dispositivo detector divulgado en [1].

La tabla siguiente muestra una comparación del dispositivo detector de caídas de tensión de la presente invención, según un ejemplo de realización preferente, respecto a alguno de los dispositivos detectores citados en el apartado de antecedentes de la invención.

TABLA 1
COMPORTAMIENTO EN LA COMPARACIÓN DE MEDIDAS

	[2]	[5]	[1]	La presente invención
Tecnología	0.25 μ m	65nm	180nm	180nm
Tensión de alimentación [V]	2.5	1.1	3.6	3.3
Corriente [η A]	120	-	1	200
SR _{VDDA} [V/s]	-	-110k a -44	-	2.3 a -46
Temp °C	-	-25 - 105	0 – 80	-15 - 125
# Niveles	1	1	1	5
Area [mm ²]	-	0.007	0.89	0.006‡
Resumen de los resultados				
		Min*	Representativo *	Max†
Rango 1 [V]		2.25 / 2.62	2.75 / 2.65	2.86 / >2.7 Θ
Rango 2 [V]		1.84 / 1.93	1.99 / 1.94	2.0 / 1.97
Rango 3 [V]		1.32 / 1.51	1.59 / 1.52	1.63 / 1.54
Consumo de Corriente	Comp [η A]	3	10	20
	Ref. [η A]	0.1	10	680
	Div. [η A]	0.6	126	3600
	Dig. Log [η A]	0.8	54	300
	Total [η A]	4.5	200	4600

*Simulación @ - 40°C/ Medido@ -15°C, *Simulación/Medido@ 27°C, † Simulación@ 125°C/Medido@100°C. ‡ El área incluye el contador programable y la lógica digital adicional. Θ Debido a la limitación de la configuración del ensayo, el comportamiento del BOD se validó hasta 2.7V.

Aunque el circuito propuesto tiene el mayor consumo de energía entre los

presentados, es posible lograr un menor consumo de energía si el rango de temperatura es reducido. Por ejemplo, las medidas reportadas en [1] no incluyen resultados de temperatura por debajo de 0°C. Además, el dispositivo detector de caídas de tensión de la presente invención permite seleccionar hasta 5 niveles de detección diferentes, ocupando poca área de silicio y permitiendo un funcionamiento robusto, en comparación con los dispositivos del estado de la técnica en donde se usan niveles de detección fijos, y trabajan en un rango de temperaturas mucho menor. Estas características del dispositivo detector de caídas de tensión de la presente invención permiten extender su implementación en una gama más amplia de aplicaciones.