

METODO DE CONCORDANCIA DE TASAS PARA LOS CÓDIGOS LDPC

CAMPO TÉCNICO

5 La presente divulgación se refiere, en general, a comunicaciones inalámbricas y, más particularmente, a los métodos de concordancia de paridad para códigos de verificación de paridad de baja densidad (LDPC).

ANTECEDENTES

10

Los códigos LDPC se describen fácilmente a través de una matriz de verificación de paridad (PCM), donde las filas y columnas corresponden a nodos de verificación y nodos variables, respectivamente. Cada "1" en la PCM corresponde a un borde entre un nodo de verificación y un nodo variable.

15

La Figura 1 ilustra un ejemplo de la PCM 5 y el correspondiente gráfico bipartito 10. La PCM 5 se puede asignar al gráfico bipartito 10, que se compone de los nodos de control 15 y los nodos variables 20, donde las filas y columnas de la PCM 5 corresponden a los nodos de control 15 y Nodos variables 20, respectivamente. Cada entrada $h(i, j) = 1$ en la PCM 5 corresponde a un borde entre un nodo de verificación 15 y un nodo variable 20.

20

La tasa de código (R) de la PCM 5 se define como el número de bits de información k dividido por el número de bits codificados n , $R = k/n$, donde n es el número de columnas en la PCM 5 y k es igual al número de columnas menos el número de filas de la PCM 5.

25

Una clase importante de códigos LDPC son los códigos LDPC casi cíclicos (QC). La PCM H de un código QC-LDPC es de tamaño $m \times n$, y se puede representar por una matriz base H_{base} de tamaño $m_b = m/Z$ y $n_b = n/Z$, y un factor de elevación Z . Cada entrada de H_{base} contiene cualquier número -1 o uno o más números entre 0 y $Z-1$. Por ejemplo, sean i y j sean números enteros entre 0 y $(m/Z-1)$, y 0 y $(n/Z-1)$, respectivamente. Luego, la submatriz formada a partir de las entradas en las filas $Z^* i$ a $Z^* (i + 1)-1$ y las columnas $Z^* j$ a $Z^* j + 1)-1$ (suponiendo que la indexación de filas y columnas comienzan desde 0), son determinados por la entrada en la fila i y la columna j de H_{base} de la siguiente manera.

Si $H_{\text{base}}(i, j) = -1$, entonces la submatriz en la matriz binaria expandida H es igual a la matriz Z por Z cero. El número -1 utilizado para denotar submatrices cero se puede seleccionar arbitrariamente siempre que no sea un número entre 0 y $Z-1$.

Si $H_{\text{base}}(ij)$ contiene uno o más enteros $k_1, k_2, \dots, k_d$ entre 0 y $Z-1$, la submatriz en la matriz binaria expandida H es igual a la suma de las matrices de identidad desplazadas $P_{k_1} + P_{k_2} + \dots + P_{k_d}$, donde cada submatriz $Z \times Z P_k$ se obtiene de la matriz de identidad Z por Z desplazando cíclicamente las columnas hacia la derecha k veces.

Los códigos LDPC se pueden optimizar para cualquier longitud de bloque y/o cualquier tasa de código. Sin embargo, en los sistemas de comunicación prácticos, no es eficiente usar PCM diferentes para cada alternativa de longitudes y tasas de bloque. En su lugar, la concordancia de tasas se implementa mediante acortamiento, perforación y/o repetición. Como ejemplo, los códigos LDPC para $802.11n$ se especifican con 12 códigos madre (3 longitudes de bloque diferentes y

4 tasas diferentes). Las PCM para todas las demás longitudes de bloque y tasas de código necesarias se especifican a través de los mecanismos de concordancia de la tasa (incluido el acortamiento, la perforación y/o la repetición) aplicados a uno de los 12 códigos madre.

5

El acortamiento es una técnica para obtener códigos de menor longitud y menor tasa desde un código LDPC mediante la fijación del valor de algunos bits de información a algunos valores conocidos (e.g., "0") cuando se codifica. Se supone que las posiciones de los bits fijos están disponibles tanto para el

10 codificador como para el decodificador. Para un código sistemático, los bits acortados se punzan desde la palabra de código antes de la transmisión. En el proceso de decodificación, los bits fijos tienen una confiabilidad infinita. El acortamiento reduce el tamaño del bloque de información desde k hasta k_{1x} .

15 La perforación, por otro lado, es una técnica donde algunos bits codificados no se transmiten. Esto aumenta la tasa del código del código madre LDPC dedicado y disminuye el tamaño del bloque de código.

Con la repetición, algunos de los bits codificados se repiten y se transmiten

20 más de una vez. En contraste con la perforación, la repetición aumenta el tamaño del bloque de código.

Juntos, la perforación, el acortamiento y la repetición cambian el número de bits codificados de n a n_{tx} . Después de aplicar la concordancia de tasas, el tamaño

25 del código nativo (k, n) definido por la PCM se modifica a un tamaño de código real (k_{tx}, n_{tx}) . Por lo tanto, para un conjunto de bits de información k_{tx} , los bits codificados en n_{tx} se producen para la transmisión. En consecuencia, la tasa de código real se calcula con base en $R_{tx} = k_{tx}/n_{tx}$.

Dado un código LDPC dedicado de tamaño de código (k, n) , es necesario un método simple y efectivo de concordancia de tasa para el tamaño de código real (K_{tx}, N_{tx}) necesario para una transmisión particular. Algunos códigos LDPC perforan algunos bits sistemáticos por diseño para mejorar el rendimiento del código, sin relación con la concordancia de tasas. Sin embargo, no está claro cómo realizar la concordancia de tasa como se define en 802.11n en este caso.

RESUMEN

Para abordar los problemas anteriores con los enfoques existentes, se describe un método para producir un conjunto de bits codificados a partir de un conjunto de bits de información para la transmisión entre un primer nodo y un segundo nodo en un sistema de comunicaciones inalámbricas. El método comprende generar un vector de palabras de código mediante la codificación del conjunto de bits de información con un código de verificación de paridad de baja densidad, en el que el vector de palabras de código está compuesto de bits sistemáticos y bits de paridad. El método comprende realizar una concordancia de tasa con base en un búfer circular en el vector de palabras de código generado para producir los bits codificados para transmisión, en el que la concordancia de tasa con base en el búfer circular comprende perforar una primera pluralidad de bits sistemáticos.

En ciertas implementaciones, el código de verificación de paridad de baja densidad se puede especificar a través de una matriz de verificación de paridad. La primera pluralidad de bits sistemáticos que están perforados puede preceder, en el vector de palabras de código, a una segunda pluralidad de bits sistemáticos que no están perforados.

En ciertas implementaciones, se puede definir una pluralidad de versiones de redundancia sobre el búfer circular de modo que los bits codificados para una retransmisión se lean del búfer circular de acuerdo con una versión de redundancia correspondiente definida para la retransmisión. El método puede comprender realizar una concordancia de tasa con base en un búfer circular en el vector de palabras de código generado para producir bits codificados para la retransmisión, en el que la concordancia de tasa con base en un búfer circular para la retransmisión comprende perforar la primera pluralidad de bits sistemáticos. La primera pluralidad de bits sistemáticos perforados para la retransmisión puede incluir un múltiplo par de bits sistemáticos Z , donde Z es un factor de elevación de la matriz de verificación de paridad.

En ciertas implementaciones, la perforación de la primera pluralidad de bits sistemáticos puede comprender omitir la escritura de la primera pluralidad de bits sistemáticos en un búfer circular. En ciertas implementaciones, la perforación de la primera pluralidad de bits sistemáticos puede comprender omitir la primera pluralidad de bits sistemáticos cuando se leen los bits codificados desde un búfer circular. En ciertas implementaciones, la primera pluralidad de bits sistemáticos perforados puede incluir un múltiplo par de bits sistemáticos Z , donde Z es un factor de elevación de la matriz de verificación de paridad.

En ciertas implementaciones, la implementación de una concordancia de tasa con base en el búfer circular en el vector de palabras de código generado puede comprender leer los bits sistemáticos y los bits de paridad de un búfer circular para producir el vector de transmisión para la transmisión a través de un canal inalámbrico. La lectura de los bits sistemáticos y los bits de paridad del búfer circular para producir el vector de transmisión para la transmisión a través del canal inalámbrico puede comprender, si un número de bits del vector de

transmisión es mayor que el número total de bits en el búfer circular, la repetición de uno o más bits en el búfer circular envolviéndolos.

En ciertas implementaciones, la generación del vector de palabras de código
5 mediante la codificación del conjunto de bits de información puede comprender la unión de bits ficticios al conjunto de bits de información, los bits ficticios que comprenden bits de valor conocido, para producir un vector de información y la codificación del vector de información. Los bits ficticios adjuntos pueden comprender una segunda pluralidad de bits sistemáticos que están separados de
10 la primera pluralidad de bits sistemáticos perforados. En ciertas implementaciones, el método puede comprender perforar los bits ficticios adjuntos. En ciertas implementaciones, la perforación de los bits ficticios adjuntos puede comprender omitir la escritura de los bits ficticios adjuntos en el búfer circular. En ciertas implementaciones, la perforación de los bits ficticios adjuntos puede comprender
15 omitir los bits ficticios adjuntos cuando se leen los bits codificados del búfer circular.

En ciertas implementaciones, se puede omitir que un subconjunto de los bits sistemáticos se escriba en el búfer circular. En ciertas implementaciones, se
20 puede omitir que un subconjunto de los bits de paridad se pueda omitir de ser escrito en el búfer circular.

En ciertas implementaciones, el método puede comprender perforar un subconjunto de los bits sistemáticos escritos en el búfer circular en una primera
25 transmisión a través del canal inalámbrico. El método puede comprender incluir el subconjunto de los bits sistemáticos que se perforaron en una retransmisión a través del canal inalámbrico.

En ciertas implementaciones, el método puede comprender perforar bits en forma de columna de manera que los bits se perforen uniformemente desde cada una de una pluralidad de filas y se mantenga una distribución de peso de la matriz de verificación de paridad en el búfer circular. Los bits perforados pueden ser bits
5 sistemáticos distintos de la primera pluralidad de bits sistemáticos. Los bits sistemáticos y los bits de paridad se pueden leer de manera que un intercalador de canal se implemente como parte de la ejecución de la concordancia de tasa con base en el búfer circular en el vector de palabras de código generado. En ciertas implementaciones, los bits perforados pueden tener un mayor peso de
10 columna que los bits no perforados. En ciertas implementaciones, los bits sistemáticos y los bits de paridad se pueden leer de manera que no se implemente ningún efecto de entrecalado de canal.

En ciertas implementaciones, realizar la concordancia de tasa con base en el
15 búfer circular sobre el vector de palabra generado puede comprender la lectura de al menos una parte de los bits sistemáticos y los bits de paridad como se definen por la matriz de verificación de paridad en un búfer circular rectangular, el búfer circular rectangular comprende una o más filas y una o más columnas.

20 En ciertas implementaciones, el sistema de comunicaciones inalámbricas puede comprender un nuevo sistema de radio.

También se describe un primer nodo para producir un conjunto de bits codificados a partir de un conjunto de bits de información para su transmisión a un
25 segundo nodo en un sistema de comunicaciones inalámbricas. El primer nodo comprende circuitos de procesamiento. El circuito de procesamiento está configurado para generar un vector de palabras de código al codificar el conjunto de bits de información con un código de verificación de paridad de baja densidad,

en donde el vector de palabras de código está compuesto de bits sistemáticos y bits de paridad. El circuito de procesamiento está configurado para realizar una concordancia de tasa con base en el búfer circular en el vector de palabras de código generado para producir los bits codificados para la transmisión, en donde la
5 concordancia de tasa con base en el búfer circular comprende perforar una primera pluralidad de bits sistemáticos.

Ciertas implementaciones de la presente divulgación pueden proporcionar una o más ventajas técnicas. Por ejemplo, en ciertas implementaciones, los
10 métodos circulares de concordancia de tasa con base en el búfer circular se pueden diseñar de manera tal que se pueda proporcionar un arbitrario (K_{tx} , N_{tx}) utilizando un solo procedimiento. Como otro ejemplo, en ciertas implementaciones, puede que no haya necesidad de definir un procedimiento separado para cada uno de los acortamientos, perforaciones y repeticiones. Otras ventajas pueden ser
15 fácilmente evidentes para un versado en el arte. Ciertas implementaciones pueden tener ninguna, algunas o todas las ventajas citadas.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

20 Para una comprensión más completa de las implementaciones descritas y sus características y ventajas, ahora se hace referencia a la siguiente descripción, tomada en conjunto con los dibujos adjuntos, en los cuales:

La Figura 1 ilustra un ejemplo de la PCM y el gráfico bipartito
25 correspondiente;

La Figura 2 es un diagrama de bloques que ilustra una implementación de una red, de acuerdo con ciertas implementaciones;

La Figura 3 ilustra un ejemplo en el que los bits sistemáticos y los bits de paridad se leen en forma de columna, de acuerdo con ciertas implementaciones;

La Figura 4 ilustra un ejemplo en el que los bits sistemáticos y los bits de paridad se leen por filas, de acuerdo con ciertas implementaciones;

5

La Figura 5 ilustra un ejemplo en el que, cuando se alcanza el final del búfer circular, se envuelve a los bits sistemáticos que se omitieron en una primera transmisión, de acuerdo con ciertas implementaciones;

10

La Figura 6 ilustra un ejemplo en el que el búfer circular utiliza un subconjunto de bits codificados según lo define la PCM, de modo que la tasa de código utilizada para la transmisión real es más alta que la tasa de código R de la PCM, de acuerdo con ciertas implementaciones;

15

La Figura 7 ilustra un ejemplo en el que el acortamiento también se implementa como parte del procedimiento de concordancia de tasa, de acuerdo con ciertas implementaciones;

20

La Figura 8 ilustra un ejemplo en el que el acortamiento se aplica primero a los bits sistemáticos que se omiten, y a los bits no omitidos si el número de bits acortados es mayor que el número de bits omitidos, de acuerdo con ciertas implementaciones;

25

La Figura 9 es un diagrama de flujo de un método en un primer nodo, de acuerdo con ciertas implementaciones;

La Figura 10 es un esquema de bloques de un dispositivo inalámbrico de ejemplo, de acuerdo con ciertas implementaciones;

La Figura 11 es un esquema de bloques de un nodo de red de ejemplo, de
5 acuerdo con ciertas implementaciones;

La Figura 12 es un esquema de bloques de un controlador de red de radio o nodo de red de núcleo de ejemplo, de acuerdo con ciertas implementaciones;

10 La Figura 13 es un esquema de bloques de un dispositivo inalámbrico de ejemplo, de acuerdo con ciertas implementaciones; y

La Figura 14 es un esquema de bloques de un nodo de red de ejemplo, de acuerdo con ciertas implementaciones.

15

DESCRIPCIÓN DETALLADA

Como se describió anteriormente, dado un código LDPC dedicado de tamaño de código (k, n) , es necesario un método simple y efectivo de concordancia de
20 tasa para el tamaño de código real (K_{tx}, N_{tx}) necesario para una transmisión particular. Algunos códigos LDPC perforan algunos bits sistemáticos por diseño para mejorar el rendimiento del código, sin relación con la concordancia de tasas. Sin embargo, no está claro cómo realizar la concordancia de tasa, por ejemplo, como se define en 802.11n, en este caso. La presente divulgación contempla
25 diversas implementaciones que pueden proporcionar un método simple y efectivo de concordancia de tasa para códigos LDPC, donde se aplica el acortamiento, la perforación y/o la repetición.

En ciertas formas de implementación, la concordancia de la tasa mediante acortamiento y perforación se puede aplicar a un código madre con la tasa de código más alta posible. Si el número de bits de paridad especificado por el código madre es aproximadamente el mismo que el número de bits de paridad necesarios para el código deseado, la concordancia de la tasa se puede lograr principalmente acortando en lugar de perforar, con menos pérdida de rendimiento como resultado.

De acuerdo con una implementación de ejemplo, se describe un método para producir un conjunto de bits codificados a partir de un conjunto de bits de información para transmisión entre un primer nodo y un segundo nodo en un sistema de comunicaciones inalámbricas. El primer nodo genera un vector de palabras de código al codificar el conjunto de bits de información con un código LDPC, en donde el vector de palabras de código está compuesto de bits sistemáticos y bits de paridad. El primer nodo realiza una concordancia de tasa con base en el búfer circular en el vector de palabras de código generado para producir los bits codificados para la transmisión, en el que la concordancia de tasa con base en el búfer circular comprende perforar una primera pluralidad de bits sistemáticos. En ciertas implementaciones, el código LDPC se puede especificar a través de una PCM. La primera pluralidad de bits sistemáticos que están perforados puede preceder, en el vector de palabras de código, una segunda pluralidad de bits sistemáticos que no están perforados.

En ciertas implementaciones, se puede definir una pluralidad de versiones de redundancia sobre el búfer circular de modo que los bits codificados para una retransmisión se lean del búfer circular de acuerdo con una versión de redundancia correspondiente definida para la retransmisión. El primer nodo puede realizar una concordancia de tasa con base en el búfer circular en el vector de

palabras de código generado para producir bits codificados para la retransmisión, en donde la concordancia de tasa con base en el búfer circular para la retransmisión comprende perforar la primera pluralidad de bits sistemáticos. La primera pluralidad de bits sistemáticos perforados para la retransmisión puede

5 incluir un múltiplo par de bits sistemáticos Z , donde Z es un factor de elevación de la matriz de verificación de paridad.

En ciertas implementaciones, el primer nodo puede perforar la primera pluralidad de bits sistemáticos omitiendo escribir la primera pluralidad de bits

10 sistemáticos en un búfer circular. En ciertas implementaciones, el primer nodo puede perforar la primera pluralidad de bits sistemáticos saltándose la primera pluralidad de bits sistemáticos cuando se leen los bits codificados desde un búfer circular.

15 Ciertas implementaciones de la presente divulgación se pueden proporcionar una o más ventajas técnicas. Por ejemplo, en ciertas implementaciones, los métodos circulares de concordancia de tasa con base en el búfer circular se pueden diseñar de manera tal que se pueda proporcionar un arbitrario (K_{tx}, N_{tx}) utilizando un solo procedimiento. Como otro ejemplo, en ciertas implementaciones,

20 puede que no haya necesidad de definir un procedimiento separado para cada uno de los acortamientos, perforaciones y repeticiones. Otras ventajas pueden ser fácilmente evidentes para un versado en el arte. Ciertas implementaciones pueden tener ninguna, algunas o todas las ventajas citadas.

25 La Figura 2 es un diagrama de bloques que ilustra una implementación de una red 100, de acuerdo con ciertas implementaciones. La red 100 incluye uno o más UE 110 (que se pueden denominar indistintamente como dispositivos inalámbricos 110) y uno o más nodo(s) de red 115. Los UE 110 se pueden

comunicar con los nodos de la red 115 a través de una interfaz inalámbrica. Por ejemplo, un UE 110 puede transmitir señales inalámbricas a uno o más de los nodos 115 de la red, y/o recibir señales inalámbricas de uno o más de los nodos 115 de la red. Las señales inalámbricas pueden contener tráfico de voz, tráfico de datos, señales de control, y/o cualquier otra información adecuada. En algunas implementaciones, un área de cobertura de señal inalámbrica asociada con un nodo de red 115 se puede denominar una célula. En algunas implementaciones, los UE 110 pueden tener capacidad de dispositivo a dispositivo (D2D). Por lo tanto, los UE 110 pueden recibir señales de y/o transmitir señales directamente a otro UE.

En ciertas implementaciones, los nodos de red 115 pueden interactuar con un controlador de red de radio. El controlador de red de radio puede controlar los nodos 115 de la red y puede proporcionar ciertas funciones de gestión de recursos de radio, funciones de gestión de movilidad y/u otras funciones adecuadas. En ciertas implementaciones, las funciones del controlador de red de radio se pueden incluir en el nodo de red 115. El controlador de red de radio se puede interconectar con un nodo de red central. En ciertas implementaciones, el controlador de red de radio puede interactuar con el nodo de red central a través de una red de interconexión. La red de interconexión se puede referir a cualquier sistema de interconexión capaz de transmitir audio, video, señales, datos, mensajes o cualquier combinación de los anteriores. La red de interconexión puede incluir la totalidad o una parte de una red telefónica pública conmutada (PSTN), una red de datos pública o privada, una red de área local (LAN), una red de área metropolitana (MAN), una red de área amplia (WAN), una comunicación o red de computadoras local, regional o global, como Internet, una red alámbrica o inalámbrica, una intranet empresarial o cualquier otro enlace de comunicación adecuado, incluidas las combinaciones de los mismos.

En algunas implementaciones, el nodo de la red central puede gestionar el establecimiento de sesiones de comunicación y varias otras funcionalidades para los UE 110. Los UE 110 pueden intercambiar ciertas señales con el nodo de la red central utilizando la capa de estrato de no acceso (NAS). En la señalización NAS, las señales entre los UE 110 y el nodo de la red central se pueden pasar de manera transparente a través de la red de acceso de radio (RAN). En ciertas implementaciones, los nodos de red 115 pueden interactuar con uno o más nodos de red a través de una interfaz de entrenudo, tal como, por ejemplo, una interfaz X2.

Como se describió anteriormente, las implementaciones de ejemplo de la red 100 pueden incluir uno o más dispositivos inalámbricos 110, y uno o más tipos diferentes de nodos de red capaces de comunicarse (directa o indirectamente) con dispositivos inalámbricos 110.

En algunas implementaciones, se usa el término no limitante UE. Los UE 110 descritos aquí pueden ser cualquier tipo de dispositivo inalámbrico capaz de comunicarse con los nodos de red 115 u otro UE a través de señales de radio. El UE 110 también puede ser un dispositivo de radiocomunicación, dispositivo de destino, D2D UE, UE de tipo máquina de comunicación o UE capaz de comunicar máquina a máquina (M2M), UE de bajo costo y/o de baja complejidad, un sensor equipado con UE, tableta, terminales móviles, teléfono inteligente, equipo portátil incorporado (LEE), equipo montado en computador portátil (LME), memorias USB, equipo en las instalaciones del cliente (CPE), etc. El UE 110 puede funcionar con cobertura normal o con cobertura mejorada con respecto a su celda de servicio. La cobertura mejorada se puede referir indistintamente como cobertura extendida. El UE 110 también puede operar en una pluralidad de niveles de cobertura (e.g., cobertura normal, nivel de cobertura mejorado 1, nivel de cobertura mejorado 2,

nivel de cobertura mejorado 3, etc.). En algunos casos, el UE 110 también puede operar en escenarios fuera de cobertura.

Además, en algunas implementaciones, se utiliza la terminología genérica, "nodo de red". Puede ser cualquier tipo de nodo de red, que puede comprender una estación base (BS), una estación base de radio, un nodo B, una estación base (BS), un nodo de radio multi-estándar (MSR) como MSR BS, un nodo B evolucionado (eNB), gNB, controlador de red, controlador de red de radio (RNC), controlador de estación base (BSC), nodo de relé, relé de control del nodo donante de relé, estación de transceptor base (BTS), punto de acceso (AP), punto de acceso de radio, puntos de transmisión, nodos de transmisión, unidad de radio remota (RRU), Cabezal de radio remoto (RRH), nodos en el sistema de antena distribuida (DAS), Entidad de coordinación multicelda/multidifusión (MCE), nodo de red central (e.g., Centro de conmutación móvil (MSC)), Entidad de Gestión de la Movilidad (MME), etc.). Operaciones y administración (O&M), sistema de soporte de operaciones (OSS), red autoorganizada (SON), nodo de posicionamiento (e.g., Evolved Serving Mobile Location Center (E-SMLC)), Minimización de Drive Test (MDT), o cualquier otro nodo de red adecuado.

En ciertas implementaciones, se utiliza la terminología genérica "nodo". Puede ser cualquier tipo de UE o nodo de red, como el UE 110 o el nodo de red 115 descrito anteriormente.

La terminología, como nodo de red y UE, debe considerarse no limitativa y, en particular, no implica una cierta relación jerárquica entre los dos. En general, "nodo de red" se podría considerar como dispositivo 1 (o un primer nodo) y dispositivo "UE" 2 (o un segundo nodo), y estos dos dispositivos se comunican entre sí a través de algún canal de radio.

Implementaciones de ejemplo del UE 110, los nodos de red 115 y otros nodos de red (como el controlador de red de radio o el nodo de red central) se describen con más detalle a continuación con respecto a las FIGURAS 10-14.

5 Aunque La Figura 2 ilustra una disposición particular de la red 100, la presente divulgación contempla que las diversas implementaciones descritas en el presente documento se pueden aplicar a una variedad de redes que tienen cualquier configuración adecuada. Por ejemplo, la red 100 puede incluir cualquier número adecuado de UE 110 y nodos de red 115, así como cualquier elemento
10 adicional adecuado para soportar la comunicación entre UE o entre un UE y otro dispositivo de comunicación (tal como un teléfono fijo). Además, aunque ciertas implementaciones se pueden describir como implementadas en una nueva red de radio (NR), las implementaciones se pueden hacer en cualquier tipo apropiado de sistema de telecomunicaciones que admita cualquier estándar de comunicación
15 adecuado (incluidos los estándares 5G) y que use cualquier componente adecuado, y son aplicables a cualquier tecnología de acceso por radio (RAT) o sistemas multi-RAT en los que un UE reciba y/o transmita señales (e.g., datos). Por ejemplo, las diversas implementaciones descritas aquí pueden ser aplicables a NR, Evolución a Largo Plazo (LTE), LTE-Advanced, 5G, UMTS, HSPA, GSM,
20 cdma2000, WCDMA, WiMax, UMB, WiFi, 802.11n, otra tecnología de acceso de radio adecuado, o cualquier combinación adecuada de una o más tecnologías de acceso por radio. Aunque ciertas implementaciones se pueden describir en el contexto de las transmisiones inalámbricas en el enlace descendente (DL), la presente divulgación contempla que las diversas implementaciones son
25 igualmente aplicables en el enlace ascendente (UL).

Como se describió anteriormente, dado un código LDPC dedicado de tamaño de código (k, n) , es necesario un método simple y efectivo de concordancia de

tasa para el tamaño de código real (K_{tx} , N_{tx}) necesario para una transmisión particular (e.g., entre un primer nodo y un segundo nodo en un sistema de comunicaciones inalámbricas, como un sistema NR). En ciertas implementaciones, se describe un método efectivo de ajuste de la tasa para
5 códigos LDPC, donde se aplica el acortamiento, la perforación y/o la repetición.

En ciertas implementaciones, un primer nodo (e.g., uno de los nodos de red
115 descritos anteriormente) produce un conjunto de bits codificados de un conjunto de bits de información para transmisión a un segundo nodo (e.g., uno de
10 los UE 110 descritos anteriormente) en una Sistema de comunicaciones inalámbricas. En ciertas implementaciones, el sistema de comunicaciones inalámbricas puede ser un sistema NR. El conjunto de los bits de información puede estar asociado con una transmisión entre el primer nodo y el segundo nodo en el sistema de comunicaciones inalámbricas. Tenga en cuenta que, aunque
15 ciertas implementaciones se pueden describir utilizando uno de los nodos de red 115 como primer nodo y uno de los UE 110 como segundo nodo, esto se hace solo a modo de ejemplo y las diversas implementaciones descritas en este documento no se limitan a dicho ejemplo. Más bien, la presente divulgación contempla que el primer nodo y el segundo nodo pueden ser cualquier entidad de
20 red adecuada.

En ciertas implementaciones, el primer nodo genera un vector de información a partir de un conjunto de bits de información. Para ilustrar, considere el siguiente ejemplo. Supongamos que para un conjunto de bits de información k_{tx} , la
25 codificación del código LDPC se puede realizar utilizando el siguiente procedimiento, donde la matriz de verificación de paridad cuasi-cíclica H se compone de $(n-k)$ filas y n columnas, $m_b = m/Z$ y $n_b = n/Z$. En ciertas implementaciones, la generación de un vector de información a partir del conjunto

de bits de información puede comprender adjuntar $(k-k_{tx})$ bits ficticios al conjunto de bits de información k_{tx} para hacer un vector de información U de k bits. A los bits ficticios se les suele asignar un valor conocido de "0". La conexión de bits ficticios a bits de información también se puede denominar acortamiento del código. En ciertas implementaciones, adjuntar bits ficticios al conjunto de bits de información puede comprender copiar el conjunto de bits de información en un vector más largo de "bits de información + bits ficticios" de longitud. En ciertas implementaciones, el primer nodo puede perforar los bits ficticios adjuntos (e.g., al no escribir los bits ficticios adjuntos en el búfer circular o al no leer los bits ficticios adjuntos del búfer circular).

El primer nodo genera un vector de palabras de código al codificar el conjunto de bits de información con un código LDPC. El vector de palabras de código puede estar compuesto de bits sistemáticos y bits de paridad. Los códigos LDPC que se consideran aquí son códigos LDPC con base en fotografía cuasi cíclicas. Los PCM cuasi cíclicos se dividen en sub-bloques cuadrados (submatrices) de tamaño $Z \times Z$. Estas submatrices son, bien sea permutaciones cíclicas de la matriz de identidad o submatrices nulas. Se obtiene una matriz de permutación cíclica P_i a partir de la matriz de identidad $Z \times Z$ desplazando cíclicamente las columnas hacia la derecha con i elementos. La matriz P_0 es la matriz de identidad $Z \times Z$. El código LDPC se puede especificar a través de una PCM. Los códigos LDPC cuasi cíclicos se describen convenientemente a través de una matriz base, que es una matriz donde cada entero i denota la matriz de permutación cíclica P_i . La PCM se obtiene a partir de una matriz base seleccionando un tamaño de elevación Z y reemplazando cada entrada en la matriz base con la matriz $Z \times Z$ correspondiente.

Continuando con el ejemplo anterior, en ciertas implementaciones, el primer nodo codifica el vector de información U con la PCM H . La codificación genera un vector de palabra de código C de n bits. Normalmente, la codificación sistemática se utiliza de modo que el vector de palabras en clave C se compone de dos conjuntos de bits: [bits sistemáticos; bits de paridad]. En este ejemplo, el vector de longitud- k de bits sistemáticos es igual al vector de información U . La longitud- k , $k = k_b \cdot Z$ los bits sistemáticos son grupos k_b de bits Z , [$u_0, u_1, \dots, u_{Z-1}, | u_Z, u_{Z+1}, \dots, u_{2Z-1}, | \dots, u_{(k_b-1) \cdot Z}, u_{(k_b-1) \cdot Z + 1}, \dots, u_{(k_b \cdot Z-1)}$]. La longitud- $(n-k)$, $m = n-k = m_b \cdot Z$, los bits de paridad son grupos m_b de Z bits, [$p_0, p_1, \dots, p_{Z-1}, | p_Z, p_{Z+1}, \dots, p_{2Z-1}, | \dots, p_{(m_b-1) \cdot Z}, p_{(m_b-1) \cdot Z + 1}, \dots, p_{(m_b \cdot Z-1)}$]. La propiedad del código LDPC dicta que el vector de palabras de código C multiplicado por la transposición de PCM H debe producir un vector de ceros (i.e., $H^T C^T = 0$).

El primer nodo realiza una concordancia de tasa con base en el búfer circular en el vector de palabras de código generado para producir los bits codificados para la transmisión. La concordancia de tasa con base en el búfer circular puede comprender perforar una primera pluralidad de bits sistemáticos (e.g., cuando se produce un vector de transmisión a partir del vector de la palabra de código). Continuando con el ejemplo anterior, en ciertas implementaciones, el primer nodo realiza una concordancia de tasa en el vector de palabras de código C , elimina los bits ficticios $(k-k_{tx})$ y produce un vector de longitud n_{tx} para la transmisión a través del canal inalámbrico.

En la siguiente descripción de las FIGURAS 3-8, se supone que al menos una parte de los [bits sistemáticos, bits de paridad] definidos por la PCM se escriben en un búfer circular. En los ejemplos de las FIGURAS 3-8, el "búfer circular" utilizado para la concordancia de tasas se presenta en un formato rectangular. Sin embargo, se debe entender, que envolver alrededor al llegar al

final del rectángulo significa que el búfer es circular. Además, tenga en cuenta que la presentación del búfer circular en formato rectangular es solo para fines de ejemplo, y las diversas implementaciones descritas en este documento no están limitadas a dicho ejemplo.

5

En los ejemplos de las FIGURAS 3-8, esos [bits sistemáticos, bits de paridad] definidos por la PCM que se escriben en el búfer circular rectangular se escriben en filas, comenzando desde la esquina superior izquierda y terminando en la esquina inferior derecha. Como ejemplo, después de escribir los bits en el rectángulo, se puede usar para generar una palabra de código de longitud de bloque arbitraria n_{tx} . En tal escenario, los bits de n_{tx} se leen desde el rectángulo. Como otro ejemplo, después de escribir los bits en el rectángulo, se puede usar para generar retransmisiones que se usarán en/para redundancia incremental. En tal escenario, para la primera transmisión, se leen algunos bits. En caso de una segunda transmisión, se leen en voz alta un número adicional de bits. Mientras que la lectura de cada retransmisión puede comenzar en cualquier lugar en el búfer circular de forma rectangular, preferiblemente la lectura comienza cerca de donde terminó la lectura de la transmisión anterior. Esto se puede generalizar a más de una retransmisión.

20

Las Figuras 3-8 a continuación ilustran varias implementaciones de ejemplo de cómo el [los bits sistemáticos, los bits de paridad] se leen en el búfer circular rectangular para producir los bits n_{tx} para la transmisión (e.g., a un segundo nodo). En ciertas implementaciones, el primer nodo puede contar con n_{tx} bits del rectángulo y transmitirlos. En ciertas implementaciones, una o más reglas predefinidas pueden influir en cómo se leen los bits fuera del búfer circular rectangular para producir los bits n_{tx} para la transmisión. Como ejemplo, si n_{tx} es más pequeño que el número total de bits en el búfer circular, entonces los bits que

25

quedan atrás en el rectángulo se perforan (i.e., no se transmiten). Como otro ejemplo, si n_{tx} es mayor que el número total de bits en el búfer circular, entonces el procedimiento de lectura se ajusta y se repiten algunos bits en el búfer circular, lo que lleva al efecto de repetición de la concordancia de tasa. Como otro ejemplo más, si los bits de información real k_{tx} se adjuntan con bits $(k - k_{tx})$ de valor conocido antes de codificar con la PCM, se logrará un acortamiento. En algunos casos, los bits de acortamiento $(k - k_{tx})$ se pueden colocar delante de los bits de información real k_{tx} . En algunos casos, los bits de acortamiento $(k - k_{tx})$ se pueden adjuntar al final de los bits de información real k_{tx} . Los bits acortados son conocidos y no contienen información, por lo tanto, se deben eliminar antes de la transmisión.

Como otro ejemplo más, en los casos de la PCM donde algunos de los bits de información están perforados por diseño, estos bits de información pueden quedar fuera del búfer circular rectangular. En las FIGURAS 3-8 a continuación, estos bits de información se denominan bits omitidos. Como otro ejemplo, en el caso de una PCM en el que algunos de los bits de información están perforados por el diseño, combinados con un acortamiento, los bits perforados pueden ser parte de los bits acortados, o no ser parte de los bits acortados.

La Figura 3 ilustra un ejemplo en el que los bits sistemáticos y los bits de paridad se leen en forma de columna, de modo que un intercalador de canal también se implementa como parte del procedimiento de concordancia de tasa, de acuerdo con ciertas implementaciones. La Figura 3 ilustra un búfer circular rectangular 300 con columnas Z 305 y n_b filas 310. Dentro del búfer circular rectangular 300, hay una pluralidad de bits sistemáticos 315 y una pluralidad de bits de paridad 320. La pluralidad de bits sistemáticos 315 incluye bits sistemáticos que son no omitidos 325 y una pluralidad de bits sistemáticos que se omiten 330

(i.e., perforados). En el ejemplo de La Figura 3, los bits se leen desde un búfer circular rectangular 300 que comienza en el punto de inicio 335. La flecha 340 ilustra la envoltura que se produce cuando se llega al final del buffer circular rectangular 300.

5

Como se muestra en el ejemplo de La Figura 3, dado que hay columnas Z^* n_b (o bits de palabras de código) en H, una manera es formar un rectángulo 300 (filas n_b^* columnas Z) y bits de punción en la columna. El efecto es perforar los bits uniformemente de cada una de las filas de tamaño Z, y mantener

10 aproximadamente la misma distribución de pesos que la H original. Esto tiene el efecto de perforar un bit de cada conjunto n_b primero, donde cada conjunto tiene Z bits. En ciertas implementaciones, la pluralidad de bits sistemáticos que se omiten 330 (i.e., perforados) incluyen un múltiplo par de bits sistemáticos Z, donde Z es un factor de elevación de la PCM.

15

Como se ilustra en La Figura 3, algunos de los bits sistemáticos 315 se pueden perforar (i.e., omitir los bits sistemáticos 330) para lograr un mejor desempeño que los bits de paridad de perforación 320. Los bits sistemáticos perforados en la primera transmisión, o para un código de mayor tasa, son por lo

20 general, asignados al peso de la columna alta. La ubicación de inicio 335 (x, y) se puede elegir de manera que se omita el grupo apropiado de bits sistemáticos (i.e., se perfore), mientras se mantiene el rendimiento de decodificación lo mejor posible.

25

Aunque La Figura 3 ilustra los bits sistemáticos omitidos 330 como se incluye en el búfer circular rectangular 300, este es solo un ejemplo no limitativo. En ciertas implementaciones, por ejemplo, los bits sistemáticos omitidos 330 no se pueden escribir en el búfer circular 300. Dado que el código está diseñado con el

conocimiento que los primeros bits sistemáticos se perforarán, en algunos casos estos bits no se deben incluir en todo el búfer circular 300. Puede ser más ventajoso repetir cualquiera de los bits ya transmitidos que transmitir los primeros bits sistemáticos diseñados para ser perforados. Esto es una consecuencia del grado de nodo variable muy alto de los bits sistemáticos perforados 330, lo que implica que estos nodos/bits tienen una alta conectividad con el resto del gráfico y su valor a menudo se puede deducir del valor de otros bits.

La Figura 4 ilustra un ejemplo en el que los bits sistemáticos y los bits de paridad se leen por filas, de acuerdo con ciertas implementaciones. La Figura 4 ilustra un búfer circular rectangular 400 con columnas Z 405 y n_b filas 410. Dentro del búfer circular rectangular 400, hay una pluralidad de bits sistemáticos 415 y una pluralidad de bits de paridad 420. La pluralidad de bits sistemáticos 415 incluye bits sistemáticos que son no omitidos 425 y la pluralidad de bits sistemáticos que se omiten 430. En el ejemplo de La Figura 4, los bits se leen en un búfer circular rectangular 400 que comienza en el punto de inicio 435. La flecha 440 ilustra la vuelta que se produce cuando se llega al final del búfer circular rectangular 400.

Como se indicó anteriormente, en el ejemplo que se muestra en La Figura 4, los bits sistemáticos 425 y los bits de paridad 420 se leen en filas. Por lo tanto, no se implementa el efecto de intercalación de canales (en contraste con el ejemplo de La Figura 3 descrito anteriormente).

Además, como las columnas de perforación de alto peso tienen menos impacto en el rendimiento, el patrón de perforación se puede organizar de modo que se perforen más bits de alto peso de columna que los bits de bajo peso de columna. Sería posible buscar qué bits de paridad 420 perforar que den el menor

impacto en el umbral. Los nodos de la fotografía, que corresponden a las filas n_b , se pueden reordenar de modo que la perforación desde el extremo del búfer circular rectangular 400 sea óptima.

5 La Figura 5 ilustra un ejemplo en el que, cuando se alcanza el final del búfer circular, se envuelve a los bits sistemáticos que se omitieron en una primera transmisión, de acuerdo con ciertas implementaciones. La Figura 5 ilustra un búfer circular rectangular 500 con columnas Z 505 y n_b filas 510. Dentro del búfer circular rectangular 500, hay una pluralidad de bits sistemáticos 515 y una
10 pluralidad de bits de paridad 520. La pluralidad de bits sistemáticos 515 incluye bits sistemáticos que no se omiten en una primera transmisión 525 y una pluralidad de bits sistemáticos que se omiten en la primera transmisión 530. En el ejemplo de La Figura 5, los bits se leen desde un búfer circular rectangular 500 que comienza en el punto de inicio 535. La flecha 540 ilustra el envolvimiento
15 alrededor que ocurre cuando se llega al final del búfer circular rectangular 500.

 Como se describió anteriormente, La Figura 5 ilustra un ejemplo en el que, cuando se alcanza el final del búfer circular 500, se envuelve a los bits sistemáticos que se omitieron en la primera transmisión 530 (como se muestra por
20 la flecha 540). En la implementación de ejemplo de La Figura 5, los bits sistemáticos 530 que se omitieron en la primera transmisión, o para la generación de una palabra clave de mayor tasa, se incluyen en una retransmisión, o cuando se genera una palabra de código de baja tasa.

25 En ciertas implementaciones, los bits se pueden leer desde un búfer circular rectangular 500 en forma horizontal (i.e., en forma de fila), comenzando en el punto de inicio 535.

La Figura 6 ilustra un ejemplo en el que el búfer circular utiliza un subconjunto de bits codificados según lo define la PCM, de modo que la tasa de código utilizada para la transmisión real es mayor que la tasa de código R de la PCM, de acuerdo con ciertas implementaciones. La Figura 6 ilustra un búfer circular rectangular 600 con columnas Z 605, n filas 610 y n_b , 1 filas 615. Como se muestra en La Figura 6, hay una pluralidad de bits 620 sistemáticos y una pluralidad de bits de paridad 625. La pluralidad de bits sistemáticos 620 incluyen bits sistemáticos que no se omiten 630 y una pluralidad de bits sistemáticos que se omiten 635. La pluralidad de bits de paridad 625 incluye bits de paridad que se han perforado desde el código madre 640 y bits de paridad que no se han perforado desde el código madre 645. En el ejemplo de La Figura 6, los bits se leen en un búfer circular rectangular 600 que comienza en el punto de inicio 650. La flecha 655 ilustra el envolvimiento que se produce cuando se llega al final del búfer circular rectangular 600.

En la implementación de ejemplo que se muestra en La Figura 6, algunos de los bits de paridad 625 generados a partir de la PCM no se colocan en el rectángulo y se transmiten (i.e., los bits de paridad que se perforan desde el código madre 640), pero se generan retransmisiones y tasas de código más bajas leyendo de nuevo desde la parte superior izquierda del rectángulo (i.e., en el punto de partida 650). Esto puede ser útil, por ejemplo, si se prefiere una decodificación de menor complejidad, porque en este caso solo se requiere una submatriz de la PCM para decodificar la transmisión.

En ciertas implementaciones, los bits se pueden leer desde un búfer circular rectangular 600 en una vertical (i.e., en forma de columna), comenzando desde el punto de partida 650.

La Figura 7 ilustra un ejemplo en el que el acortamiento también se implementa como parte del procedimiento de concordancia de tasa, de acuerdo con ciertas implementaciones. La Figura 7 ilustra un búfer circular rectangular 700 con columnas Z 705 y n_b filas 710. Dentro del búfer circular rectangular 700, hay una pluralidad de bits sistemáticos 715 y una pluralidad de bits de paridad 720. La pluralidad de bits sistemáticos 715 incluye una pluralidad de bits sistemáticos que se omiten 725, una pluralidad de bits sistemáticos que no se omiten 730 y una pluralidad de bits acortados 735. En el ejemplo de La Figura 7, los bits se leen desde el búfer circular rectangular 700 que comienza en el punto de inicio 740. La flecha 745 ilustra el envolvimiento que se produce cuando se llega al final del búfer circular rectangular 700.

Como se describió anteriormente, en la implementación de ejemplo de La Figura 7, el acortamiento también se implementa como parte del procedimiento de concordancia de tasa. En el ejemplo de La Figura 7, los bits acortados 735 se eligen primero entre los bits sistemáticos que no se omiten 730. En algunos casos, si el número de bits acortados es mayor que el número de bits sistemáticos que no se omiten 730, algunos de los bits sistemáticos omitidos 725 también se acortarán. Los bits acortados se establecen en un valor conocido y se omiten al leer la palabra de código que se va a transmitir (como se conoce en el receptor). El receptor (e.g., un segundo nodo) inserta valores infinitos de confiabilidad para los bits acortados y calcula la confiabilidad para el resto de los bits utilizando un rectángulo similar. De acuerdo con una implementación alternativa de ejemplo, los bits se pueden leer en forma vertical, omitiendo nuevamente los bits acortados 735 y los bits que están diseñados para ser omitidos 725.

La Figura 8 ilustra un ejemplo en el que el acortamiento se aplica primero a los bits sistemáticos que se omiten, y solo a los bits no omitidos si el número de

bits acortados es mayor que el número de bits omitidos, de acuerdo con ciertas implementaciones. La Figura 8 ilustra un búfer circular rectangular 800 con columnas Z 805 y n_b filas 810. Dentro del búfer circular rectangular 800, hay una pluralidad de bits sistemáticos 815 y una pluralidad de bits de paridad 820. La pluralidad de bits sistemáticos 815 incluye una pluralidad de bits acortados 825, una pluralidad de bits sistemáticos que se omiten 830, y una pluralidad de bits sistemáticos que no se omiten 835. En el ejemplo de La Figura 8, los bits se leen desde el búfer circular rectangular 800 que comienza en el punto de inicio 840. La flecha 845 ilustra el envolvimiento que se produce cuando se llega al final del búfer circular rectangular 800.

En la implementación de ejemplo de La Figura 8, los bits de información acortados 825 se eligen primero entre los bits sistemáticos que se omiten 830, y solo si es necesario acortar más bits que el número de bits omitidos, los otros bits sistemáticos 835 se acortan. En ciertas implementaciones, los bits se pueden leer en forma vertical.

En ciertas implementaciones, las diversas implementaciones descritas anteriormente con respecto a las Figuras 3-8 además se pueden combinar. La presente divulgación contempla que las diversas implementaciones de ejemplo descritas anteriormente se pueden combinar de cualquier manera adecuada. Por ejemplo, las implementaciones de ejemplo descritas anteriormente en relación con las Figuras 7 y 8 se pueden combinar con la implementación de ejemplo de La Figura 5, de modo que los bits sistemáticos que se omiten al principio se pueden incluir en códigos de menor tasa o en retransmisiones. Tenga en cuenta, sin embargo, que los bits acortados no se incluyen en una transmisión como son conocidos por el receptor.

La Figura 9 es un diagrama de flujo de un método 900 en un primer nodo, de acuerdo con ciertas implementaciones. Más particularmente, el método 900 es un método para producir un conjunto de bits codificados a partir de un conjunto de bits de información para la transmisión entre un primer nodo y un segundo nodo en un sistema de comunicaciones inalámbricas. El método 900 comienza en la etapa 904, donde el primer nodo genera un vector de palabras de código al codificar el conjunto de bits de información con un código de verificación de paridad de baja densidad, en donde el vector de palabras de código está compuesto de bits sistemáticos y bits de paridad. En ciertas implementaciones, el código LDPC se puede especificar a través de una PCM. El sistema de comunicaciones inalámbricas puede comprender un sistema NR.

En ciertas implementaciones, la generación del vector de palabras de código mediante la codificación del conjunto de bits de información puede comprender la unión de bits ficticios al conjunto de bits de información, los bits ficticios que comprenden bits de valor conocido, para producir un vector de información y la codificación del vector de información. Los bits ficticios adjuntos pueden comprender una segunda pluralidad de bits sistemáticos que están separados de la primera pluralidad de bits sistemáticos perforados. En ciertas implementaciones, el método puede comprender perforar los bits ficticios adjuntos. La perforación de los bits ficticios adjuntos puede comprender omitir escribir los bits ficticios adjuntos en el búfer circular. La perforación de los bits ficticios adjuntos puede comprender omitir los bits ficticios adjuntos cuando se leen los bits codificados del búfer circular.

En la etapa 908, el primer nodo realiza una concordancia de tasa con base en el búfer circular rectangular en el vector de palabras de código generado para producir los bits codificados para transmisión, en donde la concordancia de tasa

con base en el búfer circular rectangular comprende perforar una primera pluralidad de bits sistemáticos. En ciertas implementaciones, la primera pluralidad de bits sistemáticos que se perforan puede preceder, en el vector de palabras de código, a segunda pluralidad de bits sistemáticos que no están perforados.

5

En ciertas implementaciones, se puede definir una pluralidad de versiones de redundancia sobre el búfer circular de modo que los bits codificados para una retransmisión se lean del búfer circular de acuerdo con una versión de redundancia correspondiente definida para la retransmisión. El método 900 puede comprender realizar una concordancia de tasa con base en el búfer circular en el vector de palabras de código generado para producir bits codificados para la retransmisión, en el que la concordancia de tasa con base en el búfer circular para la retransmisión comprende perforar la primera pluralidad de bits sistemáticos. La primera pluralidad de bits sistemáticos perforados para la retransmisión puede incluir un múltiplo par de bits sistemáticos Z , donde Z es un factor de elevación de la matriz de verificación de paridad.

En ciertas implementaciones, la perforación de la primera pluralidad de bits sistemáticos puede comprender omitir la escritura de la primera pluralidad de bits sistemáticos en un búfer circular. En ciertas implementaciones, la perforación de la primera pluralidad de bits sistemáticos puede comprender omitir la primera pluralidad de bits sistemáticos cuando se leen los bits codificados desde un búfer circular. En ciertas implementaciones, la primera pluralidad de bits sistemáticos perforados puede incluir un múltiplo par de bits sistemáticos Z , donde Z es un factor de elevación de la matriz de verificación de paridad.

En ciertas implementaciones, la implementación de una concordancia de tasa con base en el búfer circular en el vector de palabras de código generado

puede comprender leer los bits sistemáticos y los bits de paridad de un búfer circular para producir el vector de transmisión para la transmisión a través de un canal inalámbrico. La lectura de los bits sistemáticos y los bits de paridad del búfer circular para producir el vector de transmisión para la transmisión a través del canal inalámbrico puede comprender, si un número de bits del vector de transmisión es mayor que el número total de bits en el búfer circular, que repita uno o más bits en el búfer circular envolviéndolos.

En ciertas implementaciones, se puede omitir que un subconjunto de los bits sistemáticos se escriba en el búfer circular. En ciertas implementaciones, se puede omitir que un subconjunto de los bits de paridad se escriba en el búfer circular.

En ciertas implementaciones, el método puede comprender perforar un subconjunto de los bits sistemáticos escritos en el búfer circular en una primera transmisión a través del canal inalámbrico. El método puede comprender incluir el subconjunto de los bits sistemáticos que se perforaron en una retransmisión a través del canal inalámbrico.

En ciertas implementaciones, el método puede comprender perforar bits en forma de columna de manera que los bits se perforen uniformemente desde cada una de una pluralidad de filas y se mantenga una distribución de peso de la matriz de verificación de paridad en el búfer circular. Los bits perforados pueden ser bits sistemáticos distintos de la primera pluralidad de bits sistemáticos. Los bits sistemáticos y los bits de paridad se pueden leer de manera que se implemente un intercalador de canal como parte de la ejecución de la concordancia de tasa con base en el búfer circular en el vector de palabras de código generado. En ciertas implementaciones, los bits perforados pueden tener un mayor peso de columna

que los bits no perforados. En ciertas implementaciones, los bits sistemáticos y los bits de paridad se pueden leer de manera que no se implemente ningún efecto de entrelazado de canal.

5 En ciertas formas de implementación, realizar una concordancia de tasa con base en el búfer circular en el vector de palabras de código generado puede comprender escribir al menos una parte de los bits sistemáticos y los bits de paridad definidos por la PCM en un búfer circular rectangular, el búfer circular rectangular comprende uno o más filas y una o más columnas.

10

La Figura 10 es un esquema de bloques de un dispositivo inalámbrico de ejemplo 110, de acuerdo con ciertas implementaciones. El dispositivo inalámbrico 110 se puede referir a cualquier tipo de dispositivo inalámbrico que se comuniquen con un nodo y/o con otro dispositivo inalámbrico en un sistema de comunicación celular o móvil. Los ejemplos del dispositivo inalámbrico 110 incluyen un teléfono móvil, un teléfono inteligente, una PDA (Asistente digital personal), un computador portátil (e.g., portátil, tableta), un sensor, un actuador, un módem, un dispositivo de comunicación de tipo máquina (MTC)/dispositivo de máquina a máquina (M2M), equipo integrado para equipo portátil (LEE), equipo montado en equipo portátil (LME), memoria USB, un dispositivo con capacidad D2D u otro dispositivo que pueda proporcionar comunicación inalámbrica. Un dispositivo inalámbrico 110 también se puede denominar UE, una estación (STA), un dispositivo o un terminal en algunas implementaciones. El dispositivo inalámbrico 110 incluye el transceptor 1010, el circuito de procesamiento 1020 y la memoria 1030. En algunas implementaciones, el transceptor 1010 facilita la transmisión y recepción de señales inalámbricas desde y hasta el nodo de red 115 (e.g., a través de la antena 1040), el circuito de procesamiento 1020 ejecuta las instrucciones para proporcionar parte o la totalidad de la funcionalidad descrita anteriormente como la

25

proporciona el dispositivo inalámbrico 110, y la memoria 1030 almacena las instrucciones ejecutadas por el circuito de procesamiento del circuito 1020.

El circuito de procesamiento 1020 puede incluir cualquier combinación
5 adecuada de hardware y software implementado en uno o más módulos para
ejecutar instrucciones y manipular datos para realizar algunas o todas las
funciones descritas del UE 110, como las funciones del dispositivo inalámbrico 110
descritas anteriormente en relación con las figuras 1-9. En algunas
implementaciones, el circuito de procesamiento 1020 puede incluir, por ejemplo,
10 uno o más computadores, una o más unidades de procesamiento central (CPU),
uno o más microprocesadores, una o más aplicaciones, uno o más circuitos
integrados de aplicación específica (ASIC), uno o más arreglos de puertas
programables (FPGA) y/u otra lógica.

15 La memoria 1030 generalmente es operable para almacenar instrucciones,
como un programa de computador, software, una aplicación que incluye una o
más de lógica, reglas, algoritmos, códigos, tablas, etc., y/u otras instrucciones que
se puedan ejecutar procesando los circuitos 1020. Los ejemplos de memoria 1030
incluyen memoria de computador (por ejemplo, memoria de acceso aleatorio
20 (RAM) o memoria de solo lectura (ROM)), medios de almacenamiento masivo (por
ejemplo, un disco duro), medios de almacenamiento extraíbles (por ejemplo, un
disco compacto (CD)) o un disco de video digital (DVD), y/o cualquier otro
dispositivo de memoria volátil o no volátil, no transitorio legible por computador y/o
ejecutable por computador que almacene información, datos y/o instrucciones que
25 puedan ser utilizados por el procesamiento de circuitos 1020.

Otras implementaciones del dispositivo inalámbrico 110 pueden incluir
componentes adicionales más allá de los que se muestran en La Figura 10 que

pueden ser responsables de proporcionar ciertos aspectos de la funcionalidad del dispositivo inalámbrico, incluida cualquiera de la funcionalidad descrita anteriormente y/o cualquier funcionalidad adicional (incluida cualquier funcionalidad necesaria para apoyar la solución descrita anteriormente). Como solo un ejemplo, el dispositivo inalámbrico 110 puede incluir dispositivos y circuitos de entrada, dispositivos de salida y una o más unidades o circuitos de sincronización, que pueden ser parte del circuito de procesamiento 1020. Los dispositivos de entrada incluyen mecanismos para la entrada de datos en el dispositivo inalámbrico 110. Por ejemplo, los dispositivos de entrada pueden incluir mecanismos de entrada, como un micrófono, elementos de entrada, una pantalla, etc. Los dispositivos de salida pueden incluir mecanismos para generar datos en formato de audio, video y/o copia impresa. Por ejemplo, los dispositivos de salida pueden incluir un altavoz, una pantalla, etc.

La Figura 11 es un esquema de bloques de un nodo de red de ejemplo 115, de acuerdo con ciertas implementaciones. El nodo de red 115 puede ser cualquier tipo de nodo de red de radio o cualquier nodo de red que se comuniquen con un UE y/o con otro nodo de red. Los ejemplos del nodo de red 115 incluyen un eNodeB, un gNB, un nodo B, una estación base, un punto de acceso inalámbrico (e.g., un punto de acceso Wi-Fi), un nodo de baja potencia, una estación transceptora base (BTS), relé, relé de control del nodo donante, puntos de transmisión, nodos de transmisión, unidad de RF remota (RRU), cabezal de radio remoto (RRFH), nodo de radio multiestándar (MSR) como MSR BS, nodos en el sistema de antena distribuida (DAS), O&M, OSS, SON, nodo de posicionamiento (e.g., E-SMLC), MDT o cualquier otro nodo de red adecuado. Los nodos de red 115 pueden implementarse en toda la red 100 como una implementación homogénea, una implementación heterogénea o una implementación mixta. En general, un despliegue homogéneo puede describir un despliegue compuesto por el mismo

tipo de nodos de red 115 (o similar) y/o una cobertura y tamaño de celda y distancias entre sitios similares. Una implementación heterogénea generalmente puede describir implementaciones utilizando una variedad de tipos de nodos de red 115 que tienen diferentes tamaños de celda, potencias de transmisión, capacidades y distancias entre sitios. Por ejemplo, un despliegue heterogéneo puede incluir una pluralidad de nodos de baja potencia colocados a lo largo de un diseño de macrocelda. Los despliegues mixtos pueden incluir una mezcla de partes homogéneas y partes heterogéneas.

El nodo de red 115 puede incluir uno o más de transceptor 1110, circuitos de procesamiento 1120, memoria 1130 e interfaz de red 1140. En algunas implementaciones, el transceptor 1110 facilita la transmisión de señales inalámbricas y la recepción de señales inalámbricas desde el dispositivo inalámbrico 110 (e.g., a través de la antena 1150), los circuitos de procesamiento 1120 ejecutan instrucciones para proporcionar algunas o todas las funcionalidades descritas anteriormente proporcionadas por un nodo de red 115, la memoria 1130 almacena las instrucciones ejecutadas por los circuitos de procesamiento 1120, y la Interfaz de red 1140 comunica señales a los componentes de la red backend, como una puerta de enlace, un conmutador, un enrutador, Internet, una red telefónica pública conmutada (PSTN), nodos de la red central o controladores de red de radio 130, etc.

El circuito de procesamiento 1120 puede incluir cualquier combinación adecuada de hardware y software implementado en uno o más módulos para ejecutar instrucciones y manipular datos para realizar algunas o todas las funciones descritas del nodo de red 115, como las descritas anteriormente en relación con las FIGURAS 1-9. En algunas implementaciones, el circuito de procesamiento 1120 puede incluir, por ejemplo, uno o más computadores, una o

más unidades de procesamiento central (CPU), uno o más microprocesadores, una o más aplicaciones y/u otra lógica.

La memoria 1130 generalmente es operable para almacenar instrucciones, como un programa de computador, software, una aplicación que incluye uno o más de lógica, reglas, algoritmos, códigos, tablas, etc., y/u otras instrucciones que se pueden ejecutar mediante los circuitos de procesamiento 1120. Los ejemplos de memoria 1130 incluyen memoria de computador (por ejemplo, memoria de acceso aleatorio (RAM) o memoria de solo lectura (ROM)), medios de almacenamiento masivo (por ejemplo, un disco duro), medios de almacenamiento extraíbles (por ejemplo, un disco compacto (CD) o un Disco de Video Digital (DVD)), y/o cualquier otro dispositivo de memoria volátil o no volátil, no transitorio legible por computador y/o ejecutable por computador que almacene información.

En algunas implementaciones, la interfaz de red 1140 está acoplada comunicativamente a los circuitos de procesamiento 1120 y se puede referir a cualquier dispositivo adecuado operable para recibir una entrada para el nodo de red 115, enviar salida desde el nodo de red 115, realizar un procesamiento adecuado de la entrada o salida o ambos, comunicarse a otros dispositivos, o cualquier combinación de los anteriores. La interfaz de red 1140 puede incluir hardware apropiado (e.g., puerto, módem, tarjeta de interfaz de red, etc.) y software, incluida la conversión de protocolos y capacidades de procesamiento de datos, para comunicarse a través de una red.

Otras implementaciones del nodo de red 115 pueden incluir componentes adicionales más allá de los que se muestran en La Figura 11 que pueden ser responsables de proporcionar ciertos aspectos de la funcionalidad del nodo de red de radio, incluida cualquiera de las funciones descritas anteriormente y/o cualquier

funcionalidad adicional (incluyendo cualquier funcionalidad necesaria para soportar las soluciones descritas anteriormente). Los distintos tipos de nodos de red pueden incluir componentes que tienen el mismo hardware físico pero que están configurados (e.g., a través de la programación) para admitir diferentes tecnologías de acceso por radio, o pueden representar componentes físicos parcial o totalmente diferentes.

La Figura 12 es un esquema de bloques de un controlador o red de radio de ejemplo o nodo de red central 130, de acuerdo con ciertas implementaciones. Los ejemplos de nodos de red pueden incluir un centro de conmutación móvil (MSC), un nodo de soporte GPRS (SGSN), una entidad de gestión de movilidad (MME), un controlador de red de radio (RNC), un controlador de estación base (BSC), etc. El controlador de red de radio o el nodo de red central 130 incluye el circuito de procesamiento 1220, la memoria 1230 y la interfaz de red 1240. En algunas implementaciones, el circuito de procesamiento 1220 ejecuta instrucciones para proporcionar parte o la totalidad de la funcionalidad descrita anteriormente proporcionada por el nodo de red, la memoria 1230 almacena las instrucciones ejecutadas por el circuito de procesamiento 1220, y la interfaz de red 1240 comunica las señales a cualquier nodo adecuado, como una puerta de enlace, conmutador, enrutador, Internet, red telefónica pública conmutada (PSTN), nodos de red 115, controladores de red de radio o nodos de red central 130, etc.

El circuito de procesamiento 1220 puede incluir cualquier combinación adecuada de hardware y software implementado en uno o más módulos para ejecutar instrucciones y manipular datos para realizar algunas o todas las funciones descritas del controlador de red de radio o el nodo de red central 130. En algunas implementaciones, el circuito de procesamiento 1220 puede incluir, por ejemplo, uno o más computadores, una o más unidades centrales de

procesamiento (CPU), uno o más microprocesadores, una o más aplicaciones y/u otra lógica.

La memoria 1230 generalmente es operable para almacenar instrucciones, como un programa de computador, software, una aplicación que incluye uno o más de lógica, reglas, algoritmos, códigos, tablas, etc., y/u otras instrucciones que se pueden ejecutar procesando los circuitos 1220. Los ejemplos de memoria 1230 incluyen memoria de computador (por ejemplo, memoria de acceso aleatorio (RAM) o memoria de solo lectura (ROM)), medios de almacenamiento masivo ((por ejemplo, un disco duro), medios de almacenamiento extraíbles ((por ejemplo, un disco compacto (CD)) o un Disco de Video Digital (DVD), y/o cualquier otro dispositivo de memoria volátil o no volátil, no transitorio legible por computador y/o ejecutable por computador que almacene información.

En algunas implementaciones, la interfaz de red 1240 está acoplada comunicativamente a los circuitos de procesamiento 1220 y se puede referir a cualquier dispositivo adecuado operable para recibir una entrada para el nodo de red, enviar la salida desde el nodo de red, realizar un procesamiento adecuado de la entrada o salida o ambos, comunicarse con otros dispositivos, o cualquier combinación de los anteriores. La interfaz de red 1240 puede incluir hardware apropiado (e.g., puerto, módem, tarjeta de interfaz de red, etc.) y software, incluida la conversión de protocolos y capacidades de procesamiento de datos, para comunicarse a través de una red.

Otras implementaciones del nodo de red pueden incluir componentes adicionales más allá de los que se muestran en La Figura 12 que pueden ser responsables de proporcionar ciertos aspectos de la funcionalidad del nodo de red, incluyendo cualquiera de la funcionalidad descrita anteriormente y/o cualquier

funcionalidad adicional (incluida cualquier funcionalidad necesaria para apoyar la solución descrita anteriormente).

La Figura 13 es un diagrama de bloques esquemático de un dispositivo inalámbrico de ejemplo, de acuerdo con ciertas implementaciones. El dispositivo inalámbrico 110 puede incluir uno o más módulos. Por ejemplo, el dispositivo inalámbrico 110 puede incluir un módulo de determinación 1310, un módulo de comunicación 1320, un módulo de recepción 1330, un módulo de entrada 1340, un módulo de visualización 1350 y cualquier otro módulo adecuado. En algunas implementaciones, uno o más del módulo de determinación 1310, el módulo de comunicación 1320, el módulo de recepción 1330, el módulo de entrada 1340, el módulo de visualización 1350, o cualquier otro módulo adecuado se pueden implementar utilizando uno o más procesadores, como los circuitos de procesamiento 1020 descritos anteriormente en relación con La Figura 10. En ciertas implementaciones, las funciones de dos o más de los diversos módulos se pueden combinar en un solo módulo. El dispositivo inalámbrico 110 puede realizar los métodos de concordancia de tasa para los códigos LDPC descritos anteriormente en relación con las FIGURAS 1-9.

El módulo de determinación 1310 puede realizar las funciones de procesamiento del dispositivo inalámbrico 110. En ciertas implementaciones, el dispositivo inalámbrico 110 puede realizar las funciones del primer nodo descrito anteriormente en relación con las Figuras 1-9. En tal escenario, el módulo de determinación 1310 puede generar un vector de palabras de código al codificar el conjunto de bits de información con un código de verificación de paridad de baja densidad, en donde el vector de palabras de código está compuesto de bits sistemáticos y bits de paridad. Como parte de la generación del vector de palabras de código mediante la codificación del conjunto de bits de información, el módulo

de determinación 1310 puede adjuntar bits ficticios al conjunto de bits de información, los bits ficticios comprenden bits de valor conocido, para producir un vector de información y codificar el vector de información. En ciertas implementaciones, el módulo de determinación 1310 puede perforar los bits ficticios adjuntos. Como parte de la perforación de los bits ficticios adjuntos, el módulo de determinación 1310 puede omitir la escritura de los bits ficticios adjuntos en el búfer circular. Como parte de la perforación de los bits ficticios adjuntos, el módulo de determinación 1310 puede omitir los bits ficticios adjuntos al leer los bits codificados del búfer circular.

10

Como otro ejemplo, el módulo de determinación 1310 puede realizar una concordancia de tasa con base en el búfer circular sobre el vector de palabras de código generado para producir los bits codificados para transmisión, en donde la concordancia de tasa con base en el búfer circular comprende perforar una primera pluralidad de bits sistemáticos. Como otro ejemplo, el módulo de determinación 1310 puede realizar una concordancia de tasa con base en el búfer circular en el vector de palabras de código generado para producir bits codificados para una retransmisión, en el que la concordancia de tasa con base en el búfer circular para la retransmisión comprende perforar la primera pluralidad de bits sistemáticos.

20

Como otro ejemplo, el módulo de determinación 1310 puede perforar la primera pluralidad de bits sistemáticos al omitir escribir la primera pluralidad de bits sistemáticos en un búfer circular. Como otro ejemplo, el módulo de determinación 1310 puede perforar la primera pluralidad de bits sistemáticos omitiendo la primera pluralidad de bits sistemáticos cuando se leen los bits codificados desde un búfer circular.

25

Como otro ejemplo, el módulo de determinación 1310 puede realizar una concordancia de tasa con base en el búfer circular en el vector de palabras de código generado leyendo los bits sistemáticos y los bits de paridad fuera de un búfer circular para producir el vector de transmisión para la transmisión a través de un canal inalámbrico. Al leer los bits sistemáticos y los bits de paridad fuera del búfer circular para producir el vector de transmisión para la transmisión a través del canal inalámbrico, el módulo de determinación 1310 puede, si un número de bits del vector de transmisión es mayor que el número total de bits en el búfer circular, repetir uno o más bits en el búfer circular envolviéndolo.

10

Como otro ejemplo, el módulo de determinación 1310 puede perforar un subconjunto de los bits sistemáticos escritos en el búfer circular en una primera transmisión a través del canal inalámbrico, e incluir el subconjunto de los bits sistemáticos que se perforaron en una retransmisión a través del canal inalámbrico. El módulo de determinación 1310 puede perforar los bits en forma de columna, de manera que los bits se perforen uniformemente desde cada una de una pluralidad de filas y se mantenga una distribución de peso de la matriz de verificación de paridad en el búfer circular.

15

20

Como otro ejemplo, el módulo de determinación 1310 puede leer los bits sistemáticos y los bits de paridad de modo que se implemente un intercalador de canales como parte de la ejecución de una concordancia de tasa con base en el búfer circular en el vector de palabras de código generado. Como otro ejemplo, el módulo de determinación 1310 puede leer los bits sistemáticos y los bits de paridad de modo que no se implemente ningún efecto de entrelazado de canales.

25

Como otro ejemplo, el módulo de determinación 1310 puede realizar una concordancia de tasa con base en el búfer circular en el vector de palabras de

código generado escribiendo al menos una parte de los bits sistemáticos y los bits de paridad definidos por la matriz de verificación de paridad en un búfer circular rectangular, el búfer circular rectangular comprende una o más filas y una o más columnas.

5

El módulo de determinación 1310 puede incluir o estar incluido en uno o más procesadores, como el circuito de procesamiento 1020 descrito anteriormente en relación con La Figura 10. El módulo de determinación 1310 puede incluir circuitos analógicos y/o digitales configurados para realizar cualquiera de las funciones del

10 módulo de determinación 1310 y/o circuitos de procesamiento 1020 descritos anteriormente. Las funciones de determinar el módulo 1310 descritas anteriormente pueden, en ciertas implementaciones, ser realizadas en uno o más módulos distintos.

15 El módulo de comunicación 1320 puede realizar las funciones de transmisión del dispositivo inalámbrico 110. El módulo de comunicación 1320 puede incluir un transmisor y/o un transceptor, como el transceptor 1010 descrito anteriormente en relación con La Figura 10. El módulo de comunicación 1320 puede incluir circuitos configurados para transmitir mensajes de forma inalámbrica y/o señales. En

20 implementaciones particulares, el módulo de comunicación 1320 puede recibir mensajes y/o señales para su transmisión desde el módulo de determinación 1310. En ciertas implementaciones, las funciones del módulo de comunicación 1320 descritas anteriormente se pueden realizar en uno o más módulos distintos.

25 El módulo de recepción 1330 puede realizar las funciones de recepción del dispositivo inalámbrico 110. El módulo de recepción 1330 puede incluir un receptor y/o un transceptor. El módulo de recepción 1330 puede incluir un receptor y/o un transceptor, como el transceptor 1010 descrito anteriormente en relación con La

Figura 10. El módulo de recepción 1330 puede incluir circuitos configurados para recibir mensajes y/o señales de forma inalámbrica. En implementaciones particulares, el módulo de recepción 1330 puede comunicar mensajes y/o señales recibidas al módulo de determinación 1310. Las funciones del módulo de recepción 1330 descritas anteriormente pueden, en ciertas implementaciones, ser realizadas en uno o más módulos distintos.

El módulo de entrada 1340 puede recibir la entrada del usuario destinada para el dispositivo inalámbrico 110. Por ejemplo, el módulo de entrada puede recibir pulsaciones de teclas, pulsaciones de botones, toques, deslizadores, señales de audio, señales de video y/o cualquier otra señal apropiada. El módulo de entrada puede incluir una o más teclas, botones, palancas, interruptores, pantallas táctiles, micrófonos y/o cámaras. El módulo de entrada puede comunicar las señales recibidas al módulo de determinación 1310. Las funciones del módulo de entrada 1340 descritas anteriormente pueden, en ciertas implementaciones, ser realizadas en uno o más módulos distintos.

El módulo de visualización 1350 puede presentar señales en una pantalla del dispositivo inalámbrico 110. El módulo de visualización 1350 puede incluir la pantalla y/o cualquier circuito apropiado y hardware configurado para presentar señales en la pantalla. El módulo de visualización 1350 puede recibir señales para presentar en la pantalla desde el módulo de determinación 1310. Las funciones del módulo de visualización 1350 descritas anteriormente pueden, en ciertas implementaciones, ser realizadas en uno o más módulos distintos.

El módulo de determinación 1310, el módulo de comunicación 1320, el módulo de recepción 1330, el módulo de entrada 1340 y el módulo de visualización 1350 pueden incluir cualquier configuración adecuada de hardware

y/o software. El dispositivo inalámbrico 110 puede incluir módulos adicionales más allá de los que se muestran en La Figura 13 que pueden ser responsables de proporcionar cualquier funcionalidad adecuada, incluida cualquier funcionalidad descrita anteriormente y/o cualquier funcionalidad adicional (incluida cualquier funcionalidad necesaria para dar soporte a las diversas soluciones descritas en este documento).

La Figura 14 es un diagrama de bloques esquemático de un nodo de red de ejemplo 115, de acuerdo con ciertas implementaciones. El nodo de red 115 puede incluir uno o más módulos. Por ejemplo, el nodo de red 115 puede incluir el módulo de determinación 1410, el módulo de comunicación 1420, el módulo de recepción 1430 y cualquier otro módulo adecuado. En algunas implementaciones, uno o más del módulo de determinación 1410, el módulo de comunicación 1420, el módulo de recepción 1430, o cualquier otro módulo adecuado se pueden implementar utilizando uno o más procesadores, como los circuitos de procesamiento 1120 descritos anteriormente en relación con La Figura 11. En ciertas implementaciones, las funciones de dos o más de los diversos módulos se pueden combinar en un solo módulo. El nodo de red 115 puede realizar los métodos de concordancia de tasa para los códigos LDPC descritos anteriormente con respecto a las FIGURAS 1-9.

El módulo de determinación 1410 puede realizar las funciones de procesamiento del nodo de red 115. En ciertas implementaciones, el nodo de red 115 puede realizar las funciones del primer nodo descrito anteriormente en relación con las FIGURAS 1-9. En tal escenario, el módulo de determinación 1410 puede generar un vector de palabras de código al codificar el conjunto de bits de información con un código de verificación de paridad de baja densidad, en donde el vector de palabras de código está compuesto de bits sistemáticos y bits de

paridad. Como parte de la generación del vector de palabras de código mediante la codificación del conjunto de bits de información, el módulo de determinación 1410 puede adjuntar bits ficticios al conjunto de bits de información, los bits ficticios que comprenden bits de valor conocido, para producir un vector de información y codificar el vector de información. En ciertas implementaciones, el módulo de determinación 1410 puede perforar los bits ficticios adjuntos. Como parte de la perforación de los bits ficticios adjuntos, el módulo de determinación 1410 puede omitir la escritura de los bits ficticios adjuntos en el búfer circular. Como parte de la perforación de los bits ficticios adjuntos, el módulo de determinación 1410 puede omitir los bits ficticios adjuntos al leer los bits codificados del búfer circular.

Como otro ejemplo, el módulo de determinación 1410 puede realizar una concordancia de tasa con base en el búfer circular en el vector de palabras de código generado para producir los bits codificados para transmisión, en donde la concordancia de tasa con base en el búfer circular comprende perforar una primera pluralidad de bits sistemáticos. Como otro ejemplo, el módulo de determinación 1410 puede realizar una concordancia de tasa con base en el búfer circular en el vector de palabras de código generado para producir bits codificados para una retransmisión, en el que la concordancia de tasa con base en el búfer circular para la retransmisión comprende perforar la primera pluralidad de bits sistemáticos.

Como otro ejemplo, el módulo de determinación 1410 puede perforar la primera pluralidad de bits sistemáticos al omitir escribir la primera pluralidad de bits sistemáticos en un búfer circular. Como otro ejemplo, el módulo de determinación 1410 puede perforar la primera pluralidad de bits sistemáticos al

omitir la primera pluralidad de bits sistemáticos cuando se leen los bits codificados desde un búfer circular.

Como otro ejemplo, el módulo de determinación 1410 puede realizar una
5 concordancia de tasa con base en el búfer circular en el vector de palabras de código generado leyendo los bits sistemáticos y los bits de paridad de un búfer circular para producir el vector de transmisión para la transmisión a través de un canal inalámbrico. Al leer los bits sistemáticos y los bits de paridad fuera del búfer circular para producir el vector de transmisión para la transmisión a través del
10 canal inalámbrico, el módulo de determinación 1410 puede, si un número de bits del vector de transmisión es mayor que el número total de bits en el búfer circular, repetir uno o más bits en el búfer circular envolviéndolo.

Como otro ejemplo, el módulo de determinación 1410 puede perforar un
15 subconjunto de los bits sistemáticos escritos en el búfer circular en una primera transmisión a través del canal inalámbrico, e incluir el subconjunto de los bits sistemáticos que se perforaron en una retransmisión a través del canal inalámbrico. El módulo de determinación 1410 puede perforar los bits en forma de columna, de manera que los bits se perforen de manera uniforme desde cada una
20 de una pluralidad de filas y se mantenga una distribución de peso de la matriz de verificación de paridad en el búfer circular.

Como otro ejemplo, el módulo de determinación 1410 puede leer los bits sistemáticos y los bits de paridad de modo que se implemente un intercalador de
25 canales como parte de la ejecución de una concordancia de tasa con base en el búfer circular en el vector de palabras de código generado. Como otro ejemplo, el módulo de determinación 1410 puede leer los bits sistemáticos y los bits de paridad de modo que no se implemente ningún efecto de intercalado de canales.

Como otro ejemplo, el módulo de determinación 1410 puede realizar una concordancia de tasa con base en el búfer circular en el vector de palabras de código generado al escribir al menos una parte de los bits sistemáticos y los bits de paridad definidos por la matriz de verificación de paridad en un búfer circular rectangular, el búfer circular rectangular comprende una o más filas y una o más columnas.

El módulo de determinación 1410 puede incluir o estar incluido en uno o más procesadores, como el circuito de procesamiento 1120 descrito anteriormente en relación con La Figura 11. El módulo de determinación 1410 puede incluir circuitos analógicos y/o digitales configurados para realizar cualquiera de las funciones del módulo de determinación 1410 y/o circuitos de procesamiento 1120 descritos anteriormente. Las funciones del módulo de determinación 1410 pueden, en ciertas implementaciones, ser realizadas en uno o más módulos distintos.

El módulo de comunicación 1420 puede realizar las funciones de transmisión del nodo de red 115. El módulo de comunicación 1420 puede transmitir mensajes a uno o más de los dispositivos inalámbricos 110. El módulo de comunicación 1420 puede incluir un transmisor y/o un transceptor, como el transceptor 1110 descrito anteriormente en relación a La Figura 11. El módulo de comunicación 1420 puede incluir circuitos configurados para transmitir mensajes y/o señales de forma inalámbrica. En implementaciones particulares, el módulo de comunicación 1420 puede recibir mensajes y/o señales para transmisión desde el módulo de determinación 1410 o cualquier otro módulo. Las funciones del módulo de comunicación 1420 pueden, en ciertas implementaciones, ser realizadas en uno o más módulos distintos.

El módulo de recepción 1430 puede realizar las funciones de recepción del nodo de red 115. El módulo de recepción 1430 puede recibir cualquier información adecuada de un dispositivo inalámbrico. El módulo de recepción 1430 puede incluir un receptor y/o un transceptor, como el transceptor 1110 descrito anteriormente en relación con La Figura 11. El módulo de recepción 1430 puede incluir circuitos configurados para recibir mensajes y/o señales de forma inalámbrica. En implementaciones particulares, el módulo de recepción 1430 puede comunicar mensajes y/o señales recibidas al módulo de determinación 1410 o cualquier otro módulo adecuado. Las funciones del módulo de recepción 1430 pueden, en ciertas implementaciones, ser realizadas en uno o más módulos distintos.

El módulo de determinación 1410, el módulo de comunicación 1420 y el módulo de recepción 1430 pueden incluir cualquier configuración adecuada de hardware y/o software. El nodo de red 115 puede incluir módulos adicionales más allá de los que se muestran en La Figura 14 que pueden ser responsables de proporcionar cualquier funcionalidad adecuada, incluyendo cualquiera de las funcionalidades descritas anteriormente y/o cualquier funcionalidad adicional (incluida cualquier funcionalidad necesaria para soportar las diversas soluciones descritas en este documento).

Se pueden realizar modificaciones, adiciones u omisiones a los sistemas y aparatos descritos en este documento sin apartarse del alcance de la divulgación. Los componentes de los sistemas y aparatos pueden estar integrados o separados. Además, las operaciones de los sistemas y aparatos se pueden realizar por más, menos u otros componentes. Además, las operaciones de los sistemas y aparatos se pueden realizar utilizando cualquier lógica adecuada que comprenda software, hardware y/u otra lógica. Como se usa en este documento,

"cada" se refiere a cada miembro de un conjunto o cada miembro de un subconjunto de un conjunto.

Se pueden realizar modificaciones, adiciones u omisiones a los métodos descritos en este documento sin apartarse del alcance de la divulgación. Los métodos pueden incluir más, menos u otras etapas. Además, las etapas se pueden realizar en cualquier orden adecuado.

Aunque esta divulgación se ha descrito en términos de ciertas implementaciones, las alteraciones y permutaciones de las implementaciones serán evidentes para los versados en el arte. Por consiguiente, la descripción anterior de las implementaciones no restringe esta descripción. Otros cambios, sustituciones y alteraciones son posibles sin apartarse del espíritu y alcance de esta divulgación, como se define en las siguientes reivindicaciones.

Las abreviaturas utilizadas en la descripción anterior incluyen:

AP	Punto de acceso
BS	Estación Base
BSC	Controlador de estación base
BTS	Estación del Transceptor Base
CPE	Equipamiento de las instalaciones del cliente
D2D	Dispositivo a dispositivo
DAS	Sistema distribuida de antena
DL	Enlace descendente
eNB	Nodo B evolucionado
FDD	División de frecuencia dúplex
LAN	Red de área local

	LEE	Equipo Embebido Portátil
	LME	Equipo montado en portátil
	LDPC	Verificación de paridad de baja densidad
	LTE	Evolución a largo plazo
5	M2M	Máquina a Máquina
	MAN	Red de área metropolitana
	MCE	Entidad de coordinación multicélula/multidifusión
	NAS	Estrato de No Acceso
	OFDM	Multiplexación por División de Frecuencia Ortogonal
10	PCM	Matriz de verificación de paridad
	PDCCH	Canal de control de enlace descendente físico
	PDSCH	Canal compartido de enlace descendente físico
	PRB	Bloque de recursos físicos
	PSTN	Red telefónica pública conmutada
15	PUSCH	Canal compartido de enlace ascendente físico
	PUCCH	Canal de control de enlace ascendente físico
	QC	cuasi-cíclico
	RB	Bloque de recursos
	RNC	Controlador de red de radio
20	RRC	Control de recursos de radio
	RRH	Cabeza de radio remota
	RRU	Unidad de Radio Remota
	TBS	Tamaño de bloque de transporte
	TDD	Dúplex de División de Tiempo
25	TFRE	Elemento de recurso de frecuencia de tiempo
	UE	Equipo de usuario
	UL	Enlace ascendente
	WAN	Red de área amplia