

REPÚBLICA DE COLOMBIA
SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO

Resolución N° 2222

Ref. Expediente N° 16171357

Por la cual se otorga una Patente de Invención

EL SUPERINTENDENTE DE INDUSTRIA Y COMERCIO

en ejercicio de sus facultades legales, en especial de las conferidas en el numeral 26 del artículo 3° del Decreto 4886 de 2011, y

CONSIDERANDO:

PRIMERO: Que mediante escrito radicado en esta Superintendencia el 28 de junio de 2016, con el N° 16-171357-00000 0000, la UNIVERSIDAD INDUSTRIAL DE SANTANDER, presentó solicitud de patente de invención titulada “MÉTODO Y CIRCUITO PARA COMPENSAR LA TENSION DE OFFSET DE CIRCUITOS ELECTRONICOS”.

SEGUNDO: Que la solicitud fue publicada en la Gaceta de la Propiedad Industrial N° 814 el 5 de enero de 2018, sin que se hubieran presentado oposiciones por parte de terceros.

TERCERO: Que, realizado el examen de fondo, mediante Oficio N° 11803, notificado el 4 de octubre de 2018, se requirió a la solicitante en los términos del artículo 45 de la Decisión 486 de la Comisión de la Comunidad Andina para que presentará respuesta a las observaciones de carácter técnico, relacionadas con la patentabilidad o cumplimiento de los requisitos establecidos por la citada Decisión para la concesión de la patente.

CUARTO: Que la solicitante mediante escrito radicado bajo el N° 16171357 del 30 de noviembre de 2018, respondió oportunamente el requerimiento formulado y presentó nuevas reivindicaciones 1 a 6 que reemplazan las originalmente presentadas. Comoquiera que se ajusta a las prescripciones contenidas en el artículo 34 de la Decisión 486, se acepta este último capítulo reivindicatorio presentado.

QUINTO: Que en virtud de lo dispuesto en el artículo 14 de la Decisión 486 expedida por la Comisión de la Comunidad Andina

“Los países miembros otorgarán patentes para las invenciones, sean de producto o de procedimiento, en todos los campos de la tecnología, siempre que sean nuevas, tengan nivel inventivo y sean susceptibles de aplicación industrial”.

SEXTO: Que en el presente caso las reivindicaciones 1 a 6 incluidas en el radicado bajo el N° 16171357 del 30 de noviembre de 2018, cumplen los requisitos de novedad, nivel inventivo y aplicación industrial indicados en la norma citada en el considerando anterior y, por lo tanto, este Despacho encuentra procedente conceder para para las mismas la patente solicitada.

Con fundamento en las anteriores consideraciones, el Superintendente de Industria y Comercio,

RESUELVE

ARTÍCULO PRIMERO: Otorgar patente de invención para la creación titulada:

Ref. Expediente N° 16171357

**“MÉTODO Y CIRCUITO PARA COMPENSAR LA TENSION DE OFFSET DE
CIRCUITOS ELECTRÓNICOS”**

Clasificación IPC: H02J 3/18, H03K 3/011.

Reivindicación(es): 1 a 6 incluida(s) en el radicado bajo el N° 16171357 del 30 de noviembre de 2018, de acuerdo con el anexo 1.

Titular(es): UNIVERSIDAD INDUSTRIAL DE SANTANDER.

Domicilio(s): Carrera 27 CALLE 9 CIUDAD UNIVERSITARIA. BUCARAMANGA SANTANDER, COLOMBIA.

Inventor(es): Andrés Felipe AMAYA BELTRÁN, Rodolfo VILLAMIZAR MEJÍA y Élkim Felipe ROA FUENTES.

Vigente desde: 28 de junio de 2016

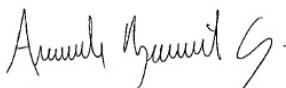
Hasta: 28 de junio de 2036.

ARTÍCULO SEGUNDO: La titular tendrá los derechos y las obligaciones establecidos en la Decisión 486 de la Comisión de la Comunidad Andina y en las demás disposiciones legales vigentes sobre propiedad industrial, precisando que para mantener vigente la patente se deberá cancelar la tasa anual de mantenimiento, conforme lo dispone el artículo 80 de la referida norma comunitaria.

ARTÍCULO TERCERO: Notificar el contenido de la presente resolución a la UNIVERSIDAD INDUSTRIAL DE SANTANDER, advirtiéndole que contra ella procede el recurso de reposición, ante el Superintendente de Industria y Comercio, el cual podrá ser interpuesto en el momento de la notificación o dentro de los diez (10) días hábiles siguientes a ella.

NOTIFÍQUESE Y CÚMPLASE

Dada en Bogotá D.C., el 18 de marzo de 2019



ANDRÉS BARRETO GONZÁLEZ
SUPERINTENDENTE DE INDUSTRIA Y COMERCIO

Ref. Expediente N° 16171357

ANEXO 1

REIVINDICACIONES CONCEDIDAS

1. Un circuito para compensar la tensión de offset de circuitos electrónicos que comprende:

-un comparador dinámico (1) que tiene una primera salida (4) y una segunda salida (5), ambas salidas conectadas a una interface de datos de los circuitos electrónicos;

-un detector de fase (6) conectado a la primera salida (4) y la segunda salida (5) del comparador dinámico (1), el detector de fase (6) tiene una primera salida UP (7) y una segunda salida DOWN (8);

-una máquina de estados finitos (9) conectada a la primera salida UP (7) y la segunda salida DOWN (8) del detector de fase (6), la máquina de estados finitos (9) tiene una primera salida X1(10) y una segunda salida X2 (11);

- un primer convertidor digital-analógico (12) conectado a la primera salida X1 (10) de la máquina de estados finitos (9);

- un segundo convertidor digital-analógico (13) conectado a la segunda salida X2 (11) de la máquina de estados finitos (9); y,

-un bloque de polarización (14) con una primera entrada (15) conectada a la salida del primer convertidor digital-analógico (12) y una segunda entrada (16) conectada a la salida del segundo convertidor digital-analógico (13); donde el bloque de polarización (14) polariza un circuito electrónico (17) y el comparador dinámico (1), el detector de fase (6), y la máquina de estados finitos (9) están conectados a una señal de reloj (3).

2. El circuito para compensar la tensión de offset de la Reivindicación 1, donde la primera salida X1 (10) y la segunda salida X2 (11) de la máquina de estados finitos (9) corresponden a salidas digitales de 8 bits de longitud.

3. El circuito para compensar la tensión de offset de la Reivindicación 1, donde la máquina de estados finitos (9) es un contador Ascendente/Descendente con terminales de habilitación.

4. El circuito para compensar la tensión de offset de la Reivindicación 1, donde el detector de fase (6) comprende: -un primer Flip-Flop tipo D (18) activado por flanco de subida, cuya entrada D está conectada a la primera salida (4) del comparador dinámico (1) y su entrada de señal de reloj está conectada a la señal del reloj (3); 1. Un circuito para compensar la tensión de offset de circuitos electrónicos que comprende:

-un comparador dinámico (1) que tiene una primera salida (4) y una segunda salida (5), ambas salidas conectadas a una interface de datos de los circuitos electrónicos;

-un detector de fase (6) conectado a la primera salida (4) y la segunda salida (5) del comparador dinámico (1), el detector de fase (6) tiene una primera salida UP (7) y una segunda salida DOWN (8);

Resolución N° 2222

Ref. Expediente N° 16171357

-una máquina de estados finitos (9) conectada a la primera salida UP (7) y la segunda salida DOWN (8) del detector de fase (6), la máquina de estados finitos (9) tiene una primera salida X1(10) y una segunda salida X2 (11);

- un primer convertidor digital-analógico (12) conectado a la primera salida X1 (10) de la máquina de estados finitos (9);

- un segundo convertidor digital-analógico (13) conectado a la segunda salida X2 (11) de la máquina de estados finitos (9); y,

-un bloque de polarización (14) con una primera entrada (15) conectada a la salida del primer convertidor digital-analógico (12) y una segunda entrada (16) conectada a la salida del segundo convertidor digital-analógico (13);

donde el bloque de polarización (14) polariza un circuito electrónico (17) y el comparador dinámico (1), el detector de fase (6), y la máquina de estados finitos (9) están conectados a una señal de reloj (3).

-un segundo Flip-Flop tipo D (20) activado por flanco de bajada, cuya entrada D está conectada a primera salida (4) del comparador dinámico (1); su entrada de señal de reloj está conectada a la señal del reloj (3);

-un tercer Flip-Flop tipo D (21) activado por flanco de subida, cuya entrada D está conectada a la segunda salida (5) del comparador dinámico (1); y su entrada de señal de reloj está conectada a la señal del reloj (3);

-un cuarto Flip-Flop tipo D (23) activado por flanco de bajada, cuya entrada D está conectada a la segunda salida (5) del comparador dinámico (1); y su entrada de señal de reloj está conectada a la señal del reloj (3);

-una primera compuerta XOR (19) de dos entradas, la primera entrada de la primera compuerta XOR (19) se conecta a la salida Q del primer Flip-Flop tipo D (18), la segunda entrada de la primera compuerta XOR (19) se conecta a salida Q del segundo Flip-Flop tipo D (20) y la salida de la primera compuerta XOR (19) entrega una primera salida UP (7);

-una segunda compuerta XOR (22) de dos entradas, la primera entrada (26) de la segunda compuerta XOR (22) se conecta a la salida Q del tercer Flip-Flop tipo D (21), la segunda entrada (27) de la segunda compuerta XOR (22) se conecta a salida Q del cuarto Flip-Flop tipo D (23); y la salida de la segunda compuerta XOR (22) entrega una segunda salida DOWN (8).

5. Un método para compensar la tensión de offset de circuitos electrónicos, caracterizado por las etapas: a) medir el cambio en la fase de las salidas de un comparador dinámico (1) que está conectado a una interface de datos de los circuitos electrónicos mediante un detector de fase (6); b) controlar las señales de salida de una máquina de estados finitos (9) según una primera salida UP (7) y una segunda salida DOWN (8) del detector de fase (6) de la etapa (a), la cual puede ser codificada “adelante”, “atrás” o “en fase”; c) convertir la salida de la máquina de estados finitos (9) de la etapa (b) a una señal analógica mediante dos convertidores digital-analógico (12, 13); y d) modificar la corriente de polarización de un bloque de polarización (14) que polariza un circuito electrónico (17) mediante una primera entrada (15) conectada a la salida del primer convertidor digital-analógico (12) y una segunda entrada (16) conectada a la salida del segundo convertidor digitalanalógico (13).

6. El método para compensar la tensión de offset de la Reivindicación 5, caracterizado porque la etapa (b) lleva a cabo la siguiente secuencia de pasos:

Resolución N° 2222

Ref. Expediente N° 16171357

- Comprobar la primera salida UP (7) del detector de fase (6) en un estado “Inicio” (28), si la primera salida UP (7) del detector de fase (6) cambia de un nivel bajo a alto, la máquina de estados finitos (9) cambia a un estado “Aumenta Pol” (30) donde la segunda salida X2 (11) de la máquina de estados finitos (9) disminuye en una unidad y la primera salida X1 (10) de la máquina de estados finitos (9) aumenta en una unidad;
- Comprobar la segunda salida DOWN (8) del detector de fase (6) en el estado “Inicio” (28), si la segunda salida DOWN (8) del detector de fase (6) cambia de un nivel bajo a alto, la máquina de estados finitos (9) cambia a un estado “Disminuye Pol” (31) donde la segunda salida X2 (11) de la máquina de estados finitos (9) aumenta en una unidad y la primera salida X1 (10) de la máquina de estados finitos (9) disminuye en una unidad;
- Comprobar la primera salida UP (7) del detector de fase (6) en el estado “Aumenta Pol” (30), si la primera salida UP (7) del detector de fase (6) cambia de un nivel bajo a alto, la máquina de estados finitos (9) permanece en el mismo estado;
- Comprobar la primera salida DOWN (8) del detector de fase (6) en el estado “Disminuye Pol” (31), si la primera salida DOWN (8) del detector de fase (6) cambia de un nivel bajo a alto, la máquina de estados finitos (9) permanece en el mismo estado;
- Comprobar la primera salida UP (7) del detector de fase (6) en el estado “Aumenta Pol” (30), si la primera salida UP (7) y la segunda salida DOWN (8) del detector de fase (6) cambian de un nivel bajo a alto, la máquina de estados finitos (9) pasa a un estado “Guardar” (32) donde la primera salida X1 (10) y la segunda salida X2 (11) de la máquina de estados finitos (9) no se alteran;
- Comprobar la segunda salida DOWN (8) del detector de fase (6) en el estado “Disminuye Pol” (31), si la segunda salida DOWN (8) y la primera salida UP (7) del detector de fase (6) cambian de un nivel bajo a alto, la máquina de estados finitos (9) pasa al estado “Guardar” (32) donde la primera salida X1 (10) y la segunda salida X2 (11) de la máquina de estados finitos (9) no se alteran y se guardan;
- Comprobar una señal reset en cualquiera de los cuatro estados, si la señal reset pasa a un estado alto, la máquina de estados finitos (9) pasa al estado “Inicio” (28).



Ref. Expediente N° 16171357

