

Modificaciones en virtud del artículo 34

Reivindicaciones

Lo que se reivindica es:

1. Un método para producir un conjunto de bits codificados a partir de un conjunto de bits de información para la transmisión entre un primer nodo (110, 115) y un segundo nodo (110, 115) en un sistema de comunicaciones inalámbricas (100), el método comprende:

generar (904) un vector de palabras de código mediante la codificación del conjunto de bits de información con un código de verificación de paridad de baja densidad, en el que el vector de palabras de código está compuesto de bits sistemáticos y bits de paridad; y

realizar (908) la concordancia de tasa con base en el búfer circular en el vector de palabras de código generado para producir los bits codificados para la transmisión, en donde la concordancia de tasa con base en el búfer circular comprende perforar una primera pluralidad de bits sistemáticos y escribir una segunda pluralidad de bits sistemáticos y los bits de paridad en un búfer circular,

en donde perforar la primera pluralidad de bits sistemáticos consiste en omitir escribir la primera pluralidad de bits sistémicos en el búfer circular.

2. El método de la reivindicación 1, en el que el código de verificación de paridad de baja densidad se especifica a través de una matriz de verificación de paridad.

3. El método de la reivindicación 1, en el que la primera pluralidad de bits sistemáticos que están perforados precede, en el vector de palabras de código, a una segunda pluralidad de bits sistemáticos que no están perforados.

Modificaciones en virtud del artículo 34

4. El método de la reivindicación 1, en el que se definen una pluralidad de versiones de redundancia sobre el búfer circular, de modo que los bits codificados para una retransmisión se lean desde el búfer circular de acuerdo con una versión de redundancia correspondiente definida para la retransmisión.

5

5. El método de la reivindicación 4, que comprende además realizar una concordancia de tasa con base en el búfer circular en el vector de palabras de código generado para producir bits codificados para la retransmisión, en la que la concordancia de tasa con base en el búfer circular para la retransmisión
10 comprende perforar la primera pluralidad de bits sistemáticos.

6. El método de la reivindicación 5, en el que la primera pluralidad de bits sistemáticos perforados para la retransmisión incluye un múltiplo par de bits sistemáticos Z , donde Z es un factor de elevación de la matriz de verificación de
15 paridad.

7-8. Canceladas

9. El método de cualquiera de las reivindicaciones 1-6, en el que la
20 primera pluralidad de bits sistemáticos perforados incluye un múltiplo par de bits sistemáticos Z , donde Z es un factor de elevación de la matriz de verificación de paridad.

10. El método de cualquiera de las reivindicaciones 1-6 y 9, en el que
25 realizar una concordancia de tasa con base en el búfer circular en el vector de palabras de código generado comprende:

Modificaciones en virtud del artículo 34

leer los bits sistemáticos y los bits de paridad de un búfer circular para producir el vector de transmisión para la transmisión a través de un canal inalámbrico.

5 11. El método de la reivindicación 10, en el que leer los bits sistemáticos y los bits de paridad fuera del búfer circular para producir el vector de transmisión para la transmisión a través del canal inalámbrico comprende:

 si un número de bits del vector de transmisión es mayor que el número total de bits en el búfer circular, se repiten uno o más bits en el búfer circular
10 envolviéndolos.

12. El método de cualquiera de las reivindicaciones 1-6 y 9-11, en el que la generación del vector de palabras de código mediante la codificación del conjunto de bits de información comprende:

15 adjuntar bits ficticios al conjunto de bits de información, los bits ficticios comprenden bits de valor conocido, para producir un vector de información; y
 codificar el vector de información.

13. El método de la reivindicación 12, en el que los bits ficticios adjuntos
20 comprenden una segunda pluralidad de bits sistemáticos que está separada de la primera pluralidad de bits sistemáticos perforados.

14. El método de la reivindicación 12, que comprende perforar los bits ficticios adjuntos.

25

Modificaciones en virtud del artículo 34

15. El método de la reivindicación 14, en el que la perforación de los bits ficticios adjuntos comprende omitir la escritura de los bits ficticios adjuntos en el búfer circular.

5 16. El método de la reivindicación 14, en el que la perforación de los bits ficticios adjuntos comprende omitir los bits ficticios adjuntos cuando se leen los bits codificados del búfer circular.

17. El método de cualquiera de las reivindicaciones 1-6 y 9-16, en el que se
10 omite que un subconjunto de los bits sistemáticos se escriba en el búfer circular.

18. El método de cualquiera de las reivindicaciones 1-6 y 9-17, que comprende:

15 perforar un subconjunto de los bits sistemáticos escritos en el búfer circular en una primera transmisión a través del canal inalámbrico; e

 incluir el subconjunto de los bits sistemáticos que se perforaron en una retransmisión a través del canal inalámbrico.

19. El método de cualquiera de las reivindicaciones 1-6 y 9-18, que
20 comprende:

 Perforar la columna de bits de tal manera que los bits se perforen uniformemente desde cada una de una pluralidad de filas y se mantenga una distribución de peso de la matriz de verificación de paridad en el búfer circular.

25 20. Cancelada

Modificaciones en virtud del artículo 34

21. El método de cualquiera de las reivindicaciones 1-6 y 9-18, en el que los bits sistemáticos y los bits de paridad se leen de manera que se implementa un intercalador de canal como parte de la implementación de una concordancia de tasa con base en el búfer circular en el vector de palabras de código generado.

5

22. El método de cualquiera de las reivindicaciones 1-6, 9-18 y 21, en el que los bits perforados tienen un peso de columna más alto que los bits no perforados

10

23. Cancelada

24. El método de cualquiera de las reivindicaciones 1-6, 9-19, 21 y 22, en el que se omite que un subconjunto de bits de paridad se escriba en el búfer circular.

15

25. El método de cualquiera de las reivindicaciones 1-6, 9-19, 21, 25 y 24, en el que realizar una concordancia de tasa con base en el búfer circular en el vector de palabras de código generado comprende:

escribir al menos una parte de los bits sistemáticos y los bits de paridad definidos por una matriz de verificación de paridad en un búfer circular rectangular, el búfer circular rectangular comprende una o más filas y una o más columnas.

20

26. Cancelada

27. Un primer nodo (110, 115) para producir un conjunto de bits codificados a partir de un conjunto de bits de información para su transmisión a un segundo nodo (110, 115) en un sistema de comunicaciones inalámbricas (100), el primer nodo comprende:

25

Modificaciones en virtud del artículo 34

circuitos de procesamiento (1020, 1120), el circuito de procesamiento configurado para:

generar (904) un vector de palabras de código codificando el conjunto de bits de información con un código de verificación de paridad de baja densidad, en el
5 que el vector de palabras de código está compuesto de bits sistemáticos y bits de paridad; y

realizar (908) la concordancia de tasa con base en el búfer circular en el vector de palabras de código generado para producir los bits codificados para transmisión, en donde la concordancia de tasa con base en el búfer circular
10 comprende perforar una primera pluralidad de bits sistemáticos y escribir una segunda pluralidad de bits sistémicos y los bits de paridad en un búfer circular.

en el que perforar la primera pluralidad de bits sistemáticos comprende omitir escribir la primera pluralidad de los bits sistemáticos en el búfer circular.

15 28. El primer nodo de la reivindicación 27, en el que el código de verificación de paridad de baja densidad se especifica a través de una matriz de verificación de paridad.

29. El primer nodo de la reivindicación 27, en el que la primera pluralidad de
20 bits sistemáticos que están perforados precede en un vector de información que comprende los bits de información, la pluralidad de bits sistemáticos que no están perforados.

30. El primer nodo de la Reivindicación 27, en el que se definen una
25 pluralidad de versiones de redundancia sobre el búfer circular de manera que los bits codificados para una retransmisión se leen desde el búfer circular de acuerdo con una versión de redundancia correspondiente definida para la retransmisión.

Modificaciones en virtud del artículo 34

31. El primer nodo de la reivindicación 30, en el que los circuitos de procesamiento están configurados además para realizar una concordancia de tasa con base en el búfer circular en el vector de palabras de código generado para producir bits codificados para la retransmisión, en la que la concordancia de tasa con base en el búfer circular para la retransmisión comprende perforar la primera pluralidad de bits sistemáticos.

32. El primer nodo de la Reivindicación 31, en el que la primera pluralidad de bits sistemáticos perforados para la retransmisión incluye un múltiplo par de bits sistemáticos Z, donde Z es un factor de elevación de la matriz de verificación de paridad.

33-34. Canceladas

35. El primer nodo de cualquiera de las reivindicaciones 27-32, en el que la primera pluralidad de bits sistemáticos perforados incluye un múltiplo par de bits sistemáticos Z, donde Z es un factor de elevación de la matriz de verificación de paridad.

36. El primer nodo de cualquiera de las reivindicaciones 27-32 y 35, en el que los circuitos de procesamiento configurados para realizar una concordancia de tasa con base en el búfer circular en el vector de palabras de código generado comprenden un circuito de procesamiento configurado para:

leer los bits sistemáticos y los bits de paridad de un búfer circular para producir el vector de transmisión para la transmisión a través de un canal inalámbrico.

Modificaciones en virtud del artículo 34

37. El primer nodo de la reivindicación 36, en el que el circuito de procesamiento configurado para leer los bits sistemáticos y los bits de paridad fuera del búfer circular para producir el vector de transmisión para la transmisión a través del canal inalámbrico comprende el circuito de procesamiento configurado para:

si un número de bits del vector de transmisión es mayor que el número total de bits en el búfer circular, repetir uno o más bits en el búfer circular envolviéndolo.

38. El primer nodo de cualquiera de las reivindicaciones 27-32 y 35-37, en el que el circuito de procesamiento configurado para generar el vector de palabras de código codificando el conjunto de bits de información comprende el circuito de procesamiento configurado para:

adjuntar bits ficticios al conjunto de bits de información, los bits ficticios comprenden bits de valor conocido, para producir un vector de información; y codificar el vector de información.

39. El primer nodo de la reivindicación 38, en el que los bits ficticios adjuntos comprenden una segunda pluralidad de bits sistemáticos que están separados de la primera pluralidad de bits sistemáticos perforados.

40. El primer nodo de la reivindicación 38, en el que los circuitos de procesamiento están configurados además para perforar los bits ficticios adjuntos.

41. El primer nodo de la reivindicación 40, en el que el circuito de procesamiento configurado para perforar los bits ficticios adjuntos comprende un

Modificaciones en virtud del artículo 34

circuito de procesamiento configurado para omitir la escritura de los bits ficticios adjuntos en el búfer circular.

42. El primer nodo de la reivindicación 40, en el que el circuito de
5 procesamiento configurado para perforar los bits ficticios adjuntos comprende un
circuito de procesamiento configurado para omitir los bits ficticios adjuntos cuando
se leen los bits codificados del búfer circular.

43. El primer nodo de cualquiera de las reivindicaciones 27-32 y 35-42, en
10 el que se omite que un subconjunto de bits sistemáticos se escriba en el búfer
circular.

44. El primer nodo de cualquiera de las reivindicaciones 27-32 y 35-43, en
el que el circuito de procesamiento está configurado además para:
15 perforar un subconjunto de los bits sistemáticos escritos en el búfer circular
en una primera transmisión a través del canal inalámbrico; e

incluir el subconjunto de los bits sistemáticos que se perforaron en una
retransmisión a través del canal inalámbrico.

20

45. El primer nodo de cualquiera de las reivindicaciones 27-32 y 35-44, en
el que el circuito de procesamiento está configurado además para:

Perforar la columna de bits de tal manera que los bits se perforen
uniformemente desde cada una de una pluralidad de filas y se mantenga una
25 distribución de peso de la matriz de verificación de paridad en el búfer circular.

46. Cancelada

Modificaciones en virtud del artículo 34

47. El primer nodo de cualquiera de las reivindicaciones 27-32 y 35-44, en el que los circuitos de procesamiento están configurados para leer los bits sistemáticos y los bits de paridad de modo que se implementa un intercalador de canales como parte de la ejecución de una concordancia de tasa con base en el búfer circular en el vector de la palabra de código generado.

48. El primer nodo de cualquiera de las reivindicaciones 27-32 y 35-45 y 47, en el que los bits perforados tienen un peso de columna más alto que los bits no perforados.

49. Cancelada

50. El primer nodo de cualquiera de las reivindicaciones 27-32, 35-45, 47 y 48, en el que se omite que un subconjunto de bits de paridad se escriba en el búfer circular.

51. El primer nodo de cualquiera de las reivindicaciones 27-32, 35-45, 47, 48 y 50, en el que los circuitos de procesamiento configurados para realizar una concordancia de tasa con base en el búfer circular en el vector de palabras de código generado comprenden un circuito de procesamiento configurado para:

escribir al menos una parte de los bits sistemáticos y los bits de paridad definidos por una matriz de verificación de paridad en un búfer circular rectangular, el búfer circular rectangular comprende una o más filas y una o más columnas.

Modificaciones en virtud del artículo 34

Reivindicaciones

Lo que se reivindica es:

1. Un método para producir un conjunto de bits codificados a partir de un conjunto de bits de información para la transmisión entre un primer nodo (110, 115) y un segundo nodo (110, 115) en un sistema de comunicaciones inalámbricas (100), el método comprende:

generar (904) un vector de palabras de código mediante la codificación del conjunto de bits de información con un código de verificación de paridad de baja densidad, en el que el vector de palabras de código está compuesto de bits sistemáticos y bits de paridad; y

realizar (908) la concordancia de tasa con base en el búfer circular en el vector de palabras de código generado para producir los bits codificados para la transmisión, en donde la concordancia de tasa con base en el búfer circular comprende perforar una primera pluralidad de bits sistemáticos y escribir una segunda pluralidad de bits sistemáticos y los bits de paridad en un búfer circular,

en donde perforar la primera pluralidad de bits sistemáticos consiste en omitir escribir la primera pluralidad de bits sistémicos en el búfer circular.

2. El método de la reivindicación 1, en el que el código de verificación de paridad de baja densidad se especifica a través de una matriz de verificación de paridad.

3. El método de la reivindicación 1, en el que la primera pluralidad de bits sistemáticos que están perforados precede, en el vector de palabras de código, a una segunda pluralidad de bits sistemáticos que no están perforados.

Modificaciones en virtud del artículo 34

4. El método de la reivindicación 1, en el que se definen una pluralidad de versiones de redundancia sobre el búfer circular, de modo que los bits codificados para una retransmisión se lean desde el búfer circular de acuerdo con una versión de redundancia correspondiente definida para la retransmisión.

5

5. El método de la reivindicación 4, que comprende además realizar una concordancia de tasa con base en el búfer circular en el vector de palabras de código generado para producir bits codificados para la retransmisión, en la que la concordancia de tasa con base en el búfer circular para la retransmisión
10 comprende perforar la primera pluralidad de bits sistemáticos.

6. El método de la reivindicación 5, en el que la primera pluralidad de bits sistemáticos perforados para la retransmisión incluye un múltiplo par de bits sistemáticos Z , donde Z es un factor de elevación de la matriz de verificación de
15 paridad.

7. El método de cualquiera de las reivindicaciones 1-6, en el que la primera pluralidad de bits sistemáticos perforados incluye un múltiplo par de bits sistemáticos Z , donde Z es un factor de elevación de la matriz de verificación de
20 paridad.

8. El método de cualquiera de las reivindicaciones 1-7, en el que realizar una concordancia de tasa con base en el búfer circular en el vector de palabras de código generado comprende:

25 leer los bits sistemáticos y los bits de paridad de un búfer circular para producir el vector de transmisión para la transmisión a través de un canal inalámbrico.

Modificaciones en virtud del artículo 34

9. El método de la reivindicación 8, en el que leer los bits sistemáticos y los bits de paridad fuera del búfer circular para producir el vector de transmisión para la transmisión a través del canal inalámbrico comprende:

5 si un número de bits del vector de transmisión es mayor que el número total de bits en el búfer circular, se repiten uno o más bits en el búfer circular envolviéndolos.

10. El método de cualquiera de las reivindicaciones 1-9, en el que la
10 generación del vector de palabras de código mediante la codificación del conjunto de bits de información comprende:

adjuntar bits ficticios al conjunto de bits de información, los bits ficticios comprenden bits de valor conocido, para producir un vector de información; y

codificar el vector de información.

15

11. El método de la reivindicación 10, en el que los bits ficticios adjuntos comprenden una segunda pluralidad de bits sistemáticos que está separada de la primera pluralidad de bits sistemáticos perforados.

20 12. El método de la reivindicación 10, que comprende perforar los bits ficticios adjuntos.

13. El método de la reivindicación 12, en el que la perforación de los bits ficticios adjuntos comprende omitir la escritura de los bits ficticios adjuntos en el
25 búfer circular.

Modificaciones en virtud del artículo 34

14. El método de la reivindicación 12, en el que la perforación de los bits ficticios adjuntos comprende omitir los bits ficticios adjuntos cuando se leen los bits codificados del búfer circular.

5 15. El método de cualquiera de las reivindicaciones 1-14, en el que se omite que un subconjunto de los bits sistemáticos se escriba en el búfer circular.

16. El método de cualquiera de las reivindicaciones 1-15, que comprende:
perforar un subconjunto de los bits sistemáticos escritos en el búfer circular
10 en una primera transmisión a través del canal inalámbrico; e
incluir el subconjunto de los bits sistemáticos que se perforaron en una retransmisión a través del canal inalámbrico.

17. El método de cualquiera de las reivindicaciones 1-16, que comprende:
15 Perforar la columna de bits de tal manera que los bits se perforen uniformemente desde cada una de una pluralidad de filas y se mantenga una distribución de peso de la matriz de verificación de paridad en el búfer circular.

18. El método de cualquiera de las reivindicaciones 1-16, en el que los bits
20 sistemáticos y los bits de paridad se leen de manera que se implementa un intercalador de canal como parte de la implementación de una concordancia de tasa con base en el búfer circular en el vector de palabras de código generado.

19. El método de cualquiera de las reivindicaciones 1-16 y 18, en el que los
25 bits perforados tienen un peso de columna más alto que los bits no perforados

Modificaciones en virtud del artículo 34

20. El método de cualquiera de las reivindicaciones 1-19, en el que se omite que un subconjunto de bits de paridad se escriba en el búfer circular.

21. El método de cualquiera de las reivindicaciones 1-18, en el que realizar una concordancia de tasa con base en el búfer circular en el vector de palabras de código generado comprende:

escribir al menos una parte de los bits sistemáticos y los bits de paridad definidos por una matriz de verificación de paridad en un búfer circular rectangular, el búfer circular rectangular comprende una o más filas y una o más columnas.

22. Un primer nodo (110, 115) para producir un conjunto de bits codificados a partir de un conjunto de bits de información para su transmisión a un segundo nodo (110, 115) en un sistema de comunicaciones inalámbricas (100), el primer nodo comprende:

circuitos de procesamiento (1020, 1120), el circuito de procesamiento configurado para:

generar (904) un vector de palabras de código codificando el conjunto de bits de información con un código de verificación de paridad de baja densidad, en el que el vector de palabras de código está compuesto de bits sistemáticos y bits de paridad; y

realizar (908) la concordancia de tasa con base en el búfer circular en el vector de palabras de código generado para producir los bits codificados para transmisión, en donde la concordancia de tasa con base en el búfer circular comprende perforar una primera pluralidad de bits sistemáticos y escribir una segunda pluralidad de bits sistémicos y los bits de paridad en un búfer circular.

en el que perforar la primera pluralidad de bits sistemáticos comprende omitir escribir la primera pluralidad de los bits sistemáticos en el búfer circular.

Modificaciones en virtud del artículo 34

23. El primer nodo de la reivindicación 22, en el que el código de verificación de paridad de baja densidad se especifica a través de una matriz de verificación de paridad.

5

24. El primer nodo de la reivindicación 22, en el que la primera pluralidad de bits sistemáticos que están perforados precede en un vector de información que comprende los bits de información, la pluralidad de bits sistemáticos que no están perforados.

10

25. El primer nodo de la Reivindicación 22, en el que se definen una pluralidad de versiones de redundancia sobre el búfer circular de manera que los bits codificados para una retransmisión se leen desde el búfer circular de acuerdo con una versión de redundancia correspondiente definida para la retransmisión.

15

26. El primer nodo de la reivindicación 25, en el que los circuitos de procesamiento están configurados además para realizar una concordancia de tasa con base en el búfer circular en el vector de palabras de código generado para producir bits codificados para la retransmisión, en la que la concordancia de tasa con base en el búfer circular para la retransmisión comprende perforar la primera pluralidad de bits sistemáticos.

20

27. El primer nodo de la Reivindicación 26, en el que la primera pluralidad de bits sistemáticos perforados para la retransmisión incluye un múltiplo par de bits sistemáticos Z, donde Z es un factor de elevación de la matriz de verificación de paridad.

25

Modificaciones en virtud del artículo 34

28. El primer nodo de cualquiera de las reivindicaciones 22-27, en el que la primera pluralidad de bits sistemáticos perforados incluye un múltiplo par de bits sistemáticos Z , donde Z es un factor de elevación de la matriz de verificación de paridad.

5

29. El primer nodo de cualquiera de las reivindicaciones 22-28, en el que los circuitos de procesamiento configurados para realizar una concordancia de tasa con base en el búfer circular en el vector de palabras de código generado comprenden un circuito de procesamiento configurado para:

10 leer los bits sistemáticos y los bits de paridad de un búfer circular para producir el vector de transmisión para la transmisión a través de un canal inalámbrico.

30. El primer nodo de la reivindicación 29, en el que el circuito de procesamiento configurado para leer los bits sistemáticos y los bits de paridad fuera del búfer circular para producir el vector de transmisión para la transmisión a través del canal inalámbrico comprende el circuito de procesamiento configurado para:

15 si un número de bits del vector de transmisión es mayor que el número total de bits en el búfer circular, repetir uno o más bits en el búfer circular envolviéndolo.

31. El primer nodo de cualquiera de las reivindicaciones 22-30, en el que el circuito de procesamiento configurado para generar el vector de palabras de código codificando el conjunto de bits de información comprende el circuito de procesamiento configurado para:

25 adjuntar bits ficticios al conjunto de bits de información, los bits ficticios comprenden bits de valor conocido, para producir un vector de información; y

Modificaciones en virtud del artículo 34

codificar el vector de información.

32. El primer nodo de la reivindicación 31, en el que los bits ficticios adjuntos comprenden una segunda pluralidad de bits sistemáticos que están
5 separados de la primera pluralidad de bits sistemáticos perforados.

33. El primer nodo de la reivindicación 31, en el que los circuitos de procesamiento están configurados además para perforar los bits ficticios adjuntos.

10 34. El primer nodo de la reivindicación 33, en el que el circuito de procesamiento configurado para perforar los bits ficticios adjuntos comprende un circuito de procesamiento configurado para omitir la escritura de los bits ficticios adjuntos en el búfer circular.

15 35. El primer nodo de la reivindicación 33, en el que el circuito de procesamiento configurado para perforar los bits ficticios adjuntos comprende un circuito de procesamiento configurado para omitir los bits ficticios adjuntos cuando se leen los bits codificados del búfer circular.

20 36. El primer nodo de cualquiera de las reivindicaciones 22-35, en el que se omite que un subconjunto de bits sistemáticos se escriba en el búfer circular.

37. El primer nodo de cualquiera de las reivindicaciones 22-36, en el que el circuito de procesamiento está configurado además para:

25 perforar un subconjunto de los bits sistemáticos escritos en el búfer circular en una primera transmisión a través del canal inalámbrico; e

Modificaciones en virtud del artículo 34

incluir el subconjunto de los bits sistemáticos que se perforaron en una retransmisión a través del canal inalámbrico.

38. El primer nodo de cualquiera de las reivindicaciones 22-37, en el que el
5 circuito de procesamiento está configurado además para:

Perforar la columna de bits de tal manera que los bits se perforen uniformemente desde cada una de una pluralidad de filas y se mantenga una distribución de peso de la matriz de verificación de paridad en el búfer circular.

10 39. El primer nodo de cualquiera de las reivindicaciones 22-37, en el que los circuitos de procesamiento están configurados para leer los bits sistemáticos y los bits de paridad de modo que se implementa un intercalador de canales como parte de la ejecución de una concordancia de tasa con base en el búfer circular en el vector de la palabra de código generado.

15

40. El primer nodo de cualquiera de las reivindicaciones 22-39, en el que los bits perforados tienen un peso de columna más alto que los bits no perforados.

41. El primer nodo de cualquiera de las reivindicaciones 22-40, en el que se
20 omite que un subconjunto de bits de paridad se escriba en el búfer circular.

42. El primer nodo de cualquiera de las reivindicaciones 22-41, en el que los circuitos de procesamiento configurados para realizar una concordancia de tasa con base en el búfer circular en el vector de palabras de código generado
25 comprenden un circuito de procesamiento configurado para:

HOJA DE REEMPLAZO

Documento No: 017997.1170

PCT/IB2017/054 889-24092018

Modificaciones en virtud del artículo 34

escribir al menos una parte de los bits sistemáticos y los bits de paridad definidos por una matriz de verificación de paridad en un búfer circular rectangular, el búfer circular rectangular comprende una o más filas y una o más columnas.

REIVINDICACIONES:

1. Un método para producir un conjunto de bits codificados a partir de un conjunto de bits de información para la transmisión entre un primer nodo (110, 115) y un segundo nodo (110, 115) en un sistema de comunicaciones inalámbricas (100), el método comprende:

generar (904) un vector de palabras de código mediante la codificación del conjunto de bits de información con un código de verificación de paridad de baja densidad, en el que el vector de palabras de código está compuesto de bits sistemáticos y bits de paridad; y

realizar (908) la concordancia de tasa con base en el búfer circular en el vector de palabras de código generado para producir los bits codificados para la transmisión, en donde la concordancia de tasa con base en el búfer circular comprende perforar una primera pluralidad de bits sistemáticos.

2. El método de la reivindicación 1, en el que el código de verificación de paridad de baja densidad se especifica a través de una matriz de verificación de paridad.

3. El método de la reivindicación 1, en el que la primera pluralidad de bits sistemáticos que están perforados precede, en el vector de palabras de código, a una segunda pluralidad de bits sistemáticos que no están perforados.

4. El método de la reivindicación 1, en el que se definen una pluralidad de versiones de redundancia sobre el búfer circular, de modo que los bits codificados para una retransmisión se lean desde el búfer circular de acuerdo con una versión de redundancia correspondiente definida para la retransmisión.

5. El método de la reivindicación 4, que comprende además realizar una concordancia de tasa con base en el búfer circular en el vector de palabras de código generado para producir bits codificados para la retransmisión, en la que la concordancia de tasa con base en el búfer circular para la retransmisión
5 comprende perforar la primera pluralidad de bits sistemáticos.

6. El método de la reivindicación 5, en el que la primera pluralidad de bits sistemáticos perforados para la retransmisión incluye un múltiplo par de bits sistemáticos Z, donde Z es un factor de elevación de la matriz de verificación de
10 paridad.

7. El método de la reivindicación 1, en el que la perforación de la primera pluralidad de bits sistemáticos comprende omitir la escritura de la primera pluralidad de bits sistemáticos en un búfer circular.

15

8. El método de la reivindicación 1, en el que la perforación de la primera pluralidad de bits sistemáticos comprende omitir la primera pluralidad de bits sistemáticos cuando se leen los bits codificados desde un búfer circular.

20 9. El método de cualquiera de las reivindicaciones 1-8, en el que la primera pluralidad de bits sistemáticos perforados incluye un múltiplo par de bits sistemáticos Z, donde Z es un factor de elevación de la matriz de verificación de paridad.

25 10. El método de cualquiera de las reivindicaciones 1-9, en el que realizar una concordancia de tasa con base en el búfer circular en el vector de palabras de código generado comprende:

leer los bits sistemáticos y los bits de paridad de un búfer circular para producir el vector de transmisión para la transmisión a través de un canal inalámbrico.

5 11. El método de la reivindicación 10, en el que leer los bits sistemáticos y los bits de paridad fuera del búfer circular para producir el vector de transmisión para la transmisión a través del canal inalámbrico comprende:

 si un número de bits del vector de transmisión es mayor que el número total de bits en el búfer circular, se repiten uno o más bits en el búfer circular
10 envolviéndolos.

 12. El método de cualquiera de las reivindicaciones 1-11, en el que la generación del vector de palabras de código mediante la codificación del conjunto de bits de información comprende:

15 adjuntar bits ficticios al conjunto de bits de información, los bits ficticios comprenden bits de valor conocido, para producir un vector de información; y
 codificar el vector de información.

 13. El método de la reivindicación 12, en el que los bits ficticios adjuntos
20 comprenden una segunda pluralidad de bits sistemáticos que está separada de la primera pluralidad de bits sistemáticos perforados.

 14. El método de la reivindicación 13, que comprende perforar los bits ficticios adjuntos.

25

 15. El método de la reivindicación 14, en el que la perforación de los bits ficticios adjuntos comprende omitir la escritura de los bits ficticios adjuntos en el búfer circular.

16. El método de la reivindicación 14, en el que la perforación de los bits ficticios adjuntos comprende omitir los bits ficticios adjuntos cuando se leen los bits codificados del búfer circular.

5 17. El método de cualquiera de las reivindicaciones 1-16, en el que se omite que un subconjunto de los bits sistemáticos se escriba en el búfer circular.

18. El método de cualquiera de las reivindicaciones 1-17, que comprende:
perforar un subconjunto de los bits sistemáticos escritos en el búfer circular
10 en una primera transmisión a través del canal inalámbrico; e
incluir el subconjunto de los bits sistemáticos que se perforaron en una retransmisión a través del canal inalámbrico.

19. El método de cualquiera de las reivindicaciones 1-18, que comprende:
15 Perforar la columna de bits de tal manera que los bits se perforen uniformemente desde cada una de una pluralidad de filas y se mantenga una distribución de peso de la matriz de verificación de paridad en el búfer circular.

20. El método de la reivindicación 19, en el que los bits perforados son bits
20 sistemáticos distintos de la primera pluralidad de bits sistemáticos.

21. El método de cualquiera de las reivindicaciones 1-18, en el que los bits sistemáticos y los bits de paridad se leen de manera que se implementa un intercalador de canal como parte de la implementación de una concordancia de
25 tasa con base en el búfer circular en el vector de palabras de código generado.

22. El método de cualquiera de las reivindicaciones 1-21, en el que los bits perforados tienen un peso de columna más alto que los bits no perforados.

23. El método de cualquiera de las reivindicaciones 1-18 y 22, en el que los bits sistemáticos y los bits de paridad se leen de manera que no se implementa ningún efecto de entrelazado de canales.

5 24. El método de cualquiera de las reivindicaciones 1-23, en el que se omite que un subconjunto de bits de paridad se escriba en el búfer circular.

25. El método de cualquiera de las reivindicaciones 1-24, en el que realizar una concordancia de tasa con base en el búfer circular en el vector de palabras de
10 código generado comprende:

escribir al menos una parte de los bits sistemáticos y los bits de paridad definidos por una matriz de verificación de paridad en un búfer circular rectangular, el búfer circular rectangular comprende una o más filas y una o más columnas.

15 26. El método de cualquiera de las reivindicaciones 1-25, en el que el sistema de comunicaciones inalámbricas comprende un nuevo sistema de radio.

27. Un primer nodo (110, 115) para producir un conjunto de bits codificados a partir de un conjunto de bits de información para su transmisión a un segundo
20 nodo (110, 115) en un sistema de comunicaciones inalámbricas (100), el primer nodo comprende:

circuitos de procesamiento (1020, 1120), el circuito de procesamiento configurado para:

generar (904) un vector de palabras de código codificando el conjunto de bits
25 de información con un código de verificación de paridad de baja densidad, en el que el vector de palabras de código está compuesto de bits sistemáticos y bits de paridad; y

realizar (908) la concordancia de tasa con base en el búfer circular en el vector de palabras de código generado para producir los bits codificados para transmisión, en donde la concordancia de tasa con base en el búfer circular comprende perforar una primera pluralidad de bits sistemáticos.

5

28. El primer nodo de la reivindicación 27, en el que el código de verificación de paridad de baja densidad se especifica a través de una matriz de verificación de paridad.

10

29. El primer nodo de la reivindicación 27, en el que la primera pluralidad de bits sistemáticos que están perforados precede, en el vector de palabras de código, a una segunda pluralidad de bits sistemáticos que no están perforados.

15

30. El primer nodo de la Reivindicación 27, en el que se definen una pluralidad de versiones de redundancia sobre el búfer circular de manera que los bits codificados para una retransmisión se leen desde el búfer circular de acuerdo con una versión de redundancia correspondiente definida para la retransmisión.

20

31. El primer nodo de la reivindicación 30, en el que los circuitos de procesamiento están configurados además para realizar una concordancia de tasa con base en el búfer circular en el vector de palabras de código generado para producir bits codificados para la retransmisión, en la que la concordancia de tasa con base en el búfer circular para la retransmisión comprende perforar la primera pluralidad de bits sistemáticos.

25

32. El primer nodo de la Reivindicación 31, en el que la primera pluralidad de bits sistemáticos perforados para la retransmisión incluye un múltiplo par de

bits sistemáticos Z , donde Z es un factor de elevación de la matriz de verificación de paridad.

33. El primer nodo de la reivindicación 27, en el que el circuito de procesamiento configurado para perforar la primera pluralidad de bits sistemáticos comprende un circuito de procesamiento configurado para omitir la escritura de la primera pluralidad de bits sistemáticos en un búfer circular.

34. El primer nodo de la reivindicación 27, en el que el circuito de procesamiento configurado para perforar la primera pluralidad de bits sistemáticos comprende un circuito de procesamiento configurado para omitir la primera pluralidad de bits sistemáticos cuando se leen los bits codificados a partir de un búfer circular.

35. El primer nodo de cualquiera de las reivindicaciones 27-34, en el que la primera pluralidad de bits sistemáticos perforados incluye un múltiplo par de bits sistemáticos Z , donde Z es un factor de elevación de la matriz de verificación de paridad.

36. El primer nodo de cualquiera de las reivindicaciones 27-35, en el que los circuitos de procesamiento configurados para realizar una concordancia de tasa con base en el búfer circular en el vector de palabras de código generado comprenden un circuito de procesamiento configurado para:

leer los bits sistemáticos y los bits de paridad de un búfer circular para producir el vector de transmisión para la transmisión a través de un canal inalámbrico.

37. El primer nodo de la reivindicación 36, en el que el circuito de procesamiento configurado para leer los bits sistemáticos y los bits de paridad fuera del búfer circular para producir el vector de transmisión para la transmisión a través del canal inalámbrico comprende el circuito de procesamiento configurado

5 para:

si un número de bits del vector de transmisión es mayor que el número total de bits en el búfer circular, repetir uno o más bits en el búfer circular envolviéndolo.

38. El primer nodo de cualquiera de las reivindicaciones 27-37, en el que el
10 circuito de procesamiento configurado para generar el vector de palabras de código codificando el conjunto de bits de información comprende el circuito de procesamiento configurado para:

adjuntar bits ficticios al conjunto de bits de información, los bits ficticios comprenden bits de valor conocido, para producir un vector de información; y

15 codificar el vector de información.

39. El primer nodo de la reivindicación 38, en el que los bits ficticios adjuntos comprenden una segunda pluralidad de bits sistemáticos que están separados de la primera pluralidad de bits sistemáticos perforados.

20

40. El primer nodo de la reivindicación 39, en el que los circuitos de procesamiento están configurados además para perforar los bits ficticios adjuntos.

41. El primer nodo de la reivindicación 40, en el que el circuito de
25 procesamiento configurado para perforar los bits ficticios adjuntos comprende un circuito de procesamiento configurado para omitir la escritura de los bits ficticios adjuntos en el búfer circular.

42. El primer nodo de la reivindicación 40, en el que el circuito de procesamiento configurado para perforar los bits ficticios adjuntos comprende un circuito de procesamiento configurado para omitir los bits ficticios adjuntos cuando se leen los bits codificados del búfer circular.

5

43. El primer nodo de cualquiera de las reivindicaciones 27-42, en el que se omite que un subconjunto de bits sistemáticos se escriba en el búfer circular.

44. El primer nodo de cualquiera de las reivindicaciones 27-43, en el que el
10 circuito de procesamiento está configurado además para:

perforar un subconjunto de los bits sistemáticos escritos en el búfer circular en una primera transmisión a través del canal inalámbrico; e

15 incluir el subconjunto de los bits sistemáticos que se perforaron en una retransmisión a través del canal inalámbrico.

45. El primer nodo de cualquiera de las reivindicaciones 27-44, en el que el circuito de procesamiento está configurado además para:

20 Perforar la columna de bits de tal manera que los bits se perforen uniformemente desde cada una de una pluralidad de filas y se mantenga una distribución de peso de la matriz de verificación de paridad en el búfer circular.

46. El primer nodo de la reivindicación 45, en el que los bits perforados son bits sistemáticos distintos de la primera pluralidad de bits sistemáticos.

25

47. El primer nodo de cualquiera de las reivindicaciones 27-44, en el que los circuitos de procesamiento están configurados para leer los bits sistemáticos y los bits de paridad de modo que se implementa un intercalador de canales como

parte de la ejecución de una concordancia de tasa con base en el búfer circular en el vector de la palabra de código generado.

48. El primer nodo de cualquiera de las reivindicaciones 27-47, en el que
5 los bits perforados tienen un peso de columna más alto que los bits no perforados.

49. El primer nodo de cualquiera de las reivindicaciones 27-48, en el que los circuitos de procesamiento están configurados para leer los bits sistemáticos y los bits de paridad de modo que no se implemente ningún efecto de intercalado de
10 canales.

50. El primer nodo de cualquiera de las reivindicaciones 27-49, en el que se omite que un subconjunto de bits de paridad se escriba en el búfer circular.

15 51. El primer nodo de cualquiera de las reivindicaciones 27-50, en el que los circuitos de procesamiento configurados para realizar una concordancia de tasa con base en el búfer circular en el vector de palabras de código generado comprenden un circuito de procesamiento configurado para:

escribir al menos una parte de los bits sistemáticos y los bits de paridad
20 definidos por una matriz de verificación de paridad en un búfer circular rectangular, el búfer circular rectangular comprende una o más filas y una o más columnas.

52. El primer nodo de cualquiera de las reivindicaciones 27-51, en el que el sistema de comunicaciones inalámbricas comprende un nuevo sistema de radio.