

Offset Voltage Analysis of Dynamic Latched Comparator

HeungJun Jeon and Yong-Bin Kim

Department of Electrical and Computer Engineering
Northeastern University
Boston, MA, USA
{hjeon, ybk}@ece.neu.edu

Minsu Choi

Department of Electrical and Computer Engineering
Missouri University of Science & Technology
Rolla, MO, USA
choim@mst.edu

Abstract— The offset voltage of the dynamic latched comparator is analyzed in detail, and the dynamic latched comparator design is optimized for the minimal offset voltage based on the analysis in this paper. As a result, 1-sigma offset voltage was reduced from 12.5mV to 6.5mV at the cost of 9% increase of the power dissipation (152 μ W from 136 μ W). Using a digitally controlled capacitive offset calibration technique, the offset voltage of the comparator is further reduced from 6.50mV to 1.10mV at 1-sigma at the operating clock frequency of 3 GHz and it consumes 54 μ W/GHz after the calibration.

I. INTRODUCTION

Due to fast-speed, low-power consumption, high-input impedance and full-swing output, CMOS dynamic latched comparators are very attractive for many applications such as high-speed analog-to-digital converters (ADCs), memory sense amplifiers (SAs), and data receivers. They use positive feedback mechanism with one pair of back-to-back cross coupled inverters (latch) to convert a small input-voltage difference to a full-scale digital level in a short time. However, the accuracy of such comparators is limited by the random offset voltage resulting from the device mismatches such as threshold voltage V_{th} , current factor β ($=\mu C_{ox}W/L$) and internal parasitic/external load capacitance mismatches [1]–[3]. Therefore, the offset voltage is one of the most important design parameters in designing dynamic latched comparator.

Conventionally, a pre-amplifier has been used preceding the regenerative latch stage to reduce the offset voltage of the latch. It amplifies a small input voltage difference to a large enough voltage to overcome the offset voltage of the latch. However, the pre-amplifier based comparators suffer from both the large static power consumption for a large bandwidth and the reduced intrinsic gain with a reduction of the drain-to-source resistance r_{ds} due to the continuous technology scaling [4]. Therefore, for the high-speed and low-power nano-scale CMOS applications, a dynamic comparator without pre-amplifier is highly desirable. This can be realized in terms of a dynamic comparator with digital offset calibration techniques. Recently, various papers regarding the offset voltage calibration techniques for dynamic latched comparator have been proposed [5]–[8].

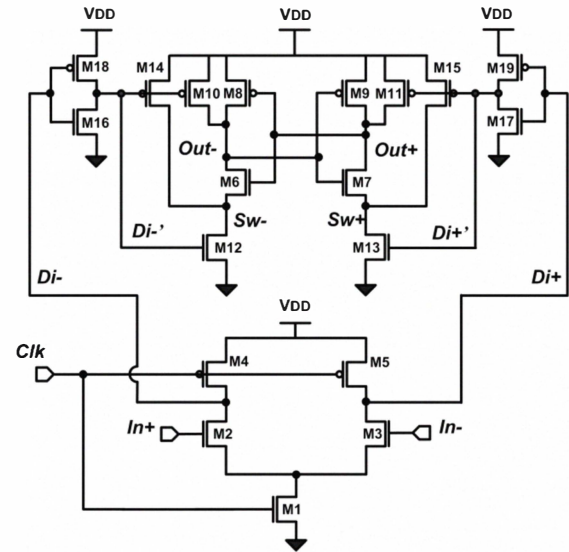


Figure 1 Schematic of the proposed comparator

In this paper, the offset voltage contribution of each stage (differential input stage, inverter pair stage, and output latch stage) of the dynamic latched comparator [10] is analyzed and verified with the extracted ones from transient Monte-Carlo simulations. Based on the result, the dynamic latched comparator is designed and optimized. In addition to the optimum design method, a digitally controlled capacitive offset voltage compensation technique is demonstrated to further calibrate the total offset voltage using 90nm PTM technology [11] and 1V power supply voltage.

II. OFFSET VOLTAGE ANALYSIS OF DYNAMIC COMPARATOR

The dynamic comparator [10] shown in Figure 1 is used for our offset voltage analysis. During the pre-charge (or reset) phase ($Clk=0V$), both PMOS transistors M4 and M5 turn on and Di nodes' capacitances are charged to V_{DD} , which in turn make both NMOS transistor M16 and M17 of the inverter pair on and Di' nodes discharge to ground. Sequentially, PMOS

transistor M10, M11, M14 and M15 turn on and *Out* nodes and *Sw* nodes are charged up to V_{DD} while both NMOS transistors M12 and M13 are off.

During evaluation (decision-making) phase ($Clk=V_{DD}$), each *Di* node capacitance is discharged from V_{DD} to ground in a different rate proportional to the magnitude of each input voltage. As a result, an input dependent differential voltage is formed between *Di+* and *Di-* nodes. Once either *Di+* or *Di-* node voltage drops below $V_{DD}-|V_{tp}|$, the inverter pairs (M18/M16 and M19/M17) invert each *Di* node signal into the regenerated (amplified) *Di'* node signals. Then the regenerated and different phased *Di'* node voltages are relayed to the output-latch stage by M10–M13. As the regenerated each *Di'* node voltage is rising from 0V to V_{DD} with a different time interval (or a phase difference which increases with the increasing input voltage difference ΔV_{in}), M12 and M13 turn on one after another and the output latch starts regenerating the small voltage difference transmitted from *Di'* nodes into a full-scale digital level: *Out+* node will output logic high (V_{DD}) if *Di+* node voltage is rising faster than *Di-* node voltage and *Out+* will output logic low (0V) otherwise. Once either of *Out* node voltages drops below $V_{DD}-|V_{tp}|$, this positive feedback becomes stronger because either PMOS transistor M8 or M9 will turn on.

Since the dynamic comparator shown in Figure 1 can be divided into three stages, the total offset voltage ($V_{OS, tot}$) can be expressed as

$$V_{OS, tot} = \sqrt{V_{OS, Diff, Input}^2 + \frac{1}{G_1^2} \cdot V_{OS, Inv, Pair}^2 + \frac{1}{G_1^2 \cdot G_2^2} \cdot V_{OS, Output Latch}^2} \quad (1)$$

where $V_{OS, Diff, Input}$, $V_{OS, Inv, Pairs}$, and $V_{OS, Output Latch}$ are the offset voltages resulting from the mismatched transistor pairs in each stage, respectively. G_1 is the voltage gain between *Di* nodes and *In* nodes and G_2 is the voltage gain between *Di'* nodes and *Di* nodes.

To optimize the comparator in terms of the minimal offset voltage, the offset voltage contributions of each stage have to be verified first. Therefore, all transistors (but the inverter pairs) are designed to have the same aspect ratio of $W/L=1\mu m/0.1\mu m$. In order for the inverter pair to have the proper gain and correct functionality, PMOS transistors of the inverter pair are designed three times bigger than NMOS transistors ($W_p/W_n=1.5\mu m/0.5\mu m$). To simulate 1-sigma offset voltages for each stage, the random mismatch in threshold voltage V_{th} and current factor β ($=\mu C_{ox}W/L$) for each transistor pair are modeled as follows [1],

$$\sigma_{V_{th}} = \frac{A_{V_{th}}}{\sqrt{WL}}, \quad \sigma_{\beta} = \frac{A_{\beta}}{\sqrt{WL}} \quad \text{where } W, L \text{ are in } \mu m \quad (2)$$

$A_{V_{th}}$ and A_{β} are process dependent parameters and are assumed to be $4.5mV\mu m$ and $1\%\mu m$, respectively in this mismatch analysis. As shown in Figure 2 (in Grey), the input referred offset voltages of each stage of the comparator with respect to the different the input common mode voltages are extracted from 100 times of transient Monte-Carlo simulations ($V_{DD}=1V$,

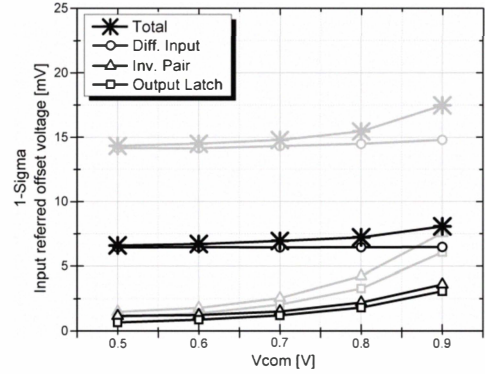


Figure 2 Offset voltage contributions of each stage before (Grey) and after (Black) optimization.

$f_{clk}=3GHz$). As expected, the offset voltage resulting from the mismatched transistor pairs in the regenerative output-latch stage is the smallest since it is reduced by the gain of $G_1 \times G_2$ and the offset voltage from the mismatch between the inverter pair, which is reduced by the gain of G_1 , is also small comparing to the offset voltage of the differential input stage. The offset voltage of the differential input stage can be approximated as [10]

$$V_{OS, Diff, Input}^2 = \left(\frac{V_{GS2,3} - V_{tn}}{2} \right)^2 \left\{ \left(\frac{\Delta C_{Di}}{C_{Di}} \right)^2 + \left(\frac{\Delta \beta_{2,3}}{\beta_{2,3}} \right)^2 \right\} + \Delta V_{tn2,3}^2 \quad (3)$$

Since the threshold voltage mismatch between transistor M2 and M3 ($V_{m2,3}$) is directly related to the total random offset voltage, it becomes the dominant factor at the same aspect ratio ($W/L=1\mu m/0.1\mu m$). Therefore, to get the minimal offset voltage at the power and area constraints, the size of the input transistor pair (M2 and M3) have to be sized up first. For our design we sized both input transistors to have $W/L=4\mu m/1.2\mu m$. Next the critical transistor pairs are M18/19, M12/13, M10/11 and M6/7 since those pairs also amplify the input voltage difference ΔV_{in} during the evaluation phase.

Using balanced method presented in [2], input referred offset voltages of those transistor pairs can be obtained as follows;

$$V_{OS12,13}^2 = \frac{1}{G_1^2 \cdot G_2^2} \cdot \left[\left(\frac{V_{Di'} - V_{tn}}{2} \right)^2 \left(\frac{\Delta \beta_{12,13}}{\beta_{12,13}} \right)^2 + \Delta V_{tn12,13}^2 \right] \cdot \left\{ 1 + \frac{V_{Di'} - V_{tn}}{2(V_{DD} - V_{Di'} - |V_{tp10}|)} \left(\frac{I_{D10(11)}}{I_1} \right) \right\}^{-2} \quad (4)$$

$$V_{OS10,11}^2 = \frac{1}{G_1^2 \cdot G_2^2} \cdot \left[(V_{DD} - V_{Di'} - |V_{tp}|)^2 \left(\frac{\Delta \beta_{10,11}}{\beta_{10,11}} \right)^2 + \Delta V_{tp10,11}^2 \right] \cdot \left\{ 1 + (V_{DD} - V_{Di'} - |V_{tp}|) \left(\frac{g_{m12(13)}}{I_1 - I''} \right) \right\}^{-2} \quad (5)$$

where I_1 is the drain current of M12 and I'' is the external load capacitor current, which direct is inside the *Out±* node. Equation (4) shows the influence of transistor M10 and M11 (which are used as both reset switches and input transistors for the output-latch stage). Since this comparator have two pairs of the input transistors in the output latch stage, the offset

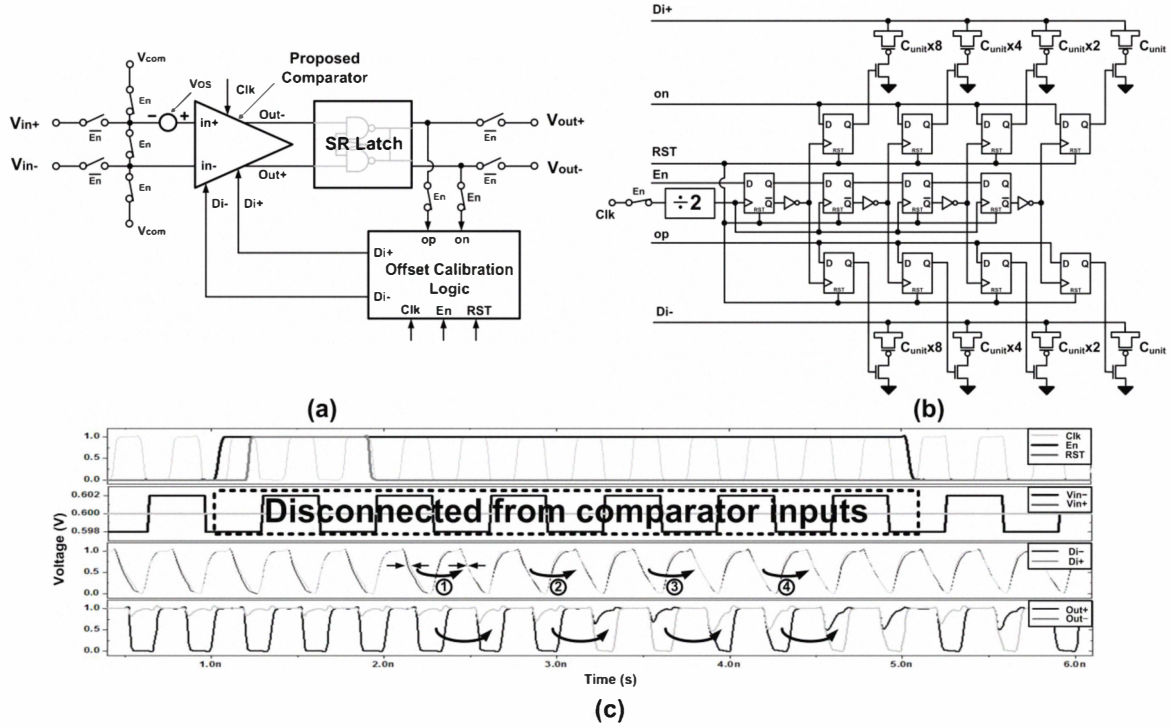


Figure 3 (a) Proposed offset voltage calibration technique using D_i node capacitance compensation. (b) Offset voltage calibration logic. (c) Signal waveforms of the proposed offset calibration process with the intentional V_{os} of +20mV and $f_{Clk}=3$ GHz.

voltages caused from one pair are compensated by the other input transistor pair. Therefore, the additional term followed by the negative square root term in equation (4) compensates the former offset voltage term caused from transistor mismatch between M12 and M13. As $V_{Di'}$ increases from V_m to $V_{DD}-|V_{tp}|$, the input referred offset voltage is further reduced since the influence of the additional denominator term increases. While larger NMOS transistor M12 and M13 are desirable for the low offset and the large drive currents for the fast latching, larger PMOS transistor M10 and M11 are also required for low offset to increase I_{D10}/I_1 ratio. Therefore, there is the optimal ratio between $W_{12(13)}$ and $W_{10(11)}$ at a limited area for the minimum offset voltage.

For mismatch between transistor M6 and M7, $\mu_n C_{ox,6,7}$ mismatch is considered instead of current factor β mismatch to find out the optimal ratio between the width of transistor M6(M7) and M12(M13).

$$V_{OS6,7}^2 = \frac{1}{G_1^2 \cdot G_2^2 \cdot G_3^2} \cdot \frac{W_{6(7)}}{W_{12(13)}} \left[\left(\frac{\Delta \mu_n C_{ox,6,7}}{\mu_n C_{ox,6,7}} \right)^2 \frac{(V_{out\pm} - V_{D13} - V_{tn})^2}{4} + (V_{D13} - V_{D12})^2 + \Delta V_{tn6,7}^2 \right] \quad (6)$$

where G_3 is the voltage gain between Sw nodes and D_i' nodes. Equation (6) shows that the offset voltage caused by the mismatch between the transistor M6 and M7 is a function of size between transistor M6(M7) and M12(M13). Although

$V_{OS6,7}$ seems to decrease as $W_{6(7)}/W_{12(13)}$ ratio decreases, the random mismatches of $\Delta \mu_n C_{ox,6,7}$ and $\Delta V_{tn6,7}$ increase as $W_{6(7)}$ decreases. Therefore, there is a particular $W_{6(7)}/W_{12(13)}$ ratio which makes an optimum trade-off between them to have the minimum $V_{OS6,7}$.

In consequence, for the minimal offset voltage, the comparator has to be optimized at a limited area and power first. Based on the offset voltage analysis and Monte-Carlo simulation, the dynamic latched comparator is optimized to have the minimal offset voltage. As a result, as shown in Figure 2 (in Black), 1-sigma offset voltage is reduced from 12.5mV to 6.5mV in 0.6V of the input common mode voltage with only 9% increase of the power dissipation (152 μ W from 136 μ W). To further reduce the offset voltage of the dynamic latched comparator without pre-amplifier, digitally controlled capacitive offset voltage compensation technique is suggested.

III. OFFSET CALIBRATION TECHNIQUES

As explained in equation (3), the offset voltage can be compensated by controlling D_i node capacitance, current or $V_{m2,3}$ [5]–[8]. The current calibration technique introduced in [7] exploits additional one pair of NMOS compensation transistors in parallel with the differential input pair and a charge pump. Even though this calibration technique consumes no static power, the calibration process has to be done frequently since the charged voltage in the compensation capacitor (which is connected to the gate of one of NMOS compensation transistor pair) falls down due to

the leakage current. In addition, the calibration speed and accuracy are limited by the size of the charging/discharging current sources of charge pump. Digital calibration technique from [6] uses additional capacitance arrays to calibrate the offset voltage. Although the calibration resolution and the maximum offset coverage range are limited by the minimum unit capacitance and the number of bits of the capacitance arrays, this technique does not require the refresh process and does not consume static power as well. In addition, the increase of the node capacitance at Di node reduces the input referred noise. However, it slows down the speed of the comparator since the increased internal node capacitance increases the discharge time. The degree of speed degradation is more severe when this technique is applied to the internal nodes ($Di\pm$) of the comparator from [7] since those internal node voltages are directly applied to the both input transistor pairs of the second stage. On the other hand, the speed of the comparator [10] is relatively less sensitive to the increase of the Di node capacitance since the Di node voltages in the comparator are buffered by the inverter pair.

Figure 3 shows the proposed offset calibration technique using 4-bit capacitor array, which consists of 4-bit shift register, divided by two-circuit, D flip-flops, and 4-bit capacitor arrays, while the size of an unit capacitance is implemented with PMOS transistors ($W/L=120nm/100nm$). Since the offset calibration logic uses 2 times less clock frequency, the timing requirement for the offset calibration logic is relaxed with an extra clock cycle added after switching on each binary weighted capacitor. Therefore, the comparator can be operated above the clock frequency of 3GHz. Before calibration, as shown in Figure 3 (c), the output of the comparator outputs logic low (0V) regardless of the input differential voltage of $\pm 2mV$ due to the intentional input referred offset voltage of 20mV. After calibration, however, the comparator can distinguish the input differential voltage even less than $\pm 2mV$. The required calibration time is only around 4ns at $f_{clk}=3GHz$ and the reset signal (RST) can be simply generated using 3-bit shift register, inverters, switches and an AND gate, which is initiated by the enable signal (En).

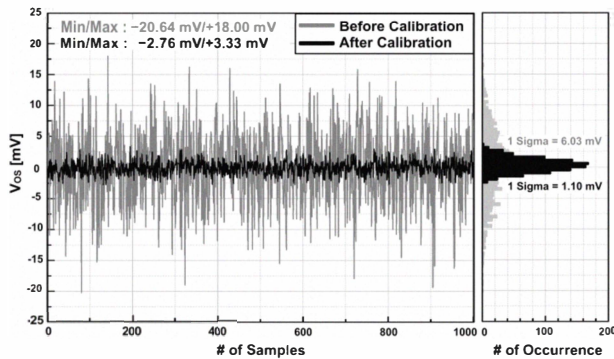


Figure 4 Input referred offset voltage before and after offset calibration obtained from 1000 samples of transient Monte-Carlo simulations

IV. SIMULATION RESULT

The dynamic latched comparator with a capacitive offset voltage calibration circuit was designed and simulated in HSPICE using 90 nm PTM process. To compare the input referred random offset voltages of the comparator before and after offset calibration, 1000 times of transient Monte-Carlo simulations were performed with the random mismatch model from (2), where $A_{vth}=4.5mV/\mu m$ and $A_{\beta}=1\%/\mu m$, and the total input referred offset voltage was measured by applying slowly varying slope signals to the comparator inputs. As shown in Figure 4, 1-sigma offset voltage of 6.03mV was reduced to 1.10mV after the offset calibration with the switching frequency of 3 GHz while it consumes 162 μW after calibration.

V. CONCLUSION

The offset voltage of the dynamic latched comparator is analyzed. Based on the analysis, the comparator was optimized in terms of the minimal offset voltage. As a result, 1-sigma offset voltage was reduced from 12.5mV to 6.5mV at the cost of 9% increase of the power dissipation (152 μW from 136 μW). In addition, with a digitally controlled capacitive offset calibration technique, the offset voltage of the comparator was further reduced from 6.50mV to 1.10mV at 1-sigma at the operating clock frequency of 3 GHz and it consumes 54 $\mu W/GHz$ after the calibration.

REFERENCES

- [1] Pelgrom, A. C. J. Duinmaijer, and A. P. G. Weblbers, "Matching properties of MOS transistors," *IEEE J. Solid-State Circuits*, vol. 24, no. 10, pp. 1433–1439, Oct. 1995
- [2] Jun He, Sanyi Zhan, Degang Chen, and R.L. Geiger, "Analyses of Static and Dynamic Random Offset Voltages in Dynamic Comparators," *IEEE Trans. Circuits Syst. I: Reg. Papers*, vol. 56, pp. 911–919, May 2009. M. J. M.
- [3] A. Nikoozadeh and B. Murmann, "An Analysis of Latch Comparator Offset Due to Load Capacitor Mismatch," *IEEE Trans. Circuits Syst. II: Exp. Briefs*, vol. 53, no. 12, pp. 1398–1402, Dec. 2006
- [4] B. Murmann *et al.*, "Impact of scaling on analog performance and associated modeling needs," *IEEE Trans. Electron Devices*, vol. 53, no. 9, pp. 2160–2167, Sep. 2006.
- [5] Jackie Wong *et al.*, "Offset compensation in comparators with minimum input-referred supply noise," *IEEE JSSC*, pp. 837–840, May 2004.
- [6] G. Van der Plas, S. Decoutere, and S. Donnay, "A 0.16 pJ/conversion-step 2.5 mW 1.25 GS/S 4b ADC in a 90 nm digital CMOS process," in *IEEE ISSCC Dig. Tech. Papers*, Feb. 2006, pp. 566–567.
- [7] M. Miyahara, Y. Asada, P. Daehwa and A. Matsuzawa, "A Low-Noise Self-Calibrating Dynamic Comparator for High-Speed ADCs," in *Proc. A-SSCC*, pp. 269–272, Nov. 2008.
- [8] M. Miyahara *et al.*, "A low-offset latched comparator using zero-static power dynamic offset cancellation technique," *IEEE A-SSCC*, Taiwan, pp. 233–236, Nov. 2009
- [9] B. Razavi, *Principles of Data Conversion System Design*. Piscataway, NJ: IEEE Press, 1995
- [10] HeungJun Jeon, Yong-Bin Kim, "A CMOS Low-Power Low-Offset and High-Speed Fully Dynamic Latched Comparator," *IEEE International SOC Conference*, Las Vegas, NV, pp.285–288, Sep. 2010
- [11] <http://ptm.asu.edu>

CAPÍTULO REIVINDICATORIO MODIFICADO
(Primer Examen de Fondo)

1. Un circuito para compensar la tensión de offset de circuitos electrónicos que comprende:

-un comparador dinámico (1) que tiene una primera salida (4) y una segunda salida (5), ambas salidas conectadas a una interface de datos de los circuitos electrónicos;

-un detector de fase (6) conectado a la primera salida (4) y la segunda salida (5) del comparador dinámico (1), el detector de fase (6) tiene una primera salida UP (7) y una segunda salida DOWN (8);

-una máquina de estados finitos (9) conectada a la primera salida UP (7) y la segunda salida DOWN (8) del detector de fase (6), la máquina de estados finitos (9) tiene una primera salida X1(10) y una segunda salida X2 (11);

- un primer convertidor digital-analógico (12) conectado a la primera salida X1 (10) de la máquina de estados finitos (9);

- un segundo convertidor digital-analógico (13) conectado a la segunda salida X2 (11) de la máquina de estados finitos (9); y,

-un bloque de polarización (14) con una primera entrada (15) conectada a la salida del primer convertidor digital-analógico (12) y una segunda entrada (16) conectada a la salida del segundo convertidor digital-analógico (13);

donde el bloque de polarización (14) polariza un circuito electrónico (17) y el comparador dinámico (1), el detector de fase (6), y la máquina de estados finitos (9) están conectados a una señal de reloj (3).

2. El circuito para compensar la tensión de offset de la Reivindicación 1, donde la primera salida X1 (10) y la segunda salida X2 (11) de la máquina de estados finitos (9) corresponden a salidas digitales de 8 bits de longitud.

3. El circuito para compensar la tensión de offset de la Reivindicación 1, donde la máquina de estados finitos (9) es un contador Ascendente/Descendente con terminales de habilitación.

4. El circuito para compensar la tensión de offset de la Reivindicación 1, donde el detector de fase (6) comprende:

-un primer Flip-Flop tipo D (18) activado por flanco de subida, cuya entrada D está conectada a la primera salida (4) del comparador dinámico (1) y su entrada de señal de reloj está conectada a la señal del reloj (3);

-un segundo Flip-Flop tipo D (20) activado por flanco de bajada, cuya entrada D está conectada a primera salida (4) del comparador dinámico (1); su entrada de señal de reloj está conectada a la señal del reloj (3);

-un tercer Flip-Flop tipo D (21) activado por flanco de subida, cuya entrada D está conectada a la segunda salida (5) del comparador dinámico (1); y su entrada de señal de reloj está conectada a la señal del reloj (3);

-un cuarto Flip-Flop tipo D (23) activado por flanco de bajada, cuya entrada D está conectada a la segunda salida (5) del comparador dinámico (1); y su entrada de señal de reloj está conectada a la señal del reloj (3);

-una primera compuerta XOR (19) de dos entradas, la primera entrada de la primera compuerta XOR (19) se conecta a la salida Q del primer Flip-Flop tipo D (18), la segunda entrada de la primera compuerta XOR (19) se conecta a salida Q del segundo Flip-Flop tipo D (20) y la salida de la primera compuerta XOR (19) entrega una primera salida UP (7);

-una segunda compuerta XOR (22) de dos entradas, la primera entrada (26) de la segunda compuerta XOR (22) se conecta a la salida Q del tercer Flip-Flop tipo D (21), la segunda entrada (27) de la segunda compuerta XOR (22) se conecta a salida Q del cuarto Flip-Flop tipo D (23); y la salida de la segunda compuerta XOR (22) entrega una segunda salida DOWN (8).

5. Un método para compensar la tensión de offset de circuitos electrónicos, caracterizado por las etapas:

- a) medir el cambio en la fase de las salidas de un comparador dinámico (1) que está conectado a una interface de datos de los circuitos electrónicos mediante un detector de fase (6);
- b) controlar las señales de salida de una máquina de estados finitos (9) según una primera salida UP (7) y una segunda salida DOWN (8) del detector de fase (6) de la etapa **(a)**, la cual puede ser codificada “adelante”, “atrás” o “en fase”;
- c) convertir la salida de la máquina de estados finitos (9) de la etapa **(b)** a una señal analógica mediante dos convertidores digital-analógico (12, 13); y
- d) modificar la corriente de polarización de un bloque de polarización (14) que polariza un circuito electrónico (17) mediante una primera entrada (15) conectada a la salida del primer convertidor digital-analógico (12) y una segunda entrada (16) conectada a la salida del segundo convertidor digital-analógico (13).

6. El método para compensar la tensión de offset de la Reivindicación 5, caracterizado porque la etapa (b) lleva a cabo la siguiente secuencia de pasos:

- Comprobar la primera salida UP (7) del detector de fase (6) en un estado “*Inicio*” (28), si la primera salida UP (7) del detector de fase (6) cambia de un nivel bajo a alto, la máquina de estados finitos (9) cambia a un estado “*Aumenta Pol*” (30) donde la segunda salida X2 (11) de la máquina de estados finitos (9) disminuye en una unidad y la primera salida X1 (10) de la máquina de estados finitos (9) aumenta en una unidad;
- Comprobar la segunda salida DOWN (8) del detector de fase (6) en el estado “*Inicio*” (28), si la segunda salida DOWN (8) del detector de fase (6) cambia de un nivel bajo a alto, la máquina de estados finitos (9) cambia a un estado “*Disminuye Pol*” (31) donde la segunda salida X2 (11) de la máquina de estados finitos (9) aumenta en una unidad y la primera salida X1 (10) de la máquina de estados finitos (9) disminuye en una unidad;
- Comprobar la primera salida UP (7) del detector de fase (6) en el estado “*Aumenta Pol*” (30), si la primera salida UP (7) del detector de fase (6) cambia de un nivel bajo a alto, la máquina de estados finitos (9) permanece en el mismo estado;
- Comprobar la primera salida DOWN (8) del detector de fase (6) en el estado “*Disminuye Pol*” (31), si la primera salida DOWN (8) del detector de fase (6) cambia de un nivel bajo a alto, la máquina de estados finitos (9) permanece en el mismo estado;
- Comprobar la primera salida UP (7) del detector de fase (6) en el estado “*Aumenta Pol*” (30), si la primera salida UP (7) y la segunda salida DOWN (8) del detector de fase (6) cambian de un nivel bajo a alto, la máquina de estados finitos (9) pasa a un estado “*Guardar*” (32) donde la primera salida X1 (10) y la segunda salida X2 (11) de la máquina de estados finitos (9) no se alteran;
- Comprobar la segunda salida DOWN (8) del detector de fase (6) en el estado “*Disminuye Pol*” (31), si la segunda salida DOWN (8) y la primera salida UP (7) del detector de fase (6) cambian de un nivel bajo a alto, la máquina de estados finitos (9) pasa al estado “*Guardar*” (32) donde la primera salida X1 (10) y la segunda salida X2 (11) de la máquina de estados finitos (9) no se alteran y se guardan;
- Comprobar una señal reset en cualquiera de los cuatro estados, si la señal reset pasa a un estado alto, la máquina de estados finitos (9) pasa al estado “*Inicio*” (28).

Señores

SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO

DIRECCIÓN DE NUEVAS CREACIONES

E. _____ S. _____ D. _____

Re: UNIVERSIDAD INDUSTRIAL DE SANTANDER.

Solicitud de Patente de Invención No. 16-171.357

**Título de la Invención: "MÉTODO Y CIRCUITO PARA COMPENSAR LA
TENSION DE OFFSET DE CIRCUITOS ELECTRÓNICOS"**

Nuestra Ref.: P2016/000115

RESPUESTA AL OFICIO No. 11803, NOTIFICADO EL 04 DE OCTUBRE DE 2018
(PRIMER EXAMEN DE FONDO)

CARLOS R. OLARTE, mayor de edad y vecino de Bogotá, identificado tal como aparece al pie de mi firma, en mi carácter de apoderado de la sociedad solicitante, me permito manifestar lo siguiente ante el auto emanado por ese Despacho, dentro del plazo legal previsto en el artículo 45 de la Decisión 486, en los siguientes términos:

1. En primer lugar, con el ánimo de brindar mayor claridad a la materia reivindicada, me permito presentar un **Capítulo Reivindicatorio Modificado**, que reemplaza en su totalidad al Capítulo Reivindicatorio presentado al momento de radicar la solicitud. Así entonces, el Capítulo Reivindicatorio Modificado adjunto contiene los siguientes cambios:

- se agregó la expresión “, *ambas salidas conectadas a una interface de datos de los circuitos electrónicos*” después del término “*una segunda salida (5)*” de la característica técnica del comparador dinámico (1) de la Reivindicación 1, lo cual encuentra soporte en la pág. 1 líneas 12 a 19;
- se reemplazó la palabra “*una*” por la palabra “*la*” cuando se hace referencia a las salidas del comparador dinámico (1) en la Reivindicación 1;
- se agregó la palabra “UP” y la palabra “DOWN” a cada una de las salidas del detector de fase (6) de la característica técnica del detector de fase (6) en la Reivindicación 1, lo cual encuentra soporte en la pág. 4 líneas 23 a 25, pág. 8 líneas 1 a 11, FIG. 1 y FIG. 2;
- se corrigió un error de numeración del detector de fase “(4)” por “(9)” en la característica técnica de la máquina de estados finitos (9) en la Reivindicación 1, lo cual encuentra soporte en la FIG. 1;

- se agregó el término “X1” al término “*primera salida (10)*” cuando se refiere a la primera salida de la máquina de estados finitos (9) en la Reivindicación 1, lo cual encuentra soporte en la pág. 4 líneas 28 y 29;
- se agregó el término “X2” al término “*segunda salida (11)*” cuando se refiere a la primera salida de la máquina de estados finitos (9), lo cual encuentra soporte en la pág. 4 líneas 28 y 29;
- se corrigió la numeración de la primera salida X1 “(6)” por “(10)”, segunda salida X2 “(7)” por “(11)” y máquina de estados finitos “(5)” por “(9)” en la Reivindicación 2, lo cual encuentra soporte en la FIG. 1;
- se reemplazó el término “*el detector de fase (6)*” por el término “*la máquina de estados finitos (9)*” en la Reivindicación 3, lo cual encuentra soporte en la pág. 7 líneas 8 a 10;
- se eliminó la numeración de la primera entrada “(24)” y la numeración de la segunda entrada “(25)” de la primera compuerta XOR (19), lo cual encuentra soporte en la FIG. 2;
- se reemplazó el término “*señal UP (7)*” por el término “*primera salida UP (7)*” y el término “*señal DOWN (8)*” por el término “*segunda salida DOWN (8)*” que hacen referencia a las salidas de la primera compuerta XOR (19) y la segunda compuerta XOR (22) respectivamente en la Reivindicación 4, lo cual encuentra soporte en la pág. 4 líneas 23 a 25, pág. 8 líneas 1 a 11, FIG. 1 y FIG. 2;
- se cambió la terminología de conectar un comparador dinámico a la salida del circuito electrónico de la Reivindicación 5, indicando únicamente los pasos del método, los cambios son los siguientes:
 - se eliminaron las etapa a) y e);
 - se reemplazó la expresión “*del comparador dinámico*” por la expresión “*de un comparador dinámico que está conectado a una interface de datos de los circuitos electrónicos*” en la antigua etapa b) nueva etapa a), lo cual encuentra soporte en la pág. 1 líneas 12 a 19;
 - se reemplazó la expresión “*según la salida de un detector de fase de la etapa b*” por la expresión “*según una primera entrada UP (7) y una segunda salida DOWN (8) del detector de fase (6) de la etapa (a)*” en la antigua etapa c) nueva etapa b), lo cual encuentra soporte en la pág. 4 líneas 23 a 25, pág. 8 líneas 1 a 11, FIG. 1 y FIG. 2;
 - se reemplazó la expresión “*etapa c*” por la expresión “*etapa (b)*” y se adiciona la letra “y” después del signo “;” en la antigua etapa d) nueva etapa c);
 - se reemplazó la frase “*del bloque de polarización del circuito electrónico mediante las señales conectados en la etapa e*” por la frase “*de un bloque de polarización (14) que polariza un circuito electrónico (17) mediante una*”

- primera entrada (15) conectada a la salida del primer convertidor digital-analógico (12) y una segunda entrada (16) conectada a la salida del segundo convertidor digital-analógico (13)”, lo cual encuentra soporte en la pág. 3 líneas 1 a 28, la pág. 5 líneas 1 a 3, la pág. 8 líneas 13 a 16 y FIG. 1;*
- *se cambió la terminología de transición de estados de la máquina de estados finitos de la Reivindicación 6, por los pasos que lleva a cabo el control de las salidas según los cambios posibles del detector de fase, los cambios son los siguientes:*
 - *se cambió la expresión “en la etapa c cumple la siguiente secuencia de transición de estados:” por la expresión “la etapa **(b)** lleva a cabo la siguiente secuencia **de pasos:**”, lo cual encuentra soporte en la FIG. 3;*
 - *se reemplazó la expresión “Comenzando en el estado “Inicio” (28), si la señal de entrada UP (7)” por la expresión “Comprobar la primera salida UP (7) del detector de fase (6) en un estado “Inicio” (28), si la primera salida UP (7) del detector de fase (6)”, lo cual encuentra soporte en la pág. 4 líneas 23 a 25, pág. 8 líneas 1 a 11, FIG. 1 y FIG. 2;*
 - *se reemplazó la expresión “cambia de un estado bajo a alto” por la expresión “cambia de un nivel bajo a alto” a lo largo de la Reivindicación 6, lo cual encuentra soporte en la pág. 8 línea 28 a 33;*
 - *se completó el término “la máquina” por el término “la máquina de estados finitos (9)” a lo largo de la Reivindicación 6, lo cual encuentra soporte en la pág. 4 líneas 27 a 35;*
 - *se reemplazó la frase “cambia al estado “Disminuye Pol” (31) donde la señal de salida X2 aumenta en una unidad y la señal X1 disminuye en una unidad” por la frase “cambia a un estado “Disminuye Pol” (31) donde la segunda salida X2 (11) de la máquina de estados finitos (9) aumenta en una unidad y la primera salida X1 (10) de la máquina de estados finitos (9) de la máquina de estados finitos (9) disminuye en una unidad”, lo cual encuentra soporte en la pág. 4 líneas 27 a 35 y en la FIG. 3;*
 - *se reemplazó la expresión “Comenzando en el estado “Inicio”, si la señal de entrada UP (7)” por la expresión “Comprobar la segunda salida DOWN (8) del detector de fase (6) en el estado “Inicio” (28), si la segunda salida DOWN (8) del detector de fase (6)”, lo cual encuentra soporte en la pág. 4 líneas 23 a 25, pág. 8 líneas 1 a 11, FIG. 1 y FIG. 2;*
 - *se reemplazó la frase “cambia al estado “Disminuye Pol” (31) donde la señal de salida X2 aumenta en una unidad y la señal X1 disminuye en una unidad” por la frase “cambia a un estado “Disminuye Pol” (31) donde la segunda salida X2 (11) de la máquina de estados finitos (9) aumenta en una unidad y la*

- primera salida X1 (10) de la máquina de estados finitos (9) disminuye en una unidad”, lo cual encuentra soporte en la pág. 4 líneas 27 a 35 y en la FIG. 3;
- se reemplazó la expresión “Comenzando en el estado “Aumenta Pol”(30), si la señal de entrada UP (7)” por la expresión “Comprobar la primera salida UP (7) del detector de fase (6) en el estado “Aumenta Pol” (30), si la primera salida UP (7) del detector de fase (6)”, lo cual encuentra soporte en la pág. 4 líneas 23 a 25, pág. 8 líneas 1 a 11, FIG. 1 y FIG. 2;
 - se reemplazó la expresión “Comenzando en el estado “Disminuye Pol” (31), si la señal de entrada DOWN (8)” por la expresión “Comprobar la primera salida DOWN (8) del detector de fase (6) en el estado “Disminuye Pol” (31), si la primera salida DOWN (8) del detector de fase (6)”, lo cual encuentra soporte en la pág. 4 líneas 23 a 25, pág. 8 líneas 1 a 11, FIG. 1 y FIG. 2;
 - se reemplazó la expresión “Comenzando en el estado “Aumenta Pol”(30), si la señal de entrada UP (7) cambia de un estado bajo a alto y DOWN (8)” por la expresión “Comprobar la primera salida UP (7) del detector de fase (6) en el estado “Aumenta Pol” (30), si la primera salida UP (7) y la segunda salida DOWN (8) del detector de fase (6)”, lo cual encuentra soporte en la pág. 4 líneas 23 a 25, pág. 8 líneas 1 a 11, FIG. 1 y FIG. 2;
 - se reemplazó la expresión “al estado “Guardar”(32) donde las señales X1 (10) y X2 (11) no se alteran” por la expresión “a un estado “Guardar” (32) donde la primera salida X1 (10) y la segunda salida X2 (11) de la máquina de estados finitos (9) no se alteran”, lo cual encuentra soporte en la pág. 4 líneas 27 a 35 y en la FIG. 3;
 - se reemplazó la expresión “Comenzando en el estado “Disminuye Pol”(31), si la señal de entrada DOWN (8) cambia de un estado bajo a alto y la señal de entrada UP (7)” por la expresión “Comprobar la segunda salida DOWN (8) del detector de fase (6) en el estado “Disminuye Pol” (31), si la segunda salida DOWN (8) y la primera salida UP (7) del detector de fase (6)”, lo cual encuentra soporte en la pág. 4 líneas 23 a 25, pág. 8 líneas 1 a 11, FIG. 1 y FIG. 2;
 - se reemplazó la expresión “pasa al estado “Guardar”(32) donde las señales X1 (10) y X2 (11) no se alteran” por la expresión “pasa al estado “Guardar” (32) donde la primera salida X1 (10) y la segunda salida X2 (11) de la máquina de estados finitos (9) no se alteran”, lo cual encuentra soporte en la pág. 4 líneas 23 a 25, pág. 8 líneas 1 a 11, FIG. 1 y FIG. 2;
 - se reemplazó la expresión “Comenzando en cualquiera” por la expresión “Comprobar la señal reset en cualquiera” en la Reivindicación 6 lo cual encuentra soporte en la FIG. 3 y la antigua Reivindicación 6;

- se corrige la numeración de la máquina de estados finitos en las Reivindicaciones 1 2 y 3, de (5) a (9) lo cual encuentra soporte en la FIG. 3;
- se corrige un error de tipografía en la expresión “l máquina pasa al estado “Inicio” (28)” por la expresión “la máquina pasa al estado “Inicio” (28)”.

Valga anotar que las modificaciones efectuadas en el Capítulo Reivindicatorio cumplen a cabalidad con lo estipulado en el Artículo 34 de la Decisión 486, ya que éstas de ninguna manera implican una ampliación de la protección correspondiente a la divulgación contenida en la solicitud original y por el contrario, éstas corresponden a una drástica limitación de la materia reivindicada.

2. a- El Examinador señala que la Reivindicación 6 no se considera una invención en concordancia con el Artículo 15 literales (a) al (f) de la Decisión 486 ya que hace referencia a un programa informático. El Examinador argumenta que dicha característica no puede ser objeto de patente porque se refiere a un software.

b- i) En primer lugar, me permito señalar que la prohibición de los literales (a) al (f), y en particular el literal (e) del Artículo 15 de la Decisión 486, solamente impide la patentabilidad de los programas de ordenadores o soporte lógico como tal, mas no de soluciones técnicas que pueden implementarse o ser asistidos por computador. En cualquier caso, cabe aclararse que la presente invención NO pretende reclamar un software o programa de ordenador o soporte lógico como tal, tampoco es un lenguaje de programación de software y NO corresponde a instrucciones (palabras, códigos o planes) que puedan ser incorporadas como tal en un dispositivo de lectura automatizada y ejecutadas por un ordenador, sino que por el contrario, la Reivindicación 6 al ser una reivindicación dependiente, en primer lugar hereda la característica de ser un método como el definido en la Reivindicación 5, el cual está definido por una serie de pasos, y en segundo lugar, la Reivindicación 6 corresponde a la limitación de específica del paso (b) de controlar las señales de salida de una máquina de estados finitos (9), la cual establece en detalle la secuencia que se lleva a cabo en dicho paso (b). Es decir, la Reivindicación 6 objetada corresponde a la secuencia de etapas que se llevan a cabo en la máquina de estados finitos (9), que entre otras, vale la pena aclarar al Examinador que dichas secuencias de etapas en la máquina de estados finitos corresponde a pasos con cambios lógicos representados en cambios de voltaje, es decir, cambio de estado de materia, que no es más que hardware.

Con el ánimo de ampliar el concepto de máquinas de estado y facilitar el entendimiento de dicho concepto, me permito señalar respetuosamente, que para una persona medianamente versada en la materia, una máquina de estados finitos se refiere a una descripción de un

proceso que puede ser implementado en hardware, en otras palabras es una forma de describir un proceso o secuencias de pasos y/o etapas que por ejemplo, en el caso particular representa cambios lógicos de voltaje en el hardware de la máquina de estados finitos, por ejemplo, mediante el cambio lógico de voltaje de compuertas lógicas o puertas lógicas¹, flip-flops (biestables)², etc., y en ningún momento puede ser comparado como codificación en software. De hecho, una máquina de estados finitos se utiliza para diseñar tanto programas de computadora como **circuitos lógicos secuenciales** que pueden cambiar de un estado a otro cuando es iniciado por un evento, lo cual se conoce como transición.

ii) No obstante, con el ánimo de aportar claridad de la Reivindicación 6 y siguiendo la amable recomendación del Examinador, me permito señalar que la Reivindicación 6 se modificó de tal manera que en lugar de describir los estados de la máquina de estados finitos, ahora se indican las etapas que lleva a cabo la máquina de estados finitos para controlar sus señales de salida de acuerdo con las salidas de del detector de fase, es decir, se indican los pasos que lleva a cabo el hardware asociado al método de compensación de tensión de offset de circuitos electrónicos. Es evidente que la Reivindicación 6 establece con claridad los pasos particulares llevados a cabo por el circuito de compensación en el paso de controlar las señales de salida de la máquina de estados finitos, por lo que considero superada la anterior objeción.

3. a- El Examinador eleva las siguientes objeciones de claridad al Capítulo Reivindicatorio:

- la siguiente frase en la Reivindicación 1 no es clara porque según el estado de la técnica y el dibujo aportado por el solicitante, las salidas (4) y (5) hacen referencia a terminales de polarización de un amplificador diferencial: “*un comparador dinámico (1) que tiene una primera salida (4) y una segunda salida (5)*”;
- en la siguiente frase de la Reivindicación 5 no es claro quien realiza la acción de “*conectar un comparador dinámico a la salida del circuito electrónico*”, si es hecha por el usuario o por el dispositivo, ya que como se encuentra escrito parece ser un método de operación que llevaría a un posible uso el cual no se considera patentable.

b- i) En primer lugar, respecto a la expresión “*un comparador dinámico (1) que tiene una primera salida (4) y una segunda salida (5)*”, difiero respetuosamente de la observación del Examinador en tanto que la invención reclama un comparador dinámico

¹ Principios de diseño digital, Gajski, Daniel. PRENTICE HALL, INC. (2000) pág. 246 Figuras 6.13(a) y (b), páginas 248 y 249.

² Ídem. 1.

para compensar tensión de offset en circuitos que es diferente a al amplificador operacional de D1, para una persona medianamente versada en la materia es entendible que la simbología corresponde a un comparador dinámico comparable con los de los artículos (HeungJun & Yong-Bin, 2011)³ (Katyal et al, 2006)⁴ y no a un amplificador operacional y por tanto no son comparables los terminales de salida de un comparador dinámico con las salidas de un amplificador operacional conocido en el arte.

ii) Con el ánimo de aportar claridad de la Reivindicación 5 y siguiendo la amable recomendación del Examinador, me permito señalar que la Reivindicación 5 se modificó de tal manera que se eliminaron las etapas a) y e) quitando la ambigüedad del uso que estaba tratando de decir los pasos de “conectar” y que correspondían a una descripción estructural del circuito para compensar la tensión de offset de circuitos electrónicos del invento, ahora se indican **únicamente los pasos que corresponden al método** para compensar la tensión de offset de circuitos electrónicos y consideramos que de esta manera la Reivindicación 5 es mucho más clara. Así las cosas, es evidente que la Reivindicación 5 establece con claridad las etapas específicas llevadas a cabo por el método por lo que considero superada la anterior objeción.

Así, a la luz de las modificaciones y argumentos planteados anteriormente, considero que el Capítulo Reivindicatorio Modificado adjunto cumple con los requisitos de claridad y concisión establecidos en la Decisión 486, y a la luz del MAP y la Guía de la SIC, permitiéndole a la persona medianamente versada en la materia comprender inequívocamente el alcance de la materia reclamada.

4. a- El Examinador considera que el documento US 7,944,248 (D1) afecta la novedad de las Reivindicaciones 1, 2 y 3 de la presente invención.

Particularmente, el Examinador argumenta que D1 divulga un circuito puede incluir un comparador, un divisor de resistencia, un circuito de control y un multiplexor. El comparador compara una tensión de alimentación interna del circuito con una tensión de referencia seleccionada. El divisor de resistencia genera voltajes de referencia. El circuito de control recibe una señal de salida del comparador y genera una señal de selección. El multiplexor transmite uno de los voltajes de referencia desde el divisor de resistencia al comparador como la tensión de referencia seleccionada en respuesta a la señal de selección.

³ Offset Voltage Analysis of Dynamic Latched Comparator. HeungJun & Yong-Bin. 2011. 10.1109/MWSCAS.2011.6026358 (<https://ieeexplore.ieee.org/document/6026358/references#references>). Pág. 3, FIG. 3(a). Adjunto a este memorial para inmediata referencia del Examinador.

⁴ A New High Precision Low Offset Dynamic Comparator for High Resolution High Speed ADCs. Katyal et al, (APCCAS 2006). DOI:10.1109/APCCAS.2006.342249 (<https://ieeexplore.ieee.org/document/4145318/authors#authors>). Pág. 3, FIG 3. Adjunto a este memorial para inmediata referencia del Examinador.

b- i) En primer lugar, me permito señalar que la Reivindicación 1 de la invención reclama un circuito para compensar la tensión de offset de circuitos electrónicos que comprende:

- un comparador dinámico (1) que tiene una primera salida (4) y una segunda salida (5), ambas salidas conectadas a una interface de datos de los circuitos electrónicos;
- un detector de fase (6) conectado a la primera salida (4) y la segunda salida (5) del comparador dinámico (1), el detector de fase (6) tiene una primera salida UP (7) y una segunda salida DOWN (8);
- una máquina de estados finitos (9) conectada a la primera salida UP (7) y la segunda salida DOWN (8) del detector de fase (6), la máquina de estados finitos (9) tiene una primera salida X1(10) y una segunda salida X2 (11);
- un primer convertidor digital-analógico (12) conectado a la primera salida X1 (10) de la máquina de estados finitos (9);
- un segundo convertidor digital-analógico (13) conectado a la segunda salida X2 (11) de la máquina de estados finitos (9); y,
- un bloque de polarización (14) con una primera entrada (15) conectada a la salida del primer convertidor digital-analógico (12) y una segunda entrada (16) conectada a la salida del segundo convertidor digital-analógico (13);

donde el bloque de polarización (14) polariza un circuito electrónico (17) y el comparador dinámico (1), el detector de fase (6), y la máquina de estados finitos (9) están conectados a una señal de reloj (3).

Como se indica, el presente invento se refiere a un circuito que compensa la tensión de offset de circuitos electrónicos, en donde la salida del comparador dinámico es una señal de tensión diferencial (salida del comparador dinámico) que se aplica a la interface de datos de los circuitos electrónicos y al detector de fase, el detector de fase mide la diferencia entre las fases de dicha señal de tensión diferencial, con base a la diferencia de fases la máquina de estados finitos recibe instrucción de aumentar o disminuir sus salidas, estas salidas de la máquina de estados finitos se convierten en señales analógicas mediante el uso de convertidores digital-analógicos que modifican la corriente de polarización del circuito electrónico y el comparador dinámico genera una tensión con polaridad opuesta a la tensión de offset del circuito electrónico y del comparador dinámico, producto de la modificación de la corriente de polarización en el bloque de polarización del circuito electrónico se compensa la tensión de offset en la interface de datos de los circuitos electrónicos.

iii) Ahora bien, en relación con el arte previo citado, me permito señalar que D1 divulga un circuito para medir voltajes en un circuito mediante un comparador y un

generador de tensiones de referencia resistivo. Dicho circuito comprende un comparador, una máquina de estados finitos, un primer multiplexor, dos grupos de resistencias un amplificador de ganancia unitaria y multiplexores adicionales (página 12, columna 7 líneas 7 a 11), los dos grupos de resistencias están conectados a la entrada del primer multiplexor, la salida del primer multiplexor está conectada a la entrada del amplificador de ganancia unitaria y a la entrada del comparador por medio de los multiplexores adicionales, y conectado a la salida de la máquina de estados finitos, la salida del comparador corresponde a la salida del circuito y está conectada a la entrada de la máquina de estados finitos, la salida del amplificador de ganancia unitaria está conectada a la entrada del comparador por medio de multiplexores adicionales (FIG. 3).

iii) Análisis de novedad de D1 (Reivindicación 1): De acuerdo con lo anterior, en primer lugar me gustaría señalar que D1 no se encuentra en el mismo campo técnico del presente invento, pues D1 hace referencia a la medición general de tensiones, que como la persona medianamente versada en la materia debe saberlo, es muy común en la práctica. Por el contrario, D1 no se refiere con la medición de *offset* usando fases de una señal diferencial en una interface de datos, como se reclama en la presente invención. Como se describe en la presente invención, el detector de fase cambia sus salidas con base en la diferencia de fase de las señales de entrada compensando el offset de los circuitos electrónicos proporcionalmente a dicha diferencia de fases mediante una máquina de estados finitos conectada a un comparador dinámico por medio de un circuito electrónico polarizado por un bloque de polarización a través de conversores digital-analógicos que reciben las salidas de la máquina de estados finitos. Así las cosas, el presente invento se diferencia de D1 de la siguiente manera:

- D1 no divulga un comparador dinámico (1) que tiene una primera salida (4) y una segunda salida (5), ambas salidas conectadas a una interface de datos de los circuitos electrónicos sobre la cual se compensa la tensión de offset. Por el contrario, D1 divulga un comparador que puede ser un amplificador operacional (Col 1 pág. 10, líneas 31 y 32 de D1). Ésta característica permite que la salida del circuito de la presente invención sea una señal de tensión diferencial (ver cuadro color amarillo en Tabla 1 del presente memorial más abajo) a las cuales se les mide el cambio de fase mediante el detector de fase para realizar la compensación de la tensión de offset de circuitos electrónicos y no una única señal como en D1 en el cual se hace una medición de una única tensión (ver óvalo color rojo en Tabla 1 del presente memorial más abajo);

- D1 no divulga que el detector de fase esté conectado a las salidas del comparador dinámico, y que además el detector de fase tenga unas salidas. Por el contrario, D1 lo que divulga es que el circuito de medición de tensión se implementa en una FPGA (ver cuadro color morado en Tabla 1 del presente memorial más abajo), D1 también divulga que en dicha FPGA se pueden implementar otros circuitos como por ejemplo: un circuito de lazo de fijación de fase. Sin embargo, una persona medianamente versada en la materia entiende que un circuito de lazo de fijación de fase no es un detector de fase como el de la presente invención. Adicionalmente, la persona medianamente versada en la materia sabe que aún sí se tratase de un detector de fase, el documento D1 no divulga como está conectado estructuralmente dicho detector de fase con los elementos electrónicos que comprende el circuito de medición de D1, por lo que no es comparable con el detector de fase de la invención (ver cuadro color morado en Tabla 1 del presente memorial más abajo);
- D1 no divulga una máquina de estados finitos conectada a las salidas del detector de fase, y que además la máquina de estados finitos tenga unas salidas. Por el contrario, D1 lo que divulga es que la máquina de estados finitos está conectada a la salida del comparador y las salidas de la máquina de estado conectadas a multiplexores, a un primer multiplexor y a un amplificador de ganancia unitaria (FIG. 3 de D1) (ver cuadro color azul en Tabla 1 del presente memorial más abajo);
- D1 no divulga convertidores digital-analógicos conectados a la salida de la máquina de estados finitos. Por el contrario, D1 lo que divulga es que las salidas de la máquina de estado están conectadas directamente a multiplexores adicionales, a un primer multiplexor y a un amplificador de ganancia unitaria (FIG. 3 de D1) (ver óvalo color morado en Tabla 1 del presente memorial más abajo). En este punto vale la pena señalar que el Examinador erróneamente interpreta la señal de salida de la máquina de estados conectada una fuente de corriente programable con conversores digital-analógicos, en la que la salida de dicha fuente de corriente programable está conectada a la entrada no inversora de un amplificador operacional. Por el contrario, la salida de dicho amplificador operacional está conectada a la entrada de la máquina de estados (ver FIG. 4 de D1).

D1 no divulga un bloque de polarización con entradas conectadas a las salidas de los convertidores digital-analógicos. Por el contrario, D1 lo que divulga es que una salida de la máquina de estado está conectada directamente a un amplificador de ganancia unitaria (FIG. 3 de D1). Si bien D1 divulga amplificador de ganancia unitaria, este no es un circuito electrónico (17) debido a que el circuito electrónico (17) puede estar conformado por diferentes circuitos electrónicos, por ejemplo, amplificadores, conectados en cascada, en serie, en paralelo y combinaciones de las anteriores configuraciones (página 5, líneas 5 a 9) lo que es estructuralmente diferente a amplificador divulgado en D1, (ver óvalo color naranja en Tabla 1 del presente memorial más abajo).

Tabla 1. UBICACIÓN DE LOS ELEMENTOS DE LA INVENCION DE D1

D1	FIG. 3
----	---------------------------

En este punto es importante resaltar que para fundamentar una afectación válida contra la novedad de una invención, el arte previo debe divulgar explícitamente todas y cada una de las características de la invención.⁵ Es más, el Tribunal Andino de Justicia (TAJ) ha determinado que para establecer una objeción válida contra la novedad, la divulgación del arte previo debe ser lo suficientemente detallada para que una persona versada en la materia pueda usar dicha información para reproducir y explotar la invención.⁶ En el presente caso, los elementos revelados en D1 resultan diferentes al dispositivo reclamado en el Capítulo Reivindicatorio Modificado, por lo que este es sin duda novedoso frente al arte previo citado. Además, las reivindicaciones dependientes por su condición de dependencia heredan las características novedosas e inventivas de la reivindicación de la que dependen.

5. Por todo lo anterior, considero que las objeciones presentadas por El Examinador en su examen de fondo han sido resueltas y por consiguiente solicito respetuosamente que el Despacho tenga por cumplidos los requisitos de patentabilidad y proceda con la concesión de la patente.

Atentamente,



CARLOS R. OLARTE

C.C. No. 79.782.747 de Bogotá

T.P. 74.295

Anexos:

- Capítulo Reivindicatorio Modificado
- Documento: Offset Voltage Analysis of Dynamic Latched Comparator
- Documento: A New High Precision Low Offset Dynamic Comparator for High Resolution High Speed ADCs

⁵ Manual Andino de Patentes. (2004). Sección 9.4. (disponible en <http://www.comunidadandina.org/public/patentes.pdf>).

⁶ Proceso 06-IP-89 (<http://intranet.comunidadandina.org/Documentos/Procesos/209-IP-2005.doc>); y Proceso 36-IP-2004 (<http://www.notinet.com.co/serverfiles/servicios/archivos/30jul04/ca36-04.htm>)

A New High Precision Low Offset Dynamic Comparator for High Resolution High Speed ADCs

Vipul Katyal, Randall L. Geiger and Degang J. Chen

Dept. of Electrical and Computer Engineering

Iowa State University

Ames, Iowa, USA

katyal@iastate.edu, rlgeiger@iastate.edu, djchen@iastate.edu

Abstract— A new low offset dynamic comparator for high resolution high speed analog-to-digital application has been designed. Inputs are reconfigured from the typical differential pair comparator such that near equal current distribution in the input transistors can be achieved for a meta-stable point of the comparator. Restricted signal swing clock for the tail current is also used to ensure constant currents in the differential pairs. Simulation based sensitivity analysis is performed to demonstrate the robustness of the new comparator with respect to stray capacitances, common mode voltage errors and timing errors in a TSMC 0.18 μ process. Less than 10mV offset can be easily achieved with the proposed structure making it favorable for flash and pipeline data conversion applications.

Keywords—dynamic comparator, offset, ADC, pipeline, flash

I. INTRODUCTION

In today's world, where demand for portable battery operated devices is increasing, a major thrust is given towards low power methodologies for high resolution and high speed applications. This reduction in power can be achieved by moving towards smaller feature size processes. However, as we move towards smaller feature size processes, the process variations and other non-idealities will greatly affect the overall performance of the device in question. One such application where low power, high resolution and high speed are required is Analog-to-Digital Converters (ADCs) for mobile and portable devices. The performance limiting blocks in such ADCs are typically inter-stage gain amplifiers and comparators. In the literature one will find that a major emphasis has been made in regard to the inter-stage gain amplifiers but very little effort has been made towards the design of comparators. The accuracy of such comparators, which is defined by its offset, along with power consumption is of keen interest in achieving overall higher performance of ADCs. In the past, pre-amplifier based comparators have been used for ADC architectures such as flash and pipeline. The main drawback of pre-amplifier based comparators is the high constant power consumption. To overcome this problem, dynamic comparators are often used that make a comparison once every clock period and require much less power as compared to the pre-amplifier based comparators. However, these dynamic comparators suffer from large offsets making

them less favorable in flash based ADC architectures. In pipeline ADCs, digital correction techniques along with adequate over-range protection can tolerate such large offsets.

In the literature, a few dynamic comparators can be found, e.g. Resistor divider (or Lewis-Gray) [1], Differential pair [2], Capacitive differential pair [3]-[4], however, very little emphasis is placed on actual details of operation of these structures [5]. Few authors talk about how non-idealities due to process variation affect these structures along with experimental results to compare offset values of different structures [5]. These experimental offset values vary from 75mV to 300mV. However, the literature is devoid of any information on how other non-idealities such as imbalance in parasitic capacitors, common mode (CM) voltage errors or clock timing errors affect these structures. The operation and the effects of non-idealities of such dynamic comparators have been investigated in this paper. A new dynamic comparator structure which achieves a low offset has been developed. In the new comparator structure, inputs are reconfigured [6]-[7] from the typical differential pair comparator [2] so that each differential pair branch contributes equal current at the meta-stable operating point (or trip point) along with keeping the differential pair's tail current in saturation region. Comparison of the new architecture with respect to typical differential pair structure [2] is made as both structures share the same base structure. Simulation based sensitivity analysis with respect to different non-idealities has been carried out to validate the advantages of the new structure over typical differential pair comparator.

II. DYNAMIC COMPARATOR DESIGN

A. Differential Pair Comparator

A fully differential typical dynamic comparator is shown in Fig. 1 [2]. The comparator consists of two cross coupled differential pairs with inverter latch at the top. Comparison is made based on the inverter currents, which are related to the inputs, when the ϕ_{clk} goes high. The trip point can be changed by appropriate input transistor sizing [2], [5].

Few points are worth noting in regard to the problems present in this structure. The first drawback of this comparator is related to the clocking of the tail current. When clock signal goes high, the tail current will go into linear region and will be

This work is supported in part by the Semiconductor Research Corporation.

function of the inputs of the respective differential pair. If there are any non-idealities or mismatches present (from the point of view of symmetry), the two inverter tail currents will not be same and will result in large offset for the comparator. The second problem is related to the inputs of a differential pair. A large difference between the two inputs to a differential pair will result in the turning off one of the differential pair transistor and all of the tail current will be drawn into the other transistor. Hence, in effect comparator will be only comparing V_{in}^+ with V_{ref}^+ (or V_{in}^- with V_{ref}^-) rather than a comparison of differential V_{in} with differential V_{ref} . The third potential problem is associated with the previous code dependent biased decision. This can happen if there is some charge imbalance left from previous decision at one of the nodes of the comparator which can affect next decision.

To overcome the drawbacks of the typical differential pair mentioned above, a new dynamic comparator has been proposed in the next sub-section which addresses the above listed problems.

B. Proposed Comparator

Proposed dynamic comparator structure is shown in Fig. 2. Operation of this dynamic comparator is same as the typical case. Here also the decision is been made during the period when the ϕ_{clk} goes high. The comparator will have a meta-stable point when both the inverter currents are same.

Few modifications have been made to this structure as compared to the typical structure. The first modification is related to the tail current clock signal. Instead of using the same clock as that for the top switches, which goes from V_{SS} to V_{DD} , a same phase restricted voltage swing clock ($\phi_{clk,B}$) has been used, i.e. $\phi_{clk,B}$ high is less than V_{DD} , which can be easily generated from the main clock by using desired high voltage of an inverter or by using resistor ladder. The restricted swing clock is used to ensure that differential pair tail current remains in the saturation region rather than going into linear region. Thus a constant tail current is achieved. This is very important during the time the comparator is making a decision. The second modification is related to the input signals. As pointed out in the typical differential pair comparator, one of the input transistors will be turned off if there is a large input differential and will result in the comparison of two signals rather than comparison of the two differential signals. To address this problem V_{in}^+ and V_{ref}^+ (and V_{in}^- and V_{ref}^-) are combined in one differential pair as compared to V_{in}^+ and V_{in}^- (and V_{ref}^+ and V_{ref}^-) [6]-[7]. Hence, for a case where all the input transistors are of the same size and no imbalance is present, at the trip point of the comparator, the transistors M_1 and M_2 will have same current, as well as, M_3 and M_4 will have same current. Therefore, all four input transistors will contribute respective currents for making a decision.

The third possible modification is related to the previous code dependent errors. To address this issue, the internal nodes, D_1 and D_2 , can be reset to V_{DD} during the phase when the comparator is not making a decision, i.e. when ϕ_{clk} is low [8]. This will ensure all the internal nodes are reset before the comparator goes into the decision mode. However, if parasitic capacitance imbalance is present between D_1 and D_2 , resetting

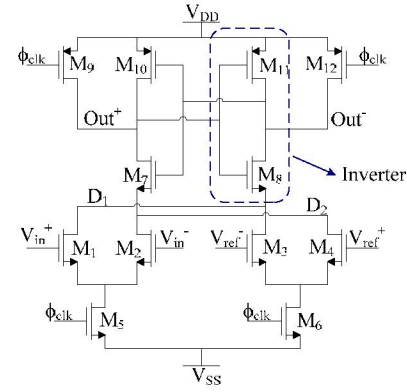


Figure 1. Fully differential typical dynamic comparator

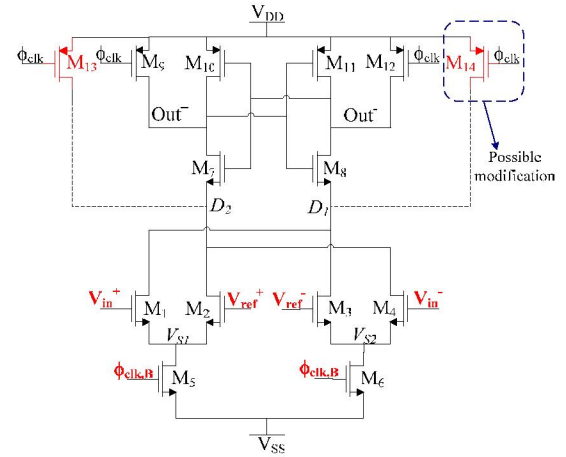


Figure 2. Proposed dynamic comparator

these nodes to V_{DD} can increase the offset.

III. SENSITIVITY ANALYSIS

To understand how different variables can affect the offset of a comparator, sensitivity analysis is required. For this all the variables need to be identified. The main variables for a comparator will be widths and lengths, threshold voltages and mobilities of all transistors, input and reference CM voltages, clock signals' high and low voltages along with rise and fall timings, different parasitic node capacitances etc. Robustness of comparator will be defined by small sensitivity to these variables. Common centroid layout techniques for matching critical transistors along with the use of dummy transistors will reduce the mismatches associated with transistors. Hence, the most important, less studied and comparator performance restricting variables will be the parasitic capacitance imbalance between axis symmetric nodes of the comparator. If the comparator is symmetric, also with respect to all non-idealities,

then the comparator offset will be zero. Clock timing errors and CM voltage errors will also contribute to the offset.

Before we define the sensitivity of a comparator with respect to a variable, we need to define the offset of a comparator. The offset of a comparator can be defined by additional differential input signal from the ideal differential input to achieve a desired output, Fig. 3. Sensitivity of the comparator can then be defined as,

$$S_X^{V_{OS}} = \frac{V_{OS}}{\Delta X} \quad (1)$$

where ΔX is the amount of imbalance in the variable. Therefore, the sensitivity is directly proportional to the offset and smaller value of offset will imply lesser sensitivity of the comparator to the respective variable.

IV. SIMULATION RESULTS

The typical structure, Fig. 1, and the proposed structure, Fig. 2, are designed in TSMC 0.18 μ process. Key values used for both structures are listed in Table I and the CM voltages for the inputs and the references are assumed to be at 0V. To show the combined advantages of input reconfiguration and restricted clock, both the structures are simulated (transient) for static offset performance with two different tail current clocks (ϕ_{clk} and $\phi_{clk,B}$). Transient simulations are carried out with minimum differential step size of 0.4mV.

First consider that an additional parasitic capacitance (C_p) is present at the negative output node (OUT^-). Table II lists the approximate simulated offset voltages for two different C_p values. The offset low value in Table II, as well as for other tables, is defined by the maximum additional differential input voltage over differential reference which still results in V_{OUT}^+ to go to V_{SS} , whereas, offset high value is defined by the minimum additional differential input voltage over differential reference needed to make V_{OUT}^+ to go to V_{DD} . Ideally both these values should be same but due to previous decision of the comparator the offset low and high can easily be different. In that case, the region between offset low and high will be an undefined region as the output of the comparator will be function of previous input values. In average sense, offset can also be defined by the average value of offset low and high. For C_p of 2fF, the offset is more than 80mV for the typical differential pair with tail clock of ϕ_{clk} , whereas, it drops to around 30mV for the proposed structure with the same tail current clock and further drops to around 1mV with modified restricted tail clock ($\phi_{clk,B}$). Hence, a factor of at least 80 reduction in offset can be achieved when the proposed structure with restricted clock is used as compared to the typical differential pair structure with tail clock of ϕ_{clk} for output node parasitic imbalance of 2fF case. Table III summarizes the simulated offset values for the case when the additional parasitic capacitance is present at the OUT^- and the internal nodes D_1 and D_2 are reset to V_{DD} when clock is low. In this case, the proposed structure with $\phi_{clk,B}$ has offset less than 0.5mV, whereas, for the typical differential pair with ϕ_{clk} it can be easily more than 40mV. This suggests that resetting D_1 and

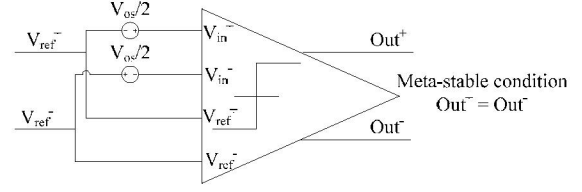


Figure 3. Dynamic comparator offset definition

TABLE I. KEY VALUES USED FOR SIMULATIONS

Power Supply	$V_{DD} = 0.9V$, $V_{SS} = -0.9V$
Input transistor sizing	$W/L = (6\mu / 0.4\mu) \times 4$
Tail current transistor sizing	$W/L = (6\mu / 0.4\mu) \times 2$
Inverter transistor sizing	PMOS: $W/L = (0.7\mu / 0.35\mu) \times 4$
	NMOS: $W/L = (0.75\mu / 0.35\mu) \times 1$
	Rise and Fall time = 10ps
	Pulse width = 5ns; Period = 10ns
Clocks	ϕ_{clk} : High = 0.9V; Low = -0.9V
	$\phi_{clk,B}$: High = -0.3V; Low = -0.9V
Reference	$V_{ref}^+ = 187.5mV$; $V_{ref}^- = -187.5mV$
Switches (PMOS)	$W/L = 1.5\mu / 0.4\mu$

D_2 to V_{DD} when clock is low can further reduce the offset in the proposed structure and make the structure robust to the parasitic imbalance at the output node.

Similar simulations are performed for the case when there is an additional parasitic capacitance at the internal node D_1 . Table IV and V summarizes the simulated offset values for $C_p = 2fF$ and $4fF$. For the case where internal nodes D_1 and D_2 are untouched, the proposed structure with $\phi_{clk,B}$ has offset less than 1mV, whereas, for the typical differential structure with ϕ_{clk} is significantly large. If the internal nodes, D_1 and D_2 , are pulled to V_{DD} during the phase when clock is low, the typical structure with ϕ_{clk} has around 38mV offset for $C_p = 4fF$, and the offset drops to 7mV for the propose structure with $\phi_{clk,B}$. In this case, parasitic imbalance at the internal node causes more offset if these internal nodes are to reset to V_{DD} , making the comparator more sensitive to this kind of imbalance. For a comparator with common centroid layout design, this imbalance of the parasitic capacitance can be easily reduced. However, the output nodes will have two gate capacitances, three diffusion capacitances, interconnect capacitances and the capacitance coming from circuitry connected to these nodes. To reduce the capacitive load and the error in it, a cascade of two inverters should be used. Still significant capacitance imbalance at the output nodes can be present. Therefore, resetting the internal nodes D_1 and D_2 can help in reducing the overall comparator offset.

Another source of non-ideality can come from the CM voltage errors. Input signal CM voltage can differ from reference CM voltage due to previous inter-stage gain amplifier in a pipeline ADC or due to mismatches in different components. Table VI summarizes offsets due to input CM voltage error. For the typical structure without D_1 and D_2 reset

to V_{DD} , the offset is expected to be at least twice the CM voltage error as one of the transistors in the differential pair is nearly turned off and only comparison of one input value to the corresponding reference value will be made. Therefore, to reach meta-stable point, the input has to compensate for the CM voltage error first. However, for the proposed structure, small CM voltage error will cause nearly similar percentage change in the current of M_1 and M_4 transistors (and also opposite sign percentage change in M_2 and M_3 transistor currents). As the sum of M_1 and M_3 transistor currents is compared to that of M_2 and M_4 , the overall error will be reduced and will result in smaller offset. The last source of error considered here is due to timing error in the clocking scheme. For this it is assumed that the clocks for the switches used to reset OUT^+ and D_2 nodes to V_{DD} are delayed or advanced by 1ps. Table VII lists the offset voltages for this case. From the point of view of CM voltage errors and the timing errors, the proposed structure shows less sensitivity to such errors as compared to the typical differential pair and resetting D_1 and D_2 nodes can further reduce the offset. In both cases, offset can be reduced from tens of milli-volt range for typical differential pair structure to only milli-volt range.

V. CONCLUSIONS

A new dynamic comparator was proposed for high speed high resolution ADC application. In the new design, inputs were reconfigured from the typical structure along with a use of restricted clock for the tail current. Simulation based sensitivity analysis was carried out with respect to imbalance in parasitic capacitances, CM voltage errors and timing errors. The proposed structure shows significantly lower sensitivity to the errors as compared to the typical structure. Reset of the input transistor drain nodes and use of buffers at the output nodes can further reduce the offset. The modifications made to the typical differential pair dynamic comparator can easily reduce the overall offset to only few milli-volts as compared to hundreds of milli-volts.

REFERENCES

- [1] T. B. Cho, P. R. Gray, "A 10 b, 20 Msample/s, 35mW Pipeline A/D Converter," IEEE JSSC, vol. SC-30, pp. 166-172, Mar. 1995.
- [2] L. Sumanen, M. Waltari, K. Halonen, "A Mismatch Insensitive CMOS Dynamic Comparator for Pipeline A/D Converters," IEEE ICECS, vol. 1, pp. 32-35, Dec. 2000.
- [3] M. Waltari, K. Halonen, "1-V 9-Bit Pipelined Switched-Opamp ADC," IEEE JSSC, vol. 36, pp. 129-134, Jan. 2001.
- [4] Y. Chiu, P. R. Gray, B. Nikolić, "A 14-b 12-MS/s CMOS Pipeline ADC With Over 100-dB SFDR," IEEE JSSC, vol. 39, pp. 2139-2151, Dec. 2004.
- [5] L. Sumanen, M. Waltari, V. Hakkarainen, K. Halonen, "CMOS Dynamic Comparators for Pipeline A/D Converters," IEEE ISCAS, vol. 5, pp. 157-160, May 2002.
- [6] V. Savengsveksa, P. L. Heedley, T. Matthews, K. Ahmad, J. Negrete, "An 8-b 20-Msample/s Pipelined A/D Converter in 0.5-μm CMOS with 7.8 ENOB," IEEE MWSCAS, pp. 409-412, Aug. 2005.

- [7] T. W. Matthews, P. L. Heedley, "A Simulation Method for Accurately Determining DC and Dynamic Offset in Comparators," IEEE MWSCAS, pp. 1815-1818, Aug. 2005.
- [8] B. M. Min, P. Kim, F. W. Bowman, D. M. Boisvert, A. J. Aude, "A 69-mW 10-bit 80-Msample/s Pipelined CMOS ADC," IEEE JSSC, vol. 38, pp. 2031-2039, Dec. 2003.

TABLE II. COMPARATOR OFFSET DUE TO C_P AT OUT^-

Structure	C_P (fF)	Offset Voltages (Low, High) (mV)	
		Tail current clock: ϕ_{clk}	Tail current clock: $\phi_{clk,B}$
Typical	1	(25, 82)	(-205, 221)
Diff. pair	2	(85, 154)	(-202, 237)
Proposed structure	1	(15.2, 15.6)	(-0.8, -0.4)
	2	(31.2, 31.6)	(-1.0, -0.6)

TABLE III. OFFSET DUE TO C_P AT OUT^- WITH D_1 AND D_2 RESET

Structure	C_P (fF)	Offset Voltages (Low, High) (mV)	
		Tail current clock: ϕ_{clk}	Tail current clock: $\phi_{clk,B}$
Typical	1	(19, 20.2)	(-25, 32)
Diff. pair	2	(40.4, 41.8)	(-18, 41)
Proposed structure	1	(8.2, 8.6)	(-0.4, 0)
	2	(16.4, 16.8)	(-0.4, 0)

TABLE IV. OFFSET DUE TO C_P AT D_1 NODE

Structure	C_P (fF)	Offset Voltages (Low, High) (mV)	
		Tail current clock: ϕ_{clk}	Tail current clock: $\phi_{clk,B}$
Typical	2	(-10, 38)	(-199, 226)
Diff. pair	4	(1, 52)	(-196, 229)
Proposed structure	2	(3.8, 4.2)	(0, 0.4)
	4	(7.6, 8.0)	(0.2, 0.6)

TABLE V. OFFSET DUE TO C_P AT D_1 NODE WITH D_1 AND D_2 RESET

Structure	C_P (fF)	Offset Voltages (Low, High) (mV)	
		Tail current clock: ϕ_{clk}	Tail current clock: $\phi_{clk,B}$
Typical	2	(18.8, 20)	(429, -)
Diff. pair	4	(38.8, 40.2)	(>1000, -)
Proposed structure	2	(8.4, 8.8)	(3.2, 3.6)
	4	(16.8, 17.2)	(6.4, 6.8)

TABLE VI. OFFSET DUE TO I/P COMMON MODE VOLTAGE ERRORS

Structure	CM errors (mV)	Offset Voltages (Low, High) (mV)	
		D_1 & D_2 not reset to V_{DD}	D_1 & D_2 reset to V_{DD}
Typical with	10	(-32, 14)	(-11, -9)
tail clk ϕ_{clk}	-10	(-12, 35)	(9, 11)
Proposed with	10	(-2.2, -1.8)	(-1.2, -0.8)
tail clk $\phi_{clk,B}$	-10	(1.8, 2.2)	(0.8, 1.2)

TABLE VII. OFFSET DUE TO CLOCK TIMING ERRORS

Structure	Delay (ps)	Offset Voltages (Low, High) (mV)	
		D_1 & D_2 not reset to V_{DD}	D_1 & D_2 reset to V_{DD}
Typical with	1	(-17, 29)	(0, 1.2)
tail clk ϕ_{clk}	-1	(-26, 19)	(-1.2, 0)
Proposed with	1	(0.6, 1)	(0, 0.4)
tail clk $\phi_{clk,B}$	-1	(-1, -0.6)	(-0.4, 0)