

REPÚBLICA DE COLOMBIA
SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO

Oficio N° **764** de **22 de enero de 2020**

Ref. Expediente N° NC2017/0012418

Señor(a)
UNIVERSIDAD INDUSTRIAL DE SANTANDER

TÍTULO DE LA SOLICITUD: **“GENERADOR DE RELOJ MEDIANTE SÍNTESIS DIGITAL”**

Como resultado del examen de patentabilidad realizado a la solicitud indicada en la referencia, atendiendo a lo consagrado en el artículo 45 de la Decisión 486 de 2000, se le comunica que esta Dirección ha encontrado que la materia objeto de solicitud no cumple con algunos requisitos establecidos en la Decisión, con fundamento en los siguientes aspectos:

1. Modificaciones presentadas (Art. 34 Decisión 486)

Se aceptan las modificaciones radicadas el 14 de febrero de 2018, bajo el número NC2017/0012418, por ajustarse a los requisitos legales.

2. Objeto de la invención

De acuerdo con lo establecido en el numeral 1.2.2.2 del Capítulo Primero del Título X de la Circular Única para efectos del examen de patentabilidad, cuando la solicitud contenga más de diez (10) reivindicaciones y no se haya pagado la tasa complementaria, sólo se estudiarán las cubiertas por la tasa pagada al momento de realizar el examen de patentabilidad consagrado en el artículo 45 de la Decisión 486. Por lo tanto, se estudiarán las reivindicaciones 1 a 3 del radicado N° NC2017/0012418 del 14 de febrero de 2018.

El problema planteado en esta solicitud consiste en la necesidad de diseñar e implementar un generador de reloj que permita su integración en sistemas limitados por área así como disminuir el impacto referente a variaciones de temperatura y defectos de fabricación.

Para resolver este problema técnico, la solicitud en estudio proporciona un generador de oscilaciones mediante síntesis digital y su proceso de ejecución caracterizados por un osciladores en anillo, interpoladores de fase, un detector Bang-Bang de fase, un circuito de voto mayor, un elemento con ganancia proporcional, un elemento con ganancia integral, un acumulador integral, un acumulador de fase y un selector. El generador contiene dos loops, dedicados a realizar la síntesis de frecuencia, corregir variaciones de temperatura y defectos de fabricación, todos los dispositivos operan en el dominio digital y son completamente sintetizados.

3. De la solicitud de patente

3.1. Reivindicaciones (Art. 30 Decisión 486)

Las reivindicaciones 1 y 2 presentan falta de concisión ya que presentan la misma materia reclamada. Por lo tanto, se sugiere dejar una única reivindicación, y en caso de incluir características diferentes particulares incluir reivindicaciones dependientes.

4. Determinación del Estado de la Técnica

Oficio N° 764 de 22 de enero de 2020

Ref. Expediente N° NC2017/0012418

La fecha para determinar el estado de la técnica es el 30 de noviembre de 2017 que corresponde a la fecha de presentación nacional.

Consultadas las fuentes de información con que se cuenta, se encontró el siguiente documento que anticipa el objeto de esta solicitud:

Ítem	Documento	Título	Fecha de Publicación
D1	Hanumolu (2008) ¹	“A Wide-Tracking Range Clock and Data Recovery Circuit”	2 de febrero de 2008

El documento D1¹ divulga un circuito híbrido analógico-digital de cuarto de frecuencia y circuito de recuperación de datos (CDR) que logra un amplio rango de seguimiento y una excelente resolución de seguimiento de frecuencia y fase. Un bucle de bloqueo de fase analógico sintonizado dividido (PLL) proporciona ocho fases igualmente espaciadas necesarias para la recuperación de datos a un cuarto de tasa y el bucle CDR digital ajusta la fase de los relojes de salida PLL de manera precisa para facilitar el reloj plesiócrono. El CDR emplea un filtro de bucle digital de segundo orden y combina la modulación delta-sigma con el PLL analógico para lograr una resolución de fase por debajo del picosegundo y una resolución de frecuencia superior a 2 ppm (Resumen, líneas 1 a 10).

5. Examen de Patentabilidad (Art. 14 Decisión 486)

5.1. Novedad (Art 16 Decisión 486)

La reivindicación 1 consiste en: “*Generador de reloj mediante síntesis digital CARACTERIZADO por Osciladores en anillo (1) que generan señales de reloj (...)*” (NC2017/0012418 del 14 de febrero de 2018).

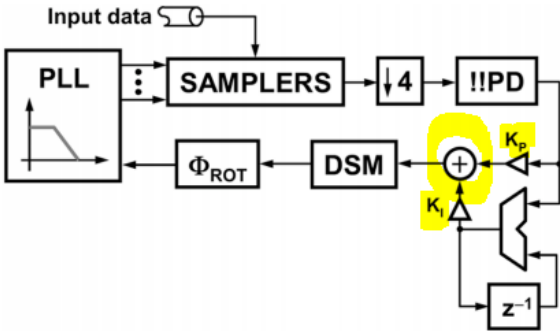
Tabla 1. Comparación de las características técnicas esenciales, con las del estado de la técnica:

Características esenciales	D1
Generador de reloj mediante síntesis digital CARACTERIZADO por.	Hay dos componentes principales del CDR: un PLL analógico y un CDR digital. La función principal del PLL es generar relojes multifásicos espaciados uniformemente (Pág. 428, Col. 1, Párr. 2, líneas 2 a 4).
Osciladores en anillo (1) que generan señales de reloj.	Como resultado de estas dos tendencias de escala, los osciladores de anillo controlados por voltaje diseñados en procesos submicrónicos profundos para operar en un amplio rango de frecuencia tienen una ganancia muy grande (Pág. 432, Col. 2, Párr. 1, líneas 3 a 7).
Interpoladores de fase (2) que combinan la salida del acumulador de fase para generar un cambio en la salida de los osciladores en anillo (1).	Dado que el interpolador propuesto se realiza mediante una combinación de circuitos de control digital y un multiplexor simple, es inmune a las variaciones de proceso, voltaje y temperatura (PVT) (Pág. 428, Col. 2, Párr. 2, líneas 2 a 5).
Un detector Bang-Bang de fase (3) sustrae información de la señal de referencia y de los interpoladores de fase (2) para indicar si la fase de los interpoladores está atrasada o adelantada.	En presencia de un error de fase grande, el detector de fase bang-bang está sobrecargado y genera una larga cadena de +1's o -1' s (Pág. 429, Col. 1, Párr. 3, líneas 8 a 10).
Un circuito de voto mayor (4) que acumula decisiones del detector de fase (3) para	Las 32 muestras pasan por 16 decodificadores tempranos/tardíos para generar 16 señales

¹Pavan Kumar Hanumolu, Gu-Yeon Wei, Un-Ku Moon. A Wide-Tracking Range Clock and Data Recovery Circuit. IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 43, NO. 2, FEBRUARY 2008. Págs. 425 a 439. URL : https://web.engr.oregonstate.edu/~moon/research/files/jssc_feb_08b.pdf. Última vez cosultado el 1 de diciembre de 2019

Oficio N° 764 de 22 de enero de 2020

Ref. Expediente N° NC2017/0012418

tomar una decisión basado en el promedio de decisiones de atraso y adelanto.	tempranas/tardías/retenidas, que luego se resuelven por mayoría de votos para producir una señal de error de fase de 3 niveles (Pág. 430, Col. 2, Párr. 1, líneas 9 a 11).
Un elemento con ganancia proporcional (5) que escala el resultado del circuito de voto mayor (4) para ajustar la magnitud de la señal del circuito de voto mayor (4).	K_p es la ganancia proporcional y es igual a 128 en el chip prototipo (Pág. 429, Col. 2, Párr. 3, líneas 1 a 2).
Un elemento con ganancia integral (6) que escala la magnitud de la señal acumulada proveniente del circuito de voto mayor (4).	Luego, el filtro de bucle digital filtra el error de fase con una ganancia proporcional e integral de 128 y 1, respectivamente (Pág. 430, Col. 2, Párr. 1, líneas 11 a 13).
Un acumulador integral (7) que ajusta la señal del elemento con ganancia integral (6) para generar un ajuste de la señal de reloj.	Se utiliza un acumulador de 14 bits para implementar el control integral y la ganancia proporcional de 128 se realiza cambiando aritméticamente la señal de error de fase a la izquierda por las posiciones de 7 bits (Pág. 430, Col. 2, Párr. 1, líneas 13 a 16). El integrador acumula este flujo continuo de salidas idénticas y conduce el VCO hacia el bloqueo de frecuencia. En el prototipo, con una ganancia integral K_i igual a uno, el bucle integral mueve la frecuencia central del VCO en pasos de aproximadamente 2 ppm (Pág. 429, Col. 1, Párr. 3, líneas 10 a 14).
Un acumulador de fase (8) unido a las salidas del elemento con ganancia proporcional (5) y del acumulador integral (7) que acumula la suma de las salidas.	Considere el diagrama de bloques del CDR propuesto que se muestra en la Fig. 8 en el que el PLL se representa simplemente como un filtro de paso bajo (Pág. 430, Col. 1, Párr. 3, líneas 4 a 6). 
Un selector (9) que captura la salida del primer oscilador en anillo (1) o la de un segundo oscilador en anillo (1) de acuerdo a una señal de decisión.	El rotador de fase se implementa como un registro de desplazamiento circular de 8 bits cuyo resultado se utiliza para seleccionar una de las ocho fases de VCO (Pág. 428, Col. 1, Párr. 3, líneas 7 a 9). Las señales de control de selección, EVEN y ODD, se generan de modo que las fases en un conjunto se cambian cuando la fase de salida se selecciona del otro conjunto (Pág. 432, Col.1 Párr. 1, líneas 2 a 4).

De acuerdo con la tabla anterior, las características esenciales del generador de la reivindicación 1 habían sido divulgadas previamente en el documento D1, por lo tanto, la materia reivindicada no es nueva.

La reivindicación dependiente 2 tampoco cumple con el requisito de novedad ya que como se anticipó en el numeral 3.1 del presente oficio, reclama las mismas características técnicas esenciales que la reivindicación 1.

Oficio N° 764 de 22 de enero de 2020

Ref. Expediente N° NC2017/0012418

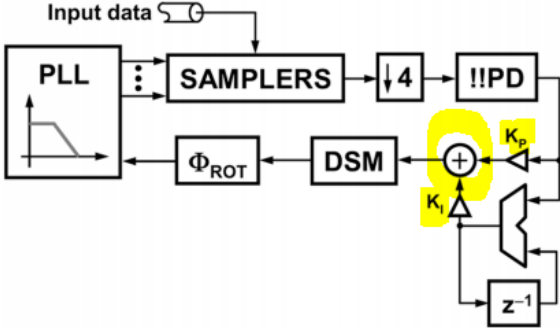
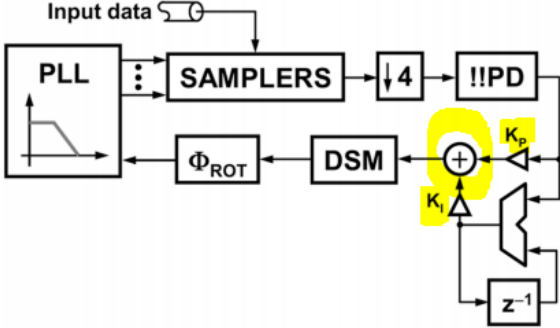
La reivindicación 3 consiste en: “Proceso de ejecución del generador de reloj mediante síntesis digital para obtener una fase de las oscilaciones producidas por los Osciladores de anillo (1) CARACTERIZADO (...)” (NC2017/0012418 del 14 de febrero de 2018).

Tabla 2. Comparación de las características técnicas esenciales, con las del estado de la técnica:

Características esenciales	D1
Proceso de ejecución del generador de reloj mediante síntesis digital para obtener una fase de las oscilaciones producidas por los Osciladores de anillo (1) CARACTERIZADO por la siguientes etapas.	Hay dos componentes principales del CDR: un PLL analógico y un CDR digital. La función principal del PLL es generar relojes multifásicos espaciados uniformemente (Pág. 428, Col. 1, Párr. 2, líneas 2 a 4).
a. Generar una oscilación sostenida mediante un Oscilador de anillo (1), cuya frecuencia será controlada por los lazos de realimentación	Como resultado de estas dos tendencias de escala, los osciladores de anillo controlados por voltaje diseñados en procesos submicrónicos profundos para operar en un amplio rango de frecuencia tienen una ganancia muy grande (Pág. 432, Col. 2, Párr. 1, líneas 3 a 7).
b. Ajustar el circuito selector para que transmita al Detector Bang Bang de fase (3) la oscilación producida por el primer o segundo Oscilador de anillo (1).	En presencia de un error de fase grande, el detector de fase bang-bang está sobrecargado y genera una larga cadena de +1's o -1' s (Pág. 429, Col. 1, Párr. 3, líneas 8 a 10). El procedimiento de diseño implica elegir los parámetros del bucle fino para cumplir con los requisitos de ancho de banda y margen de fase y luego ajustar los parámetros del bucle grueso (Pág. 433, Col. 1, Párr. 2, líneas 13 a 16).
c. Comparar mediante el Detector Bang Bang de fase (3) la fase de la oscilación generada por alguno de los Osciladores de anillo (1) con la fase de la señal de referencia, y determinar si las señales están atrasadas o adelantas respecto a la referencia.	Un detector de fase bang-bang genera información de error de fase de 3 niveles al realizar una detección temprana/tardía y un voto mayoritario simple en las 32 muestras entrantes (Pág. 428, Col. 1, Párr. 2, líneas 13 a 16).
d. Calcular a través del Circuito de voto mayor (4) una señal de adelanto/atraso efectiva mediante el sensado y ponderación de N muestras distintas provenientes del Detector Bang Bang de fase (3).	Las 32 muestras pasan por 16 decodificadores tempranos/tardíos para generar 16 señales tempranas/tardías/retenidas, que luego se resuelven por mayoría de votos para producir una señal de error de fase de 3 niveles (Pág. 430, Col. 2, Párr. 1, líneas 9 a 11).
e. Escalar en un factor k_p y k_i la señal de salida del Circuito de voto mayor (4) mediante los Elementos de ganancia proporcional (5) y ganancia integral (6) respectivamente.	K_p es la ganancia proporcional y es igual a 128 en el chip prototipo (Pág. 429, Col. 2, Párr. 3, líneas 1 a 2). El integrador acumula este flujo continuo de salidas idénticas y conduce el VCO hacia el bloqueo de frecuencia. En el prototipo, con una ganancia integral K_i igual a uno, el bucle integral mueve la frecuencia central del VCO en pasos de aproximadamente 2 ppm (Pág. 429, Col. 1, Párr. 3, líneas 10 a 14).

Oficio N° 764 de 22 de enero de 2020

Ref. Expediente N° NC2017/0012418

	 Fig. 8. Block diagram of the CDR used for stability analysis.
f. Acumular o integrar la señal de salida del Elemento de ganancia integral (6) mediante un Acumulador integral (7).	Se utiliza un acumulador de 14 bits para implementar el control integral y la ganancia proporcional de 128 se realiza cambiando aritméticamente la señal de error de fase a la izquierda por las posiciones de 7 bits (Pág. 430, Col. 2, Párr. 1, líneas 13 a 16). El integrador acumula este flujo continuo de salidas idénticas y conduce el VCO hacia el bloqueo de frecuencia. En el prototipo, con una ganancia integral K_I igual a uno, el bucle integral mueve la frecuencia central del VCO en pasos de aproximadamente 2 ppm (Pág. 429, Col. 1, Párr. 3, líneas 10 a 14).
g. Acumular o integrar la suma de las señales de salida del Acumulador integral (7) y del Elemento de ganancia proporcional (5), mediante un Acumulador de fase (8).	Considere el diagrama de bloques del CDR propuesto que se muestra en la Fig. 8 en el que el PLL se representa simplemente como un filtro de paso bajo (Pág. 430, Col. 1, Párr. 3, líneas 4 a 6).  Fig. 8. Block diagram of the CDR used for stability analysis.
h. Modificar la fase de las oscilaciones producidas por los Osciladores de anillo (1), obteniendo una fase de las oscilaciones producidas por los Osciladores de anillo (1) mediante los Interpoladores de fase (2), y en función de la señal de salida del Acumulador de fase (8).	Esta sección presenta los detalles de implementación del bucle digital CDR. En la figura 9 se muestra un diagrama de bloques detallado del reloj digital multifásico y el bucle de recuperación de datos. El interpolador de fase basado en PLL proporciona ocho fases de reloj igualmente espaciadas para cuatro muestreadores de datos y cuatro muestreadores de borde. Este enfoque multifásico reduce la frecuencia máxima de reloj en chip a un cuarto de la velocidad de datos de entrada. Las ocho muestras, cuatro datos de borde y cuatro, se demultiplexan a 32 muestras en dos etapas de demultiplexores que operan a la mitad y la cuarta parte de la frecuencia de VCO, respectivamente. La circuitería digital posterior también se sincroniza con este reloj SCK recuperado de cuarto de frecuencia lenta, cuya

Oficio N° 764 de 22 de enero de 2020

Ref. Expediente N° NC2017/0012418

	frecuencia es nominalmente a la frecuencia de referencia PLL. Las 32 muestras pasan por 16 decodificadores tempranos/tardíos para generar 16 señales tempranas/tardías/retenidas, que luego se resuelven por mayoría de votos para producir una señal de error de fase de 3 niveles. Luego, el filtro de bucle digital filtra el error de fase con una ganancia proporcional e integral de 128 y 1, respectivamente. Se utiliza un acumulador de 14 bits para implementar el control integral y la ganancia proporcional de 128 se realiza cambiando aritméticamente la señal de error de fase a la izquierda por las posiciones de 7 bits. La salida del filtro de 14 bits resultante se cuantifica en 3 niveles mediante el DSM de retroalimentación de error de segundo orden, cuya salida impulsa el rotador de fase. La salida del rotador de fase [8: 1] selecciona una de las fases de salida del VCO (Pág. 430, Col. 1, Párr. 5 y Col. 2, Párr. 1).
--	---

De acuerdo con la tabla anterior, las características esenciales del generador de la reivindicación 1 habían sido divulgadas previamente en el documento D1, por lo tanto, la materia reivindicada no es nueva.

6. Conclusión con respecto a novedad y/o nivel inventivo

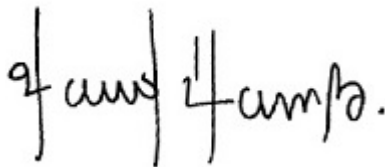
Los requisitos de Patentabilidad de la presente solicitud están afectados así:

Ítem	Documento	Reivindicaciones afectadas	Requisito que afecta
D1	Hanumolu (2008) ¹	1 a 3	Novedad

En cumplimiento del artículo 45 de la Decisión 486 de 2000, se le indica que debe dar respuesta dentro del término de sesenta (60) días contados a partir de la fecha de notificación de la presente comunicación. En caso de no dar respuesta al presente requerimiento, o si a pesar de la respuesta subsistieran los impedimentos para la concesión, se denegará la patente.

Si como respuesta a este requerimiento, el solicitante modifica: i) el capítulo reivindicatorio, ii) la descripción de la invención a proteger, iii) o presenta un nuevo capítulo reivindicatorio deberá observar las instrucciones contenidas en el numeral 1.2.2.1.1., del Capítulo Primero del Título X de la Circular Única y la Dirección de Nuevas Creaciones seguirá el procedimiento descrito en el numeral 1.2.2.5.1.

Notifíquese el presente oficio conforme a lo dispuesto en el numeral 6.2 del Capítulo Sexto del Título I de la Circular Única, informándoles que contra el mismo no procede recurso alguno en actuación administrativa.



MARÍA JOSÉ LAMUS BECERRA
DIRECTORA DE NUEVAS CREACIONES

Oficio N° 764 de 22 de enero de 2020

Ref. Expediente N° NC2017/0012418

INFORME DE BÚSQUEDA
EXAMEN DE PATENTABILIDAD

Solicitud No.		Examen de patentabilidad							
NC2017/0012418		1°	X	2°		3°		Revoca	
Solicitud Internacional No.		Fecha solicitud internacional: (DD/MM/AÑO)							
Fecha de determinación estado de la técnica (DD/MM/AÑO)				Prioridad			Presentación		
30/03/2017							X		
Solicitante									
UNIVERSIDAD INDUSTRIAL DE SANTANDER									
Reivindicaciones que no son objeto de búsqueda por:									
Art. 14	-	Art. 15	-	Art. 20	-	Art. 25 (Falta de unidad de invención)		-	

CRITERIOS DE BÚSQUEDA	
Reivindicaciones objeto de búsqueda	1 a 3
Palabras clave utilizadas	Generator, clock, process, interpolator, accumulator, oscillator, majority, vote, bang-bang, detector, phase, gain, integral, proportional, selector.
Clasificaciones utilizadas para la búsqueda	CIP: H03L 7/06

DOCUMENTOS CONSIDERADOS RELEVANTES (Documentos patente, Literatura no patente (LNP): Artículos, catálogos, etc.)					
Informes de búsqueda / Bases de datos consultadas	N° de solicitud de patente / N° de patente / Autor LNP ⁽¹⁾	Fecha de Publicación /Presentación (DD/MM/AAAA)	Reivindicaciones /Secuencias afectadas	Citas relevantes del estado de la técnica	Categoría del documento citado ⁽²⁾
SIPI	09037580	14/04/2009	-	-	A
Patbase	US4759014	19/07/1988	-	-	A
	US8687738	01/04/2014	-	-	A
	US2012109356	03/05/2012	-	-	A
Orbit	US4586005	29/04/1986	-	-	A
	US20180287621	04/10/2018	-	-	E
Googlepatent	US8687738	1/04/2014	-	-	A
	US20120177159	12/07/2012	-	-	A
	US20120109356	3/05/2012	-	-	A
	US20040046589	11/03/2004	-	-	A
	US8781428	15/07/2014	-	-	A
	US7583117	1/09/2009	-	-	A
	US6667520	23/12/2003	-	-	A
	US20080116949	22/05/2008	-	-	A
	US9362936	7/06/2016	-	-	A
	US20180083638	22/03/2018	-	-	E
	US20160373120	22/12/2016	-	-	A
US20180198597	12/07/2018	-	-	E	
Google	Hanumolu(2008) ¹	2/02/2008	1 a 3	1 y 2 Pág. 428, Col. 1, Párr. 2, líneas 2 a 4; Pág. 432, Col. 2, Párr. 1, líneas 3 a 7; Pág. 428, Col. 2, Párr. 2, líneas 2 a 5; Pág. 429, Col. 1, Párr. 3, líneas 8 a 10; Pág. 430, Col. 2, Párr. 1, líneas 9 a 11; Pág. 429, Col. 2, Párr. 3, líneas 1 a 2; Pág. 430, Col. 2, Párr. 1, líneas 11 a 13; Pág. 430, Col. 2, Párr. 1, líneas 13 a 16; Pág. 429, Col. 1, Párr. 3, líneas 10 a 14; Pág. 430, Col. 1, Párr. 3, líneas 4 a 6; Figura 8; Pág. 428, Col. 1, Párr.	X

Oficio N° 764 de 22 de enero de 2020

Ref. Expediente N° NC2017/0012418

				3, líneas 7 a 9; Pág. 432, Col.1 Párr. 1, líneas 2 a 4. 3 Pág. 428, Col. 1, Párr. 2, líneas 2 a 4; Pág. 432, Col. 2, Párr. 1, líneas 3 a 7; Pág. 429, Col. 1, Párr. 3, líneas 8 a 10; Pág. 433, Col. 1, Párr. 2, líneas 13 a 16; Pág. 428, Col. 1, Párr. 2, líneas 13 a 16; Pág. 430, Col. 2, Párr. 1, líneas 9 a 11; Pág. 429, Col. 2, Párr. 3, líneas 1 a 2; Pág. 429, Col. 1, Párr. 3, líneas 10 a 14; Figura 8; Pág. 430, Col. 2, Párr. 1, líneas 13 a 16; Pág. 429, Col. 1, Párr. 3, líneas 10 a 14; Pág. 430, Col. 1, Párr. 3, líneas 4 a 6; Pág. 430, Col. 1, Párr. 5 y Col. 2, Párr. 1	
(1) Cita completa literatura no patente (LNP)	1Pavan Kumar Hanumolu, Gu-Yeon Wei, Un-Ku Moon. <i>A Wide-Tracking Range Clock and Data Recovery Circuit</i> . IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 43, NO. 2, FEBRUARY 2008. Págs. 425 a 439				
Apellido, A. A. (Fecha). Título del artículo. <i>Nombre de la revista</i> . Volumen(Número), pp-pp.					
O					
Apellido, A. A. (Fecha). Título del artículo. Nombre de la revista. Recuperado de http://xxxxxxx .					
(2) Categorías de documentos citados					
“A” Documento que define el estado general de la técnica no considerado como particularmente relevante. “E” Solicitud de patente o patente anterior pero publicada en la fecha de presentación internacional o en fecha posterior. “L” Documento citado para llamar la atención sobre por ejemplo, dudas acerca de una reivindicación de prioridad o para determinar la fecha de publicación de otra cita, siempre van acompañados de una explicación, por la cual se citan. “O” Documento del tipo actas de conferencia, este tipo de documentos siempre estará acompañado por otra letra que indique la pertinencia del documento, por ejemplo, O,X, O,Y o bien O,A. “P” Documento publicado antes de la fecha de presentación internacional pero con posterioridad a la fecha de prioridad reivindicada. “T” Documento publicado en fecha posterior a la de presentación o la de prioridad de la solicitud internacional y no entra en conflicto con dicha solicitud, pero puede ser útil para la mejor comprensión del principio o teoría en que se basa la invención, o para demostrar que el razonamiento o los hechos en los que se basa dicha invención son incorrectos. “X” Documento particularmente relevante; la invención reivindicada no puede considerarse nueva o que implique una actividad inventiva por referencia al documento aisladamente considerado. “Y” Documento particularmente relevante; la invención reivindicada no puede considerarse que implique una actividad inventiva cuando el documento se asocia a otro u otros documentos de la misma naturaleza, cuya combinación resulta evidente para un experto en la materia.					
Fecha del reporte de búsqueda: 22/11/2019					
Examinador: FREDDY ALEXANDER VELANDIA VIVAS					