

GENERADOR DE RELOJ MEDIANTE SÍNTESIS DIGITAL

REIVINDICACIONES

1. Generador de reloj mediante síntesis digital CARACTERIZADO por Osciladores en anillo (1) que generan señales de reloj que interactúan con Interpoladores de fase (2) que combinan la salida del acumulador de fase para generar un cambio en la salida de los osciladores en anillo (1); un detector Bang-Bang de fase (3) que sustrae información de la señal de referencia y de los interpoladores de fase (2) para indicar si la fase de los interpoladores está atrasada o adelantada, unido a un Circuito de voto mayor (4) que acumula decisiones del detector de fase (3) para tomar una decisión basado en el promedio de decisiones de atraso y adelanto; un elemento con ganancia proporcional (5) que escala el resultado del circuito de voto mayor (4) para ajustar la magnitud de la señal del circuito de voto mayor (4) y un elemento con ganancia integral (6) que escala la magnitud de la señal acumulada proveniente del circuito de voto mayor (4); un acumulador integral (7) que ajusta la señal del elemento con ganancia integral (6) para generar un ajuste de la señal de reloj; un acumulador de fase (8) unido a las salidas del elemento con ganancia proporcional (5) y del acumulador integral (7) que acumula la suma de las salidas; y un selector (9) que captura la salida del primer oscilador en anillo (1) o la de un segundo oscilador en anillo (1) de acuerdo a una señal de decisión.
2. Proceso de ejecución del generador de reloj mediante síntesis digital para obtener una fase de las oscilaciones producidas por los Osciladores de anillo (1) CARACTERIZADO por las siguientes etapas:
 - a. Generar una oscilación sostenida mediante un Oscilador de anillo (1), cuya frecuencia será controlada por los lazos de realimentación.
 - b. Ajustar el circuito selector para que transmita al Detector Bang Bang de fase (3) la oscilación producida por el primer o segundo Oscilador de anillo (1).
 - c. Comparar mediante el Detector Bang Bang de fase (3) la fase de la oscilación generada por alguno de los Osciladores de anillo (1) con la fase de la señal de referencia, y determinar si las señales están atrasadas o adelantas respecto a la referencia.

- d. Calcular a través del Circuito de voto mayor (4) una señal de adelanto-atraso efectiva mediante el sensado y ponderación de N muestras distintas provenientes del Detector Bang Bang de fase (3).
- e. Escalar en un factor k_p y k_i la señal de salida del Circuito de voto mayor (4) mediante los Elementos de ganancia proporcional (5) y ganancia integral (6) respectivamente.
- f. Acumular o integrar la señal de salida del Elemento de ganancia integral (6) mediante un Acumulador integral (7).
- g. Acumular o integrar la suma de las señales de salida del Acumulador integral (7) y del Elemento de ganancia proporcional (5), mediante un Acumulador de fase (8).
- h. Modificar la fase de las oscilaciones producidas por los Osciladores de anillo (1), obteniendo una fase de las oscilaciones producidas por los Osciladores de anillo (1) mediante los Interpoladores de fase (2), y en función de la señal de salida del Acumulador de fase (8).