

DISPOSITIVO Y MÉTODO PARA EL CONTEO SINCRONO POR SOBREMUESTREO DE COINCIDENCIAS DE PULSOS TTL MÚLTIPLES

5

CAMPO DE LA INVENCION

- 10 La presente invención se relaciona con métodos o dispositivos para conteo de señales eléctricas, en particular, para conteo de coincidencia de pulsos múltiples que incorporen mejoras en el rendimiento con disminución de errores por falso conteo, mediante tecnología que permita el conteo de manera síncrona.

15

ANTECEDENTES DE LA INVENCION

- El entrelazamiento cuántico entre múltiples partículas separadas espacialmente constituye un elemento fundamental para la mayoría de los sistemas en la física cuántica, tales como la no localidad cuántica, verificar la transición cuántica a clásica, implementar la corrección cuántica de errores, al igual que la mejora de esquemas como espectroscopia cuántica, simulación cuántica y comunicación cuántica.

- 20 En el estado de la técnica se conocen documentos en fotónica que incluyen diversos arreglos electrónicos. En este sentido, se han propuesto sistemas específicos en MPCC (Multi-Photon Coincidence Counting) en FPGA, donde normalmente las señales de entrada se prealinean para sincronizar el muestreo con el reloj de disparador de bombeo láser (Laser Pumping Trigger LPT).

30

En trabajos iniciales, el prealineamiento se basó en una lógica combinatoria, donde el retraso se ajusta seleccionando rutas con diferentes retrasos. Sin embargo, el retraso cambia con la tecnología utilizada, lo cual, configura un problema de portabilidad.

5

A su vez, se conocen en el estado de la técnica documentos de patente como la publicación internacional WO2017016469 que muestra un circuito frontal de medición de fotones. La invención incluye un módulo de integración, un comparador, un controlador de transmisión, un módulo de retroalimentación negativa y un módulo de medición de fotones.

10

El módulo de integración está acoplado a una salida del fotodetector y una salida del módulo de retroalimentación negativa, el módulo de integración está configurado para recibir una señal inicial del fotodetector y una señal de retroalimentación del módulo de retroalimentación negativa, integrando la diferencia entre la señal inicial y la señal de retroalimentación para integrar y emitir una señal integrada; Una entrada del comparador está acoplada a una salida del módulo de integración y otra entrada del comparador está acoplada a un nivel de referencia. El comparador está configurado para comparar la señal integrada con el nivel de referencia y generar un resultado de comparación; Una entrada del controlador de transmisión está acoplada a una salida del comparador, el controlador de transmisión está configurado para controlar la transmisión del resultado de comparación para emitir una señal digital utilizando una señal de reloj, en la que la duración de la señal digital es igual a A alta el nivel de un período de la señal del reloj que representa un primer nivel lógico, y un nivel bajo de la señal digital que tiene una duración igual a un período de la señal del reloj representa un segundo nivel lógico. Un extremo de entrada del módulo de retroalimentación negativa está conectado a un extremo de salida del controlador de transmisión, y el módulo de retroalimentación negativa está configurado para convertir la señal digital en la señal de retroalimentación y retroalimentar la señal de retroalimentación al módulo de integración. El módulo

15

20

25

30

de medición de fotones incluye un módulo de medición de energía, una entrada del módulo de medición de energía está acoplada a una salida del controlador de transmisión, y el módulo de medición de energía está configurado para detectar el fotodetector utilizando la señal digital, y donde los fotones se utilizan para la medición de energía.

La patente US 8,497,463 muestra un dispositivo para contar fotones, que tiene una unidad detectora, donde se genera una señal eléctrica detectada que contiene un pulso de detección por cada fotón detectado; una unidad de conmutación, que tiene múltiples estados de conmutación y genera una señal de estado eléctrico que tiene niveles de señal de estado asociados con los respectivos estados de conmutación, se ve afectada por la señal detectada, cada impulso de detección activa un cambio de estado de conmutación; para la generación en serie de datos muestreados, la señal de estado es muestreada por una unidad de muestreo a una frecuencia de muestreo determinada, teniendo los datos muestreados en cada caso, para cada nivel de señal de estado, un valor binario de n bits donde $n \geq 1$; los datos muestreados generados en serie son paralelizados por una unidad convertidora en paralelo en serie, agrupando respectivamente un número determinado de datos muestreados sucesivos en un paquete de datos muestreados; y una unidad de evaluación funciona con un tiempo de ciclo de trabajo determinado que es menor que la frecuencia de muestreo de la unidad de muestreo, los valores binarios de n bits de al menos uno de los paquetes de datos muestreados que la unidad de evaluación evalúa respectivamente, dentro de cada ciclo de reloj definido por el tiempo del ciclo de trabajo, para identificar un resultado de contador parcial que indique el número de cambios de estado de conmutación que han ocurrido en la unidad de conmutación, y los resultados del contador parcial identificados en los ciclos de reloj individuales que se agregan para producir un resultado de contador total que indica el número de fotones detectados.

La solicitud de patente US2015/0250444 muestra un aparato de tomografía computarizada (TC) de conteo de fotones que tiene una fuente de rayos X que incluye un cátodo configurado para generar electrones y un ánodo que tiene una pluralidad de objetivos configurados para generar una pluralidad de rayos X característicos que tienen diferentes energías; un detector TC de conteo de fotones configurado para detectar fotones de rayos X generados por la fuente de rayos X; una unidad de calibración configurada para determinar una relación de correspondencia entre las energías de fotones de la pluralidad de rayos X característicos y las salidas del detector de TC de recuento de fotones; y una unidad de corrección configurada para corregir una salida del detector de TC de recuento de fotones en función de la relación de correspondencia.

La patente US 9,693,743 muestra un aparato de tomografía computarizada (TC) de recuento de fotones que tiene una fuente de rayos X configurada para generar rayos X; un detector híbrido que incluye una pluralidad de detectores de tipo integral y una pluralidad de detectores de tipo de conteo de fotones, que detectan los rayos X generados a partir de la fuente de rayos X y están embaldosados en dos dimensiones en una superficie de matriz de detectores del detector híbrido, la pluralidad de integrales detectores de tipo que emiten señales integrales relativas a los rayos X detectados, y la pluralidad de detectores de tipo de recuento de fotones que emiten una señal de recuento para cada una de una pluralidad de bandas de energía relativas a los rayos X detectados; y un circuito de procesamiento configurado para estimar una señal de conteo mediante un detector de tipo integral objetivo de estimación particular de la pluralidad de detectores de tipo integral basado en una salida de señal integral del detector de tipo integral objetivo de estimación particular y una salida de señal de conteo de los detectores de tipo de conteo de fotones dispuestos alrededor del objetivo de estimación particular detector de tipo integral en la superficie del conjunto de detectores; y reconstruya una imagen del tipo de conteo de fotones basada en la señal de conteo estimada y la señal de conteo.

En estas condiciones, de acuerdo con el estado de la técnica citada, resulta evidente la necesidad de mejorar el conteo de señales eléctricas, entre ellas de fotones múltiples, por medio de la implementación técnica de sobremuestreo para conteo síncrono de coincidencias de pulsos múltiples, que no requiera una
5 alineación de fase previa de los mismos, que incluya varios canales, usando una arquitectura FPGA, con el objeto de reducir el conteo falso.

SUMARIO DE LA INVENCION

10

En un primer objeto, la presente invención divulga un dispositivo de bajo costo para conteo síncrono por sobremuestreo de coincidencias de pulsos múltiples. En una modalidad particular, la invención enseña un dispositivo para conteo síncrono por sobremuestreo de coincidencias de fotones múltiples (OMPCC-
15 Oversampling Multi-Photon Coincidence Counting), el cual, incluye una arquitectura pipeline (segmentación) parametrizable que permite traslapar la ejecución de instrucciones para mejorar la escalabilidad, portabilidad y repetibilidad en la implementación, basada en FPGA.

20 En un objeto adicional, la invención revela un método de conteo síncrono por sobremuestreo para la detección y el conteo de correlaciones espaciales y temporales entre pulsos digitales que permite la reducción del contenido falso debido a sus características de detección y transmisión de información con dichas coincidencias.

25

30

DESCRIPCIÓN DETALLADA DE LA INVENCION

- 5 La presente invención surge como respuesta a la necesidad de resolver los diferentes problemas relacionados con la necesidad de mejorar el conteo de señales eléctricas, mediante un dispositivo y método de bajo costo para conteo síncrono por sobremuestreo de coincidencias de pulsos múltiples.

10 La descripción de la realización de la presente invención, no pretende limitar su alcance, sino servir como un ejemplo particular de la misma. Se espera que una persona versada en la materia comprenda que las modalidades equivalentes no se apartan del espíritu y alcance de la presente invención en su forma más amplia.

15 La presente invención revela un dispositivo de conteo síncrono por sobremuestreo de coincidencias de pulsos digitales múltiples y su método.

El método de conteo síncrono por sobremuestreo de coincidencias de pulsos múltiples comprende el desarrollo de las siguientes etapas:

- 20 a. Detectar pulsos múltiples TTL mediante sensores, los cuales transforman la ocurrencia de eventos físicos en pulsos múltiples TTL.
- b. Muestrear digitalmente los pulsos múltiples TTL en una FPGA.
- c. Detectar flancos de subida tipo P o flancos de bajada tipo N.
- d. Detectar las coincidencias hasta 8 salidas de manera simultánea, sincronizadas con los flancos de subida tipo P o los flancos de bajada tipo N.
- 25 e. Reducir el ancho de los pulsos de coincidencia a un flanco de reloj de la FPGA.
- f. Contar las coincidencias entre los pulsos TTL detectados, de acuerdo a la ventana de coincidencia definida.
- 30

- g. Generar reportes (histogramas) con el número de coincidencias detectadas en un periodo de tiempo.
- h. Transmitir información con el número de coincidencias detectadas en un periodo de tiempo mediante comunicación inalámbrica.
- 5 i. Visualizar en una interfaz gráfica la información con el número de coincidencias detectadas.

Además, no se hace alineación previa de fase de pulsos durante la etapa **f**.

- 10 En una realización particular del método de la invención, el sistema de conteo síncrono por sobremuestreo incluye una implementación de camino óptico entrelazado (Optical Path Entangled Unidad - OPEI) (10), el cual genera los entrelazamientos cuánticos mediante conversión descendente paramétrica espontánea (Spontaneous Parametric Down-Conversion - SPDC) de fotones del
- 15 mismo pulso láser de un disparador de bombeo láser (LPT), tal como se puede apreciar en la Figura 1.

- En un ejemplo de aplicación de esta modalidad particular del método, la implementación entrelazada de camino óptico (Optical Path Entangled
- 20 Implementation - OPEI) (10), incluye un disparador de bombeo láser (Laser Pumping Trigger - LPT) (11), que genera pulsos láser de alta energía con una frecuencia fija inferior a 100 MHz y una duración (ancho de pulso activo) inferior a 200 femtosegundos - fs ($1\text{fs}=1\times 10^{-15}\text{ s}$), que envía pulsos hacia una unidad óptica (12) a través de un cristal no lineal para fotones entrelazados de
- 25 polarización, pero con una tasa de producción extremadamente baja que disminuye la frecuencia temporal de los fotones a detectar, que luego son adquiridos por un arreglo de módulos de detección de fotones simples (Single-Photon Counting Module - SPCM) (20) para detectar eventos de fotones en cada ruta óptica, generando pulsos TTL (Transistor-Transistor Logic) con un ancho de
- 30 pulso activo mayor que 10 nanosegundos-ns ($1\text{ns}=1\times 10^{-9}\text{ s}$), por cada evento

de fotón detectado. Donde la unidad óptica incluye elementos como divisores de haz, espejos, lentes no lineales, filtros entre otros.

Luego se acopla un dispositivo de conteo síncrono de coincidencias de fotones múltiples (OMPCC) (30) para identificar eventos simultáneos en dos o más caminos, utilizando una unidad de detección de coincidencia (Coincidence Detection Unit - CDU) que tiene una frecuencia de muestreo igual o mayor que el arreglo de sensores ópticos para la detección de fotones múltiples (Single-Photon Counting Module - SPCM) (20).

10

La implementación entrelazada de caminos óptico (10), que genera el ancho de pulso activo TTL (tiempo muerto) de módulos de conteo de fotones individuales debe ser considerado como una restricción a la frecuencia de disparador de bombeo láser LPT (11) para prevenir la superposición de los pulsos TTL en la implementación de los caminos ópticos entrelazados.

15

Una fuente de generación de tren de pulsos TTL con un ancho de pulso (estado activo) y una distancia entre pulsos (estado inactivo) mayor al periodo de muestreo del OMPCC, ejemplifica el caso particular de una implementación del proceso de interferencia y/o entrelazamiento cuántico entre múltiples fotones.

20

Los eventos de los fotones asociados serán "detectados simultáneamente", en forma ideal. Sin embargo, ellos son detectados dentro de pequeños retardos, lo cual, requiere una ventana de coincidencia para definir la coincidencia simultánea.

25

El arreglo de sensores ópticos para la detección de fotones múltiples SPCM (20) genera un recuento oscuro o un recuento falso, a una baja tasa de pulsos TTL debido a las propiedades inherentes del proceso de foto-detección como temperatura o ruido óptico.

30

Típicamente, las implementaciones entrelazadas de camino óptico (OPEI) usan pulsos ópticos generados por un disparador de bombeo láser (LPT) con una frecuencia del disparador de bombeo laser $F_{LPT} < 100$ MHz, y pulsos TTL con un PW1 mayor que 10 ns.

5

En la presente invención u ejemplo tiene una implementación entrelazada de caminos óptico (OPEI), que tiene un disparador de bombeo láser con frecuencia $F_{LPT} = 33$ MHz, PW1 = 12 ns y la frecuencia del dispositivo de conteo síncrono de coincidencias de fotones múltiples por sobremuestreo es de 200 MHz (TS =

10

5 ns).

Un dispositivo de conteo síncrono por sobremuestreo de coincidencias de pulsos múltiples objeto de la invención adquiere señales de transductores TTL conectados a través de conectores BNC; los conectores BNC estan conectados

15 a placas de circuito impreso PCB (31)(32) que se conectan a los pines de GPIO (33) de una FPGA (34) con arquitectura pipeline parametrizable, donde las puertas logicas son programables, interconectadas y configuradas; donde la FPGA incluye una unidad de muestreo (341) seguida de una etapa de filtrado e identificación de flancos de pulsos (3442) conectada a una unidad de detección

20 de coincidencia por sobremuestreo (344) y una unidad de contadora de coincidencias (345), que incluye un filtro de recuentos oscuros; donde el contador de coincidencias (345) tiene una salida hacia un UART (342) y además tiene una interfaz gráfica de usuario (GUI) para configurar la ventana de coincidencia digital (CW).

20

25

La UART tiene comunicación bidireccional por un puerto de comunicación inalámbrica (35), la cual puede estar basada en estándar Zigbee. Además, tiene una unidad de control (346) en la FPGA (34).

El dispositivo esta implementado sobre una arquitectura pipeline parametrizable, que permite la escalabilidad debida a la frecuencia de diseño que se mantiene cuando aumenta el número de entradas o el número de análisis de coincidencias.

- 5 El dispositivo tiene un muestreo doble correlacionado (Correlated Double Sampling CDS) basado en sobremuestreo, un filtro de recuentos oscuros, una ventana de coincidencia digital (CW) basada en la reperfilacion del pulso, y análisis múltiple simultáneo de coincidencia (CA) entre todos los canales.
- 10 La arquitectura FPGA del dispositivo de conteo síncrono de coincidencias de pulsos múltiples por sobremuestreo está parametrizada con conexiones a 64 canales de entrada y 8 canales de análisis de coincidencia simultánea, con una frecuencia de reloj de 200 MHz. Es importante especificar la frecuencia de muestreo de 200 MHz del dispositivo está limitado por el FPGA seleccionado,
- 15 por lo tanto, el diseño podría alcanzar frecuencias superiores a 1 GHz en FPGA de gama alta.

En una modalidad particular del dispositivo los pulsos múltiples provienen de un arreglo de sensores ópticos para la detección de fotones múltiples (20),
20 conformado por sensores ópticos SPCM (21), donde estos están conectados por interfaces BNC, y los pulsos TTL se sobremuestrean.

La figura 2 revela un diagrama de bloques, que implementa la modalidad particular del dispositivo de conteo síncrono de coincidencias de fotones múltiples por sobremuestreo (30) de bajo costo, el cual, se basa en la tecnología de matriz de puertas lógicas programable en campo (Field-Programmable Gate Array - FPGA).
25

El diagrama de bloques del dispositivo de conteo síncrono de coincidencias de
30 fotones múltiples por sobremuestreo (30), incluye módulos de sensores ópticos (21) acoplados con conectores BNC a placas de circuito impreso PCB (31)(32)

que se conecta a los pines de GPIO (33) de una FPGA (34); donde la FPGA incluye una unidad de muestreo (341) seguida de una etapa de filtrado e identificación de flancos de pulsos (3442) conectada a una unidad de detección de coincidencia por sobremuestreo (344) y este a una unidad de contadora de coincidencias (345), que incluye un filtro de recuentos oscuros; donde el contador de coincidencias (345) tiene una salida hacia un UART (342) y además tiene una interfaz gráfica de usuario (GUI) para configurar la ventana de coincidencia digital (CW), basada en la reperfilación del pulso, que permite el análisis de coincidencia múltiple y simultáneo (CA) entre todos los canales e informes de coincidencia (CR) generados periódicamente de cada 50 ns a cada 20 s.

La UART tiene comunicación bidireccional por un puerto de comunicación inalámbrica (35), la cual puede estar basada en tecnología con estándar Zigbee.

La realización preferida de la modalidad particular del dispositivo de conteo síncrono de coincidencias de fotones múltiples por sobremuestreo (30) presenta una plataforma basada en FPGA DE0-nano, que tiene: 22 elementos lógicos (LE) de 4 bits, 22 K regs de 1 bit, 600 KB de SDRAM en chip, 250 MHz de frecuencia de procesamiento máximo, dos GPIO 2x20 con 36 pines de E / S cada uno y un GPIO 2x13 con 16 pines de E / S.

Es de tener en cuenta que, los sensores ópticos para la detección de fotones múltiples (SPCM) generan un recuento falso de alrededor de 500 pulsos/s en un entorno oscuro debido a las propiedades inherentes del proceso de fotodetección como temperatura o ruido óptico, de acuerdo con la hoja de datos de los módulos de conteo de fotones simples SPCM.

La figura 3 revela una realización de una placa de circuito impreso (Printed Circuit Board - PCB) para interconexión BNC con la FPGA, se puede ensamblar la PCB₁ que conecta directamente los 16 conectores BNC Bayonet Neill-Concelman a

una fila GPIO de 20 pines, y otra que PCB₂ externa conecta los otros 16 BNC a la otra fila GPIO de 20 pines a través de la PCB₁.

Los conectores BNC Bayonet Neill-Concelman, están distribuido en 4 PCB con 16 conectores BNC cada uno, como se muestra en las figuras 2 y 3, y pueden conectarse como interfaces entre los sensores ópticos a la FPGA, y permite la conexión de hasta 64 módulos de sensores ópticos para la detección de fotones múltiples SPCM (21).

Los conectores BNC se ensamblan en el acoplamiento de modo común (o señales de un solo extremo), que se puede seleccionar para aumentar el número de interfaces de E / S, que se conecta el acoplamiento de señalización diferencial de bajo voltaje (LVDS), no es necesario ya que la frecuencia es inferior a 200 MHz en este caso. Sin embargo, es importante considerar el acoplamiento LVDS para implementaciones de mayor frecuencia.

La figura 4 revela la detección de pulsos utilizando el método de sobremuestreo. En este ejemplo, en la parte a. el disparador de bombeo láser LPT genera pulsos con FLPT = 50 MHz y los SPCM detectan estos pulsos con PW1 = 12 ns, luego PW0 = 8 ns.

En la parte b, indica, por lo tanto, la frecuencia de muestreo F_s de la FPGA debe ser superior a 125 MHz ($TS < 8$ ns), más de dos veces la frecuencia del disparador de bombeo láser FLPT, la frecuencia de reloj mostrada es 5 ns.

La figura 5, revela los pulsos muestreados pueden tener diferente ancho dependiendo de los eventos del reloj. La parte a. de la figura muestra la frecuencia de reloj $clk=200$ MHz con pulsos de 5 ns. Y al parte b muestra los ejemplos de pulsos TTL de los módulos de sensores ópticos para la detección de fotones múltiples SPCM. Donde se muestra que los pulsos de menos de 5 ns,

no se podrían muestrear y los pulsos entre 5 ns y 10 ns, pueden ser muestreados en uno o dos eventos de reloj.

- El dispositivo de conteo síncrono por sobremuestreo de coincidencias de fotones múltiples OMPCC permite filtrar los pulsos muestreados de un reloj, que puede obtener los pulsos de los módulos de sensores ópticos para la detección de fotones múltiples SPCM con PW1 menos de dos veces el período del reloj, es decir, menos de 10 ns en este caso.
- 5
- 10 Sin embargo, la frecuencia máxima de disparador de bombeo láser LPT permite reducir debido a que PW1 y PW0 de SPCM deben ser mayores que 10 ns y 5 ns, respectivamente.

- Por lo tanto, la frecuencia máxima del disparador de bombeo láser LPT permitida teóricamente es de 80 MHz cuando el filtro está deshabilitado y 49 MHz cuando el filtro está habilitado.
- 15

- El dispositivo de conteo síncrono por sobremuestreo de coincidencias de fotones múltiples (OMPCC) permite seleccionar los pulsos de borde ascendente (REP) o pulsos de borde descendente (FEP) para correlacionar las señales. Luego, los REP o FEP se extienden de acuerdo con la ventana de coincidencia configurada, y teniendo en cuenta que los pulsos correlacionados se muestrean cerca de los bordes del reloj ascendente, como se muestra en la figura 6.
- 20

- En consecuencia, las coincidencias son detectadas usando una compuerta AND del árbol pipeline, en el que una coincidencia se indica mediante un pulso continuo con un ancho de pulso de uno o más relojes. Es importante mencionar que los múltiples REP / FEP consideran un pulso único cuando su diferencia es menor que la ventana de coincidencia seleccionada, evitando la detección múltiple de pulsos muy cercanos.
- 25
- 30

La figura 6 revela un conteo de coincidencias basado en sobremuestreo:

- 5 a) La frecuencia de muestreo se usa para sobremuestrear los pulsos detectados, que en este caso es de 200 MHz - 5 ns
- b) Los pulsos de los módulos de conteo de fotones simples con ancho de pulso activo (PW1) de 12 ns y ancho de pulso pasivo (PW0) mayor de 5 ns, y pulsos de ruido menores de 5 ns.
- 10 c) Los pulsos son muestreados por el dispositivo de conteo síncrono por sobremuestreo de coincidencias de fotones múltiples OMPCC, en el cual los pulsos de láser se sobremuestran con más de dos ciclos de reloj, y los pulsos más pequeños se filtran.
- 15 d) Los pulsos válidos se reforman de acuerdo con la ventana de coincidencia seleccionada, que es 15 ns en el ejemplo.
- e) Finalmente, los valores de coincidencia corresponden a la superposición entre todos los canales "seleccionados".

20

La interfaz gráfica de usuario GUI mostrada en la figura 7 se utiliza para configurar el dispositivo de conteo síncrono por sobremuestreo de coincidencias de fotones múltiples OMPCC. El OMPCC puede ser configurable, la GUI está desarrollada en Wolfram Mathematic en este caso.

25

- La figura 7 revela un ejemplo de a) La interfaz gráfica de usuario GUI de la OMPCC que permite configurar para cada análisis, los canales usados y su alineación con la de flanco ascendente (P) o de flanco descendente (N). La ventana de coincidencia también se puede configurar, con un valor máximo de
- 30 1275 ns y una resolución de 5 ns, definida por la frecuencia del OMPCC. El tiempo de los informes periódicos se puede configurar en un rango de 50 ms a

20 s. b) Los informes periódicos pueden ser monitoreados en gráficas en tiempo real. En este ejemplo, las coincidencias entre dos señales cuadradas periódicas de 6.25 MHz, $PW1 = 15$ ns y una diferencia de fase de 10 ns, son detectados cuando $CW > 10$ ns.

5

La GUI permite configurar los canales utilizados en cada análisis, la coincidencia ventana y la hora de los informes periódicos con el número de coincidencias detectadas en este período. A su vez, inicia y detiene la transferencia de informes periódicos.

10

Es así como en la figura 7 se observa un ejemplo de realización de la modalidad particular de la invención, donde dos señales cuadradas de $PW1 = 15$ ns, $PW0 = 145$ ns (6.25 MHz) y 10 ns de fase entre ellas, están conectadas en los canales 3 y 4, luego se detectan coincidencias si la ventana de coincidencia es 15 ns o mayor.

15

El dispositivo de la invención y su GUI están interconectados usando la comunicación serial UART, y los tipos de tramas usados. En este caso, se usan 10 bytes en el encabezado, 1 byte para configurar CW, 4 bytes para configurar el período de reporte de coincidencias (CR), 8 bytes para configurar cada análisis de coincidencias (CA).

20

Además, la tecnología inalámbrica basada en el estándar Zigbee (IEEE 802.15.4) se utiliza para permitir la interconexión inalámbrica entre ellos con datos –con velocidades de 35 KB / s, considerando que la velocidad máxima de datos sea de alrededor de 1 KB / s, asociado a la transferencia de la trama 6 (42 bytes) con una velocidad de 25 informes / s. El cuadro 3 con 79 bytes, si bien es el mejor, sólo se envía una vez para configurar, lo que en consecuencia no configura una restricción de velocidad de datos.

25

30

La figura 8 revela algunas pruebas sobre la detección síncrona de coincidencia basada en sobremuestreo es una de las características principales del dispositivo ya que no se requiere la prealineación de las señales de entrada.

5

Para verificar lo anterior, se generaron dos señales de entrada de 60 MHz ($T = 16.6$ ns) y $PW1 = 6$ ns. Luego, su diferencia de fase se ajustó de -32 grados a $+32$ grados, como se muestra en la figura 8. Para el caso $CW = 5$ ns, el número de coincidencias detectadas decrecía cuando la diferencia de fase aumentaba proporcionalmente la probabilidad de muestrear los pulsos TTL de los SPCM por diferentes eventos de reloj. Sin embargo, el problema anterior se resuelve configurando la ventana de coincidencia a $CW = 10$ ns o más, ya que todas las coincidencias se detectan en este caso.

10

15

La frecuencia máxima permitida por el dispositivo sin detección de pérdida se verificó, experimentalmente, obteniendo 80 MHz cuando el filtro está deshabilitado y 49 MHz cuando el filtro está habilitado. Estas frecuencias son menores que los valores teóricos, que son 100 MHz y 66 MHz, respectivamente. Esta reducción de frecuencia se debe a variaciones en el ancho del pulso como forma trapezoidal, amplitud y umbral de detección.

20

La figura 8 revela el número de coincidencias detectadas por el dispositivo en función de la diferencia de fase entre dos señales de 60 MHz:

25

a) Cuando $CW = 5$ ns, se considera coincidencia a los pulsos muestreados en el mismo flanco de reloj. Sin embargo, los pulsos muestreados con un desfase de un ciclo de reloj, lo cual es normal en un proceso de muestreo, no serían detectados.

b) Cuando $CW = 10$ ns, todas las coincidencias se detectan debido a que el OMPCC está habilitado para detectar pulsos muestreados contiguos como una coincidencia.

- 5 El filtro de conteos oscuros se probó en una habitación oscura a 25 grados Celsius con temperatura controlada, y el número de pulsos detectados se muestra en la Figura 9.

10 Cuando el filtro está desactivado, el número de pulsos detectados es de alrededor de 530. Sin embargo, cuando el filtro de conteos oscuros está habilitado, el número de pulsos detectados se reduce a alrededor de 370. Es decir, una mejora con una reducción de conteos oscuros de aproximadamente del 30%.

15 Las figuras 10A y 10B revelan una conexión del dispositivo que se probó con fotones infrarrojos (~ 780 nm SPDC en un cristal no lineal), cruzando esos fotones a través de un divisor de haz 50/50 y integrando un interferómetro Hanbury Brown y Twiss (HBT). Como detectores, se usó un par de SPCM, alineados en cada camino óptico, produciendo un pulso TLL de 12 ns de ancho
20 por cada recuento de fotones. Por estos detectores, la ventana de coincidencia debe ser menor que el ancho de pulso TLL, por lo tanto, se empleó la ventana de coincidencias de 5 ns a 10 ns. Se contaron los fotones de llegada a cada detector (D1 y D2 en las Fig. 10A y 10B), y las coincidencias entre canales (C D1 D2) que emplean el OMPCC para dos ventanas de coincidencias. La cantidad
25 total de recuentos ($D1 + D2$) obtienen 3.4×10^7 recuentos distribuidos simétricamente entre los detectores, lo que sugiere una fuente de luz coherente clásica. Sin embargo, los valores de coincidencias logran un cuarto de la cantidad total de los recuentos (8.2×10^6 recuentos) en una ventana de coincidencia de 5 ns, lo que significa que sólo el 25% de los 3.4×10^7 recuentos detectados llegaron
30 simultáneamente en un sello temporal de 5 ns.

Este comportamiento puede explicarse por dos razones principales. Primero, un desequilibrio en los brazos del interferómetro podría inducir retrasos no intencionales entre los fotones de los diferentes caminos. Sin embargo, este supuesto se descarta, debido a que los retrasos máximos posibles en la ubicación de los detectores son de milímetros, donde estos desplazamientos espaciales producen retrasos temporales de décimas de nanosegundos, correcciones que son insignificantes en el rango de CW.

Otra posible razón sostiene que la fuente de los fotones no es absolutamente una fuente de luz clásica porque la probabilidad de obtener los fotones en ambos detectores y es menor que la cantidad total de fotones, antes del divisor del haz, en una medición simultánea. En un caso cuántico, la tasa de coincidencia debe ser cero porque solo un fotón llega al divisor del haz y debe "decidir" tomar solo una ruta de detección.

En este caso, podemos considerar una fuente de luz de mezcla (clásica-cuántica) debido al comportamiento estadístico de las detecciones con el dispositivo.

Al aumentar el CW a 10 ns, la tasa de coincidencia aumenta porque la lógica de conteo ve más flancos de pulso en la misma ventana de coincidencia CW, como se esperaba, el canal de conteo de cada detector no se altera. Es notable mencionar que, para el experimento actual, se usaron solo dos canales de entrada de los 64 disponibles, lo que demuestra una herramienta poderosa para implementaciones futuras en las que el conteo de eventos simultáneos debería ser crítico.

La figura 11 revela un diagrama de bloques de la arquitectura de la FPGA, del dispositivo de conteo síncrono de coincidencias entre pulsos múltiples basado en FPGA, el cual fue diseñado para la plataforma de desarrollo DE0-nano con una frecuencia de operación de 200MHz. No obstante, puede ser fácilmente

portado a otras plataformas que cumplan con los requerimientos de rendimiento, siendo posible un incremento en la frecuencia de operación.

Su principal característica es su diseño síncrono basado en reloj, lo cual fue posible gracias a su arquitectura pipeline y al sistema de adquisición basado en sobremuestreo. La figura 11 presenta el diseño de mayor jerarquía del dispositivo, el cual está compuesto por 5 bloques (el bloque 3430 es para pruebas).

- 5
- 10 El bloque 3410 corresponde al lazo de seguimiento de fase (Phase-Locked Loop PLL) del sistema, usado para elevar la frecuencia hasta 200MHz, a partir del reloj de 50MHz. Un PLL es un componente que permite multiplicar o dividir la frecuencia de una señal de reloj, y también desfasarla. Todas las FPGAs modernas incluyen al menos un PLL embebido en hardware, es decir, este
- 15 componente no es implementado usando los elementos lógicos de la FPGA, sino que utiliza un bloque hardware dedicado para esta función.

- El bloque 3420 corresponde a la interfaz de comunicación serial UART. Este bloque fue descargado de GitHub desde el link:
- 20 <https://github.com/pabennett/uart>. El bloque está compuesto por 5 puertos de entrada y 4 de salida. Las entradas clock y reset son triviales. Los puertos rx y tx son usados para recibir y transmitir datos de forma serial. El puerto data_stream_in [7..0] contiene el byte que se va a transmitir, mientras que el puerto data_stream_out [7..0] contiene el último byte que se recibió. El puerto
- 25 data_stream_in_stb es usado para iniciar la transmisión. El puerto data_stream_in_ack es una bandera que indica que la interfaz UART está ocupada transmitiendo, mientras que el puerto data_stream_out_stb es una bandera que indica que la interfaz UART está ocupada recibiendo.

- 30 El bloque 3430 corresponde a un generador de señales, usado solo para verificar el dispositivo. En este caso, está configurado para generar señales cuadradas

periódicas de 6.25MHz ($T=160\text{ns}$), con un pulso activo de 15ns, y desfasadas en múltiplos de 5ns. La resolución temporal de los desfases es debido a que el reloj del sistema es de 200MHz ($T=5\text{ns}$).

- 5 El bloque 3440 corresponde al bloque CounterPhotons, el cual es usado para detectar las coincidencias entre los diferentes canales de entrada. Este bloque está compuesto por 4 etapas, como se observa en la figura 11.

10 El bloque 3450 corresponde al contador de pulsos. Este bloque tiene un contador por cada análisis de coincidencias, los cuales incrementan cada vez que una coincidencia es detectada por cada respectivo análisis de coincidencias, y son reiniciados cada vez que se envía un reporte de coincidencias. En este caso, los pulsos de coincidencias van conectados al enable de los contadores, por lo cual dichos pulsos deben tener un ancho de un solo flanco de reloj y así evitar errores
15 de conteo.

El bloque 3460 corresponde a la unidad de control del OMPCC.

La figura 12 revela el bloque 3440, usado para la detección de coincidencias. CounterPhotons.vhd. El bloque de la etapa 3441 es el encargado de muestrear
20 las señales TTL de los canales de entrada, usando una señal de reloj de 200MHz.

La figura 13 incluye un Bloques de la etapa 3442 PulseFormArray, compuesto
25 por un filtro de false-counting y un detector de flancos de subida y bajada.

La figura 13 revela un detalle del bloque 3441 que tiene 2 sub-bloques, donde la primera parte 3441a es usado para reducir el falso conteo oscuro– false counting mediante el filtrado de los pulsos de una solo muestra, y una segunda parte
30 3441b que es usado para alinear el pulso de detección con el flanco de subida

(Tipo P) o el flanco de bajada (Tipo N) de la señal muestreada, generando un pulso con un ancho de un flanco de reloj.

5 Los bloques de la etapa 3441 son los encargados de expandir los pulsos tipo P y tipo N de acuerdo con la ventana de coincidencias definida.

10 La figura 14 revela el bloque de la etapa 3442 WindowPulseExtendArray, que muestra los pulsos de flanco ascendente Rising-Edge Pulses (REP) o los pulsos de flanco descendente Falling-Edge Pulses (FEP), donde se extienden de acuerdo con la ventana de coincidencia configurada.

15 La figura 15 revela el bloque detector de coincidencias de la etapa 3443 es el encargado de detectar las coincidencias como tal, permitiendo realizar 8 análisis de coincidencias simultáneos, y está compuesto por dos etapas. En la primera etapa se indican los canales que se van a tener en cuenta en cada análisis de coincidencias, los cuales son desactivados por defecto usando un 1 lógico. Estos canales pueden ser activados considerando el tipo de alineación, ya sea tipo P o tipo N. En la segunda etapa son detectadas las coincidencias, usando una compuerta AND pipeline, lo cual permite obtener un alto desempeño cuando el
20 número de canales incrementa. La compuerta AND pipeline fue diseñada con base en compuertas AND combinacionales de 4 entradas, considerando que las celdas lógicas de la DE0-nano (Logic Elements - LEs) permiten implementar cualquier función de cuatro entradas. Por lo anterior, es posible usar compuertas AND de más entradas si se usan FPGAs con celdas lógicas más grandes, como
25 es el caso de las FPGAs de Intel Cyclone V, Cyclone 10, Stratix y Arria, o FPGAs de otros fabricantes como Xilinx y Atmel.

30 Los bloques de la etapa 3444 son los encargados de reducir el ancho de los pulsos de coincidencias a un solo flanco de reloj, para facilitar el conteo de los pulsos.

La figura 16 revela el bloque de la etapa 3443 CoincidencePipe, compuesto por ocho análisis de coincidencias, los cuales tienen habilitadores de canales en la primera etapa, y una compuerta AND pipeline en la segunda etapa.

- 5 La figura 16 revela el bloque 3460 corresponde a la unidad de control del dispositivo. Este bloque está compuesto por 8 sub-bloques.

El bloque 3461 genera un pulso con un ancho de un flanco de reloj, asociado a los flancos de bajada de la señal IUartRxBusy. Estos pulsos indican que la
10 interfaz UART ya recibió un byte correctamente y por lo tanto puede ser procesado, entonces estos pulsos son usados para habilitar la carga de datos en los registros de desplazamiento de los bloques 3462 y 3465.

El bloque 3462 es usado para detectar las cabeceras de los cuatro tipos de
15 tramas procesados, generando una señal one-hot de 4 cuatro bits cuando una cabecera es detectada. Las cabeceras de las tramas recibidas son las siguientes:

- a) CiBioFi_QP es una consulta por los parámetros del dispositivo.
- 20 b) CiBioFi_SP indica que esa trama es usada para configurar el dispositivo. Las señales configurables son la ventana de coincidencias, el periodo de reportes y los canales habilitados por análisis de coincidencias.
- c) CiBioFi_ET habilita el envío de reportes periódicos de conteos de coincidencias.
- 25 d) CiBioFi_DT deshabilita el envío de reportes periódicos de conteos de coincidencias.

El bloque 3463 es la máquina de estados finita (Finite State Machine - FSM) de la unidad de control del dispositivo. La FSM cumple un rol de control de acceso
30 al medio, controlando la habilitación de los bloques 3464,3465,3466 de forma

indirecta a través de la acción de 3464 evitando que dos bloques intenten transmitir datos al mismo tiempo.

El bloque 3464 controla en envío de reportes coincidencias por parte del bloque

5 6.6. Cuando el envío de reportes está activo, el bloque genera un estímulo periódico para enviar los datos, y luego reiniciar los contadores de coincidencias. Adicionalmente, el envío de parámetros es deshabilitado cuando el envío de reportes está activo.

10 El bloque 3465 es usado para extraer la información de la trama de configuración y enviarla a los componentes respectivos. La información codificada en la trama fue mencionada en el numeral b.

El bloque 3466 registra el número de coincidencias durante el periodo de

15 análisis, justo antes de que los contadores sean reiniciados, para luego enviar estas cuentas a través del puerto serial. El bloque 3467 es usado para enviar los parámetros de diseño del dispositivo. Finalmente, el bloque 3468 es usado para sumar (OR) las señales de los bloques 3466 y 3467, considerando que solo uno de los 2 bloques puede estar activo.

20

En el método de sobremuestreo se utiliza una frecuencia de muestreo mayor que la frecuencia del GLP para muestrear el PW1 y el PW0 para digitalizar los pulsos TTL del SPCM; entonces, las coincidencias se detectan mediante el uso de una

25 ventana digital de coincidencias. Por lo tanto, este método no requiere alineación previa y muestra una mejor escalabilidad, portabilidad y repetibilidad en sistemas específicos en FPGA.

El método de sobremuestreo también es útil para reducir el conteo falso ya que muchos de estos pulsos TTL son de muy corta duración, luego muchos de estos

30 se muestrean por un solo reloj, o ni siquiera son detectados o muestreados. Por lo tanto, estos pequeños pulsos se pueden filtrar. Es importante identificar que

los pulsos de ruido muestreados durante dos o más ciclos de reloj no se pueden filtrar, por lo cual, el conteo falso solo se puede reducir, pero no evitar con este método.

5

El método considera que los pulsos ópticos detectados por los módulos de conteo de fotones simples no están superpuestos y que la frecuencia de muestreo (FS) del dispositivo de conteo síncrono de coincidencias de pulsos múltiples es varias veces mayor que la frecuencia de los pulsos ópticos.

10

Los cambios en la señal de entrada se pueden detectar usando una frecuencia de muestreo adecuado, donde el período de reloj de muestreo (TS) debe ser menor que el ancho de pulso activo (PW1) y el ancho de pulso inactivo (PW0) de los pulsos generados por los módulos de conteo de fotones simples.

15

Los pulsos muestreados se reforman de acuerdo con la ventana de coincidencia configurada y se alinean con su borde ascendente (P) o borde descendente (N), luego se detectan y cuentan las coincidencias. Luego la comunicación en serie se usa para configurar el dispositivo de conteo síncrono de coincidencias de fotones múltiples por sobremuestreo y leer informes periódicos de coincidencias desde una GUI.

20

La presente invención tiene aplicaciones en la interpretación de las señales provenientes de detectores de fotones a través de la electrónica, para definir cuando dos señales son “simultáneas”, y a partir de lo anterior, generar histogramas de coincidencias detectadas en un periodo de tiempo.

25

Por otro lado, el dispositivo también permite aplicaciones en el conteo y la detección de coincidencias de señales TTL (Transistor-Transistor Logic) convencionales, donde estas se utilizan en variedades de equipos e instrumentación electrónica convencional como: sistemas medidores de

30

distancia, detectores de movimiento, sensores ultrasónicos, sensores de humo, sistemas de vibración piezoeléctrica, sensores de temperatura, sensores de presión, sensores hidráulicos, entre otros.

- 5 Del mismo modo se usan en sistemas de control industrial utilizados en aisladores de potencia para el control del encendido de maquinaria a través de la interconexión con cualquiera de los sensores ya mencionados.

- 10 Otras aplicaciones importantes son la correlación de coincidencias, comunicación cuántica, entrelazamiento cuántico, teletransportación cuántica y procesamiento de información cuántica.

- 15 La anterior descripción solo puede ser tomada como referencia y no limitativa en sus componentes ni en su relación explícita, sino que han sido descritos para proporcionar una idea clara sobre la conformación general de la materia de la invención reclamada.

DESCRIPCIÓN DE LAS FIGURAS

5

Para complementar la descripción y con objeto de ayudar a una mejor comprensión de las características técnicas del invento, se acompaña a la presente memoria descriptiva como parte integrante de la misma, un conjunto de figuras definidas así:

10

Figura 1. Sistema de conteo síncrono por sobremuestreo de coincidencias de pulsos TTL múltiples,

15 Figura 2. Dispositivo de conteo síncrono por sobremuestreo de coincidencias de pulsos TTL múltiples.

Figura 3. Placas PCB con conexiones BNC a la FPGA.

20 Figura 4. Gráfica de pulsos TTL detectados por método de sobremuestreo.

Figura 5. Gráfica del proceso de detección de pulsos TTL, con diferentes anchos de pulso, por sobremuestreo.

25 Figura 6. Gráfica del proceso de detección de coincidencias.

Figura 7. Captura de pantalla de interfaz gráfica de usuario GUI.

30 Figura 8. Gráfica de validación del número de coincidencias detectadas por el OMPCC en función de la diferencia de fase, para el caso de 2 señales TTL periódicas de 60 MHz, muestreadas a 200 MHz.

Figura 9. Gráfica de conteo con filtro de pulsos oscuros activado.

5 Figura 10A. Diagrama de aplicación del OMPCC en una implementación del proceso de interferencia y/o entrelazamiento cuántico entre múltiples fotones.

10 Figura 10B. Gráfica de coincidencias detectadas por el OMPCC en la implementación cuántica presentada en la figura 10A.

Figura 11. Diagrama de bloques de la arquitectura hardware del OMPCC implementada en la FPGA.

15 Figura 12. Diseño del bloque del detector de coincidencias.

Figura 13. Diseño de los bloques del filtro de conteo y detector de flancos de subida y bajada.

20 Figura 14. Diseño del bloque de ajuste de ventana de coincidencias.

Figura 15. Diagrama de detalle del detector de coincidencias.

Figura 16. Diagrama de bloques de la unidad de control.