

REPÚBLICA DE COLOMBIA
SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO

Oficio N° **5649** de **20 de mayo de 2020**

Ref. Expediente N° NC2019/0001225

Señor(a)
TELEFONAKTIEBOLAGET LM ERICSSON (PUBL)

TÍTULO DE LA SOLICITUD: **“METODO DE CONCORDANCIA DE TASAS PARA LOS CÓDIGOS LDPC”**

NÚMERO DE SOLICITUD INTERNACIONAL: PCT/IB2017/054889

FECHA DE PRESENTACIÓN INTERNACIONAL: 10 de agosto de 2017.

PRIORIDAD(ES): 12/08/2016, US (ESTADOS UNIDOS DE AMÉRICA), 62/374,688

Como resultado del examen de patentabilidad realizado a la solicitud indicada en la referencia, atendiendo a lo consagrado en el artículo 45 de la Decisión 486 de 2000, se le comunica que esta Dirección ha encontrado que la materia objeto de solicitud no cumple con algunos requisitos establecidos en la Decisión, con fundamento en los siguientes aspectos:

1. Objeto de la invención

De acuerdo con lo establecido en el numeral 1.2.2.2 del Capítulo Primero del Título X de la Circular Única para efectos del examen de patentabilidad, cuando la solicitud contenga más de diez (10) reivindicaciones y no se haya pagado la tasa complementaria, sólo se estudiarán las cubiertas por la tasa pagada al momento de realizar el examen de patentabilidad consagrado en el artículo 45 de la Decisión 486. Por lo tanto, se estudiarán las reivindicaciones 1 a 50 del radicado N° NC2019/0001225 del 9 de abril de 2020.

El problema planteado en esta solicitud consiste en la necesidad de diseñar un método de concordancia de tasa para el tamaño de código real a partir de código LDPC dedicado necesario para una transmisión particular.

Para resolver este problema técnico, la solicitud en estudio proporciona un método para producir un conjunto de bits codificados a partir de un conjunto de bits de información para la transmisión entre un primer nodo y un segundo nodo en un sistema de comunicaciones inalámbricas. El método comprende generar un vector de palabras de código mediante la codificación del conjunto de bits de información con un código de verificación de paridad de baja densidad, en el que el vector de palabras de código está compuesto de bits sistemáticos y bits de paridad. El método comprende realizar una concordancia de tasa con base en un búfer circular en el vector de palabras de código generado para producir los bits codificados para transmisión, en el que la concordancia de tasa con base en el búfer circular comprende perforar una primera pluralidad de bits sistemáticos

2. Determinación del Estado de la Técnica

La fecha para determinar el estado de la técnica es el 12 de agosto de 2016 que corresponde a la fecha de presentación de la solicitud de prioridad.

Consultadas las fuentes de información con que se cuenta, se encontró el siguiente documento que anticipa el objeto de esta solicitud:

Ítem	Documento	Título	Fecha de Publicación
------	-----------	--------	----------------------

Oficio N° 5649 de 20 de mayo de 2020

Ref. Expediente N° NC2019/0001225

D1	US20080320353	“Apparatus comprising a circular buffer and method for assigning redundancy versions to a circular buffer”	25 de diciembre de 2008
----	---------------	--	-------------------------

El documento D1¹ divulga un método y un aparato para asignar versiones de redundancia a una memoria intermedia circular dentro de un sistema de comunicación. Durante la operación, se crea un búfer circular donde solo se definen versiones de redundancia para comenzar en la parte superior (es decir, en la primera fila) de los entrelazadores de subbloques constituyentes. Por ejemplo, con un total de ocho versiones de redundancia, las versiones de redundancia se colocarían en las posiciones $\lceil Kstream / 32 \rceil (12 \times i + \sigma)$, $i = 0, 1, \dots, 7$ donde σ indica el índice de la columna del entrelazador de subbloques de la posición del primer RV (RV0) (Pág. 1, Párr. 0020).

3. Examen de Patentabilidad (Art. 14 Decisión 486)

3.1. Nivel Inventivo (Art. 18 Decisión 486)

La reivindicación 1 consiste en: *“Un método para producir un conjunto de bits codificados a partir de un conjunto de bits de información para la transmisión entre un primer nodo y un segundo nodo en un sistema de comunicaciones inalámbricas (100), el método comprende: (...)”* (Radicado N° NC2019/0001225 del 9 de abril de 2020).

Tabla 1. Comparación de las características técnicas esenciales, con las del estado de la técnica:

Características esenciales	D1
Un método para producir un conjunto de bits codificados a partir de un conjunto de bits de información para la transmisión entre un primer nodo y un segundo nodo en un sistema de comunicaciones inalámbricas (100), el método comprende:	La presente invención se refiere en general a sistemas de comunicación y, en particular, a un método y aparato para asignar versiones de redundancia a una memoria intermedia circular dentro de un sistema de comunicación (Pág. 1, Párr. 0001). Una forma de realizar la función de coincidencia de velocidad es definir patrones de perforación / repetición para cada tamaño de bloque de información y velocidad de código que el sistema pueda encontrar. Sin embargo, este método es inflexible. Además, resulta poco práctico si el sistema involucra miles de combinaciones de tamaño de bloque de información y velocidad de código, como en un sistema de comunicación 3GPP (Pág. 1, Párr. 0001).
Generar un vector de palabras de código mediante la codificación del conjunto de bits de información con un código de verificación de paridad de baja densidad, en el que el vector de palabras de código está compuesto de bits sistemáticos y bits de paridad.	Otra forma de realizar una coincidencia de velocidad es definir una regla que recorra los bits de la palabra de código uno por uno y determine si un bit de la palabra de código debe perforarse (eliminarse) o repetirse. Tal método tiene el beneficio de la flexibilidad y se define en 3GPP Rel-99. Sin embargo, dicho método sufre de ineficiencia en la implementación. Además, no hay forma de garantizar que las transmisiones asociadas con un bloque de información dado no se superpongan (es decir, ortogonales) para IR HARQ. Por lo tanto, el rendimiento del sistema puede sufrir (Pág. 5, Párr. 0005). Volviendo ahora a los dibujos, en los que números similares designan componentes similares, la figura 1 y la figura 2 ilustran la funcionalidad de un método de coincidencia de velocidad basado en búfer circular. Más particularmente, la figura 1 es un diagrama de bloques de un transmisor y la figura 2 ilustra el entrelazado y entrelazado de subbloques. Durante el funcionamiento del transmisor (100), el codificador (101) emite un flujo de bits sistemático y al menos dos flujos de paridad. Para este ejemplo particular, el codificador (101) comprende un codificador turbo de velocidad $\frac{1}{3}$ adoptado en la estandarización 3GPP. Se observa que los siguientes conceptos se pueden adaptar a otros tipos de códigos de corrección de errores, como los códigos turbo con otras velocidades de código, códigos de

¹<https://patentimages.storage.googleapis.com/c6/96/bd/d8c064707cd165/US20080320353A1.pdf>

Oficio N° 5649 de 20 de mayo de 2020

Ref. Expediente N° NC2019/0001225

	verificación de paridad de baja densidad (LDPC), códigos convolucionales, etc. (Pág. 2, Párr. 0025).
Realizar la concordancia de tasa con base en el búfer circular en el vector de palabras de código generado para producir los bits codificados para la transmisión, en dónde.	La circuitería de adaptación de velocidad (102) recibe la salida de los flujos del codificador (101) y realiza el entrelazado de subbloques en cada flujo individualmente. Esto se ilustra en la figura 2 donde S', P0' y P1' son flujo de bits sistemático, flujo de 0 bits de paridad y flujo de 1 bit de paridad, respectivamente. Cada flujo se reorganiza (entrelaza) con su propio entrelazador de subbloques (no mostrado en las Figuras 1 o 2) para producir S, P0 y P1. P0 y P1 se entrelazan entre sí para producir la porción (201) entrelazada de P0 y P1. Se forma una única memoria intermedia de salida (105) (también llamada memoria intermedia circular) almacenando los bits sistemáticos reorganizados S al principio, seguidos por la porción (201) entrelazada de P0 y P1 (Pág. 2, Párr. 0027).
La concordancia de tasa con base en el búfer circular comprende perforar una primera pluralidad de bits sistemáticos.	Para una tasa de operación de código deseada, el número de bits codificados deseados para ser seleccionados para la transmisión se calcula y pasa a la circuitería lógica (104) como entrada. El circuito lógico (104) simplemente lee un bloque de bits consecutivos de longitud no deseada de la secuencia del búfer circular (envuelto hasta el principio si se excede el último bit del búfer circular) desde un cierto punto de partida. Por lo tanto, la perforación y la repetición se pueden lograr utilizando un único método. La técnica de búfer circular tiene una ventaja en flexibilidad (en tasas de código logradas) y granularidad (en tamaños de flujos). La coincidencia de la velocidad del búfer circular selecciona bits de paridad distribuidos aproximadamente de manera uniforme sobre el enrejado del código, independientemente de la velocidad de operación del código deseada si los entrelazadores de subbloques están diseñados correctamente (Pág. 2, Párr. 0028).
Los bits perforados tienen un peso de columna mayor que los bits no perforados.	No menciona.

El documento D1 se considera el estado de la técnica más cercano a la invención definida en la reivindicación 1 porque divulga un método y un aparato para asignar versiones de redundancia a una memoria intermedia circular dentro de un sistema de comunicación. Durante la operación, se crea un búfer circular donde solo se definen versiones de redundancia para comenzar en la parte superior (es decir, en la primera fila) de los entrelazadores de subbloques constituyentes. Por ejemplo, con un total de ocho versiones de redundancia, las versiones de redundancia se colocarían en las posiciones $\lceil K_{stream} / 32 \rceil$ ($12 \times i + \sigma$), $i = 0, 1, \dots, 7$ donde σ indica el índice de la columna del entrelazador de subbloques de la posición del primer RV (RV0). (Pág. 1, Párr. 0020).

La diferencia entre la invención definida en la reivindicación 1 y método divulgado de D1 consiste en que los bits perforados tienen un peso de columna mayor que los bits no perforados.

No se evidencia un efecto asociado al incluir que los bits perforados tengan un peso de columna mayor que los bits no perforados, ya que corresponde a una característica de diseño en el método².

Por lo tanto, el problema técnico objetivo que pretende resolver esta invención se puede formular así: ¿Cómo modificar el método conocido en D1 con el fin de obtener un método alternativo?

² Borko Furht, Syed A. Ahson. "Handbook of Mobile Broadcasting: DVB-H, DMB, ISDB-T, AND MEDIAFLO". 2008. Págs. 428 a 434 Tomado de: <https://books.google.com.co/books?id=9B3OyEadBTEC&pg=PA429&lpg=PA429&dq=#v=onepage&q&f=false>. (Última vez consultado: 20 de abril de 2020).

Oficio N° 5649 de 20 de mayo de 2020

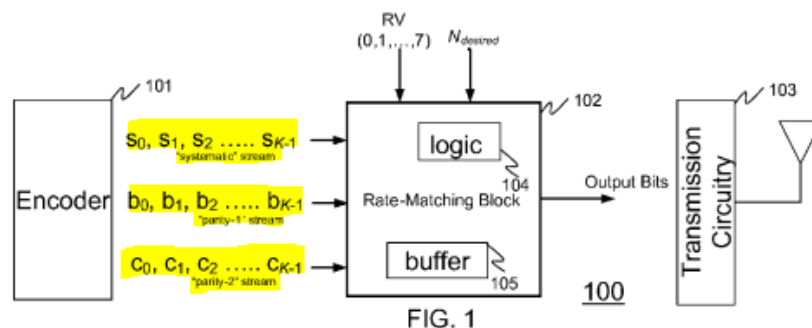
Ref. Expediente N° NC2019/0001225

Sin embargo, el incluir que los bits perforados tengan un peso de columna mayor que los bits no perforados para obtener el método ya es conocido por un técnico medio versado en la materia^{2, 3}.

En consecuencia, la persona normalmente versada en la materia estaría motivada a incluir que los bits perforados tengan un peso de columna mayor que los bits no perforados en el método de D1, para así llegar al objeto de la reivindicación 1. Por lo cual se considera obvia.

Asimismo, el documento D1 divulga las características de las reivindicaciones dependientes así:

- Reivindicación 2: Volviendo ahora a los dibujos, en los que números similares designan componentes similares, la figura 1 y la figura 2 ilustran la funcionalidad de un método de coincidencia de velocidad basado en búfer circular. Más particularmente, la figura 1 es un diagrama de bloques de un transmisor y la figura 2 ilustra el entrelazado y entrelazado de subbloques. Durante el funcionamiento del transmisor (100), el codificador (101) emite un flujo de bits sistemático y al menos dos flujos de paridad. Para este ejemplo particular, el codificador (101) comprende un codificador turbo de velocidad 1/3 adoptado en la estandarización 3GPP. Se observa que los siguientes conceptos se pueden adaptar a otros tipos de códigos de corrección de errores, como códigos turbo con otras tasas de códigos, códigos de verificación de paridad de baja densidad (LDPC), códigos convolucionales, etc. (Pág. 2, Párr. 0025).



- Reivindicación 3: Cuando se utilizan tanto la perforación sistemática como el emparejamiento de frecuencia de la primera etapa, la implementación puede ilustrarse de la siguiente manera. Primero, la primera etapa RM se logra eliminando una o más columnas (preferiblemente de la última columna del buffer circular virtual) del buffer circular para formar un buffer circular acortado. Por lo tanto, los bits sistemáticos se pueden perforar definiendo la primera versión de redundancia para comenzar en una posición con un desplazamiento relativo al comienzo del búfer circular acortado. En otras palabras, la perforación de bits sistemática se puede lograr definiendo RV_0 en un cierto número de columna distinto de cero en el entrelazador de subbloques del entrelazador de subbloques sistemático. Tenga en cuenta que los pasos anteriores se pueden combinar directamente también. Nuevamente, puede considerarse que la comparación de velocidad de la primera etapa se aplica por palabra de código (o por segmento). Por conveniencia, el tampón circular acortado también se conoce como tampón circular después de aplicar el ajuste de velocidad de la primera etapa. Esta distinción debe ser clara desde el contexto (Pág. 7, Párr. 0109).

3 Wikipedia. "Puncturing". Tomado de: <https://en.wikipedia.org/wiki/Puncturing>. (Última vez consultado: 20 de abril de 2020).

Oficio N° 5649 de 20 de mayo de 2020

Ref. Expediente N° NC2019/0001225

- Reivindicación 4: Para las definiciones de RV, las opciones incluyen: Esquema 1. Solo permita un subconjunto de posibles RV. Si los Y RVs se definen sin una coincidencia de velocidad de 1 etapa (es decir, una coincidencia de velocidad de 1 "es transparente), entonces los Y' RV de los RV disponibles de Y pueden mantenerse cuando la coincidencia de velocidad de 1 etapa no es transparente, $Y' \leq Y$ (Pág. 5, Párr. 0074, líneas 5 y 6, y Párr. 0075, líneas 1 a 5).
- Reivindicación 5: Esquema 2. Redefina los RV de modo que esté disponible un conjunto completo de RV Y dentro del tamaño máximo permitido de la memoria intermedia circular. Los RV se redefinen de modo que comiencen en la parte superior de las columnas del búfer circular con bits ficticios insertados. La cantidad de punción sistemática de bits no ha cambiado. De modo que RVO comienza en la misma posición para todas las clases de UE (Pág. 5, Párr. 0076, líneas 1 a 7).
- Reivindicación 10: La presente invención abarca un método para asignar versiones de redundancia a una memoria intermedia circular. El método comprende los pasos de recibir bits sistemáticos, un primer bloque de bits de paridad y un segundo bloque de bits de paridad. Los bits sistemáticos, el primer bloque de bits de paridad y el segundo bloque de bits de paridad comprenden todos bits ficticios (Pág. 1, Párr. 0022, líneas 1 a 6).
- Reivindicación 11: Para una tasa de operación de código deseada, el número de bits codificados N_{deseado} que se seleccionarán para la transmisión se calcula y pasa a la circuitería lógica (104) como entrada. La circuitería lógica (104) simplemente lee un bloque de longitud N_{deseado} de bits consecutivos de la secuencia del búfer circular (envuelto hasta el principio si se excede el último bit del búfer circular) desde un cierto punto de partida. Por lo tanto, la perforación y la repetición se pueden lograr utilizando un solo método. La técnica de búfer circular tiene una ventaja en flexibilidad (en tasas de código logradas) y granularidad (en tamaños de flujos). La coincidencia de la velocidad del búfer circular selecciona bits de paridad distribuidos aproximadamente de manera uniforme sobre el enrejado del código, independientemente de la velocidad de operación del código deseada si los entrelazadores de subbloques están diseñados correctamente (Pág. 2, Párr. 0028).
- Reivindicación 12: La presente invención comprende un aparato que comprende un codificador que emite bits sistemáticos, un primer bloque de bits de paridad y un segundo bloque de bits de paridad. Se proporciona un circuito de correspondencia de velocidad que recibe los bits sistemáticos, el primer bloque de bits de paridad y el segundo bloque de bits de paridad y crea una memoria intermedia circular que tiene bits ficticios (Pág. 2, párr. 0023, líneas 1 a 6). La permutación de cada flujo (o entrelazador de subbloques) se describe como $K_{\text{rect}} = N_r \times N_c$, matriz rectangular con bits ficticios (Pág. 4, Párr. 0058).
- Reivindicación 13: Figura 7. La permutación de cada flujo (o entrelazador de subbloques) se describe como $K_{\text{rect}} = N_r \times N_c$, matriz rectangular con bits ficticios (Pág. 4, Párr. 0058). Cuando $K_{\text{estam}} = N_r \times N_c$, los bits de cada flujo se escriben en el rectángulo en fila y se leen en columna (después de la permutación de columna) (Pág. 4, Párr. 0059).



Oficio N° 5649 de 20 de mayo de 2020

Ref. Expediente N° NC2019/0001225

RV definition with CB that has dummy bits

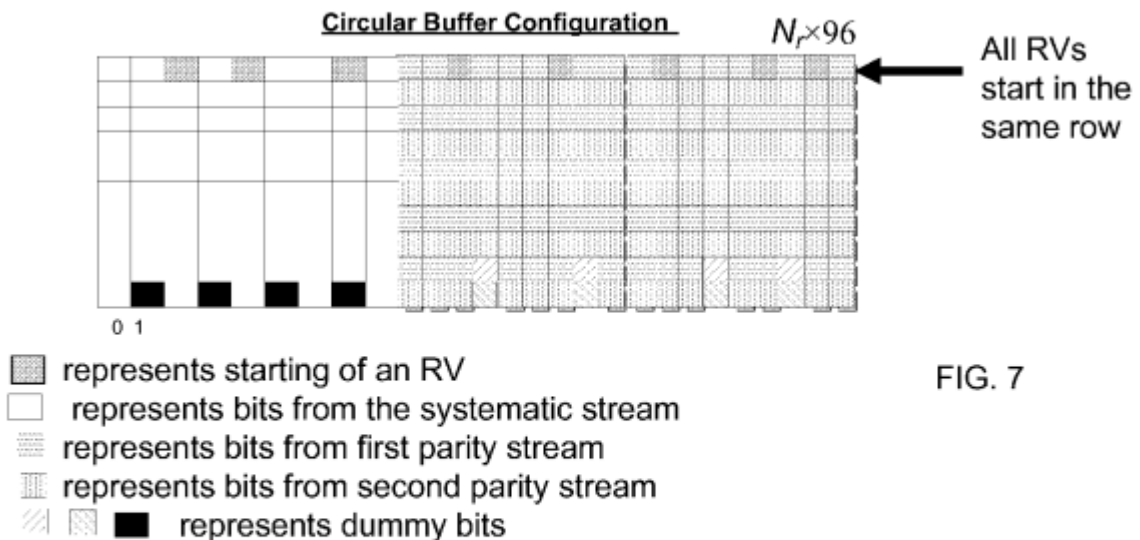


FIG. 7

▪ **Memoryless RV definition is key to efficiently start from any RV**

- CB may be formed by reading bits out column-by-column
- Dummy bits discarded while reading out
- Each RV begins at the top of a column $\{2, 14, 26, 38, 50, 62, 74, 86\}$
 - $RV(i)$ starts at bit position $pos_{VCB}(i) = \lceil K/32 \rceil \times (12i+2) = \lfloor (6 \times i + 1) \times K_{rect}/16 \rfloor$

- Reivindicación 14: Cabe señalar que cuando el rectángulo está lleno (bits ficticios utilizados o no), la permutación de cada flujo tiene una expresión de forma cerrada, lo que significa que es fácil determinar la permutación inversa. Si es fácil determinar la permutación inversa, también es fácil determinar la posición en el flujo de salida del codificador correspondiente a un RV particular (Pág. 4, Párr. 0061, líneas 1 a 6).
- Reivindicación 18: Esquema 2. Redefina los RV de modo que esté disponible un conjunto completo de Y RV dentro del tamaño máximo permitido de la memoria intermedia circular. Los RVs se redefinen de modo que comiencen en la parte superior de las columnas del búfer circular con bits ficticios insertados. La cantidad de punción sistemática de bits no ha cambiado. De modo que RV 0 comienza en la misma posición para todas las clases de UE. Por ejemplo, si N_{col} columnas del búfer circular con relleno simulado (que contiene columnas $3 \times N_c$ antes del emparejamiento de velocidad de 1 etapa) permanecen después del emparejamiento de velocidad de 1 etapa, entonces los Y RVs pueden comenzar en la parte superior de la columna del piso índice $((N_{col}-2) / Y) \times i + 2$, $i = 0, 1, \dots, Y-1$ (Pág. 5, Párr. 0076).
- Reivindicación 21: K_{FEC} , se refiere a un tamaño de bloque de entrada soportado por el codificador FEC (K_{FEC} , es igual al tamaño del intercalador para el código turbo binario, y es igual al doble del tamaño del intercalador para el código turbo duo-binario) (Pág. 3, Párr. 0038).
- Reivindicación 24: Este proceso de formación del tampón circular se ilustra en la figura 4 y la figura 5 con 4 bits ficticios insertados en cada flujo. Con referencia a la figura 4, los bits sistemáticos (401), que tienen bits falsos (407) añadidos, se



Ref. Expediente N° NC2019/0001225

intercalan en bloques para producir bits sistemáticos permutados S (402). De manera similar, los bits de paridad P_0' y P_1' (403) (que tienen bits falsos añadidos) se intercalan para producir bits de paridad P_0' y P_1' (404). Los bits ficticios se agregan a las secuencias para que el entrelazador de bloques esté lleno para cada secuencia. P_0' y P_1' se entrelazan para producir una porción entrelazada entrelazada P_0' y P_1' (405). Las dos matrices S y P_{0-1} se combinan como se muestra en la figura 5 y se almacenan en el buffer (307). El buffer (307) se lee en columna, comenzando en la parte superior de la matriz. Aunque en la descripción anterior los bits ficticios se insertan después de una corriente, en ciertas realizaciones, también se pueden insertar antes de la corriente (Págs. 2 y 3, Párr. 0032).

Las reivindicaciones dependientes 2 a 5, 10 a 14, 18, 21 y 24 no mencionan alguna característica que, junto con las características de la reivindicación independiente, aporte nivel inventivo método de la reivindicación 1, por lo cual se considera que no tienen nivel inventivo.

La reivindicación 26 consiste en: *“Un primer nodo para producir un conjunto de bits codificados a partir de un conjunto de bits de información para su transmisión a un segundo nodo en un sistema de comunicaciones inalámbricas, el primer nodo comprende: (...)”* (Radicado N° NC2019/0001225 del 9 de abril de 2020).

Tabla 2. Comparación de las características técnicas esenciales, con las del estado de la técnica:

Características esenciales	D1
Un primer nodo para producir un conjunto de bits codificados a partir de un conjunto de bits de información para su transmisión a un segundo nodo en un sistema de comunicaciones inalámbricas, el primer nodo comprende:	La presente invención se refiere en general a sistemas de comunicación y, en particular, a un método y aparato para asignar versiones de redundancia a una memoria intermedia circular dentro de un sistema de comunicación (Pág. 1, Párr. 0001). Una forma de realizar la función de coincidencia de velocidad es definir patrones de perforación/repetición para cada tamaño de bloque de información y velocidad de código que el sistema pueda encontrar. Sin embargo, este método es inflexible. Además, resulta poco práctico si el sistema involucra miles de combinaciones de tamaño de bloque de información y velocidad de código, como en un sistema de comunicación 3GPP (Pág. 1, Párr. 0001).
Circuitos de procesamiento, el circuito de procesamiento configurado para.	La figura 3 es un diagrama de bloques del transmisor (300). El transmisor (300) comprende el codificador (301) y la circuitería de coincidencia de frecuencia (303). La circuitería de coincidencia de frecuencia (303) comprende adicionalmente la circuitería lógica (305) y la memoria (307). La circuitería lógica (305) es preferiblemente un microprocesador, microcontrolador, procesadores de señal digital (DSP), o tales otros dispositivos conocidos por los expertos en la materia. Las operaciones/funciones particulares de los circuitos lógicos (305), por lo tanto, del transmisor (300) se determinan mediante la ejecución de instrucciones y rutinas de software (Pág. 2, Párr. 0029, líneas 1 a 9).
Generar un vector de palabras de código codificando el conjunto de bits de información con un código de verificación de paridad de baja densidad, en el que el vector de palabras de código está compuesto de bits sistemáticos y bits de paridad.	Otra forma de realizar una coincidencia de velocidad es definir una regla que recorra los bits de la palabra de código uno por uno y determine si un bit de la palabra de código debe perforarse (eliminarse) o repetirse. Tal método tiene el beneficio de la flexibilidad y se define en 3GPP Rel-99. Sin embargo, dicho método sufre de ineficiencia en la implementación. Además, no hay forma de garantizar que las transmisiones asociadas con un bloque de información dado no se superpongan (es decir, ortogonales) para IR HARQ. Por lo tanto, el rendimiento del sistema puede sufrir (Pág. 5, Párr. 0005). Volviendo ahora a los dibujos, en los que números similares designan componentes similares, la figura 1 y la figura 2 ilustran la funcionalidad de un método de coincidencia de velocidad basado en búfer circular. Más particularmente, la figura 1 es un diagrama de bloques de un transmisor y la figura 2 ilustra el entrelazado y entrelazado de subbloques. Durante el

Oficio N° 5649 de 20 de mayo de 2020

Ref. Expediente N° NC2019/0001225

	funcionamiento del transmisor (100), el codificador (101) emite un flujo de bits sistemático y al menos dos flujos de paridad. Para este ejemplo particular, el codificador (101) comprende un codificador turbo de velocidad 1/3 adoptado en la estandarización 3GPP. Se observa que los siguientes conceptos se pueden adaptar a otros tipos de códigos de corrección de errores, como los códigos turbo con otras velocidades de código, códigos de verificación de paridad de baja densidad (LDPC), códigos convolucionales, etc. (Pág. 2, Párr. 0025).
Realizar la concordancia de tasa con base en el búfer circular en el vector de palabras de código generado para producir los bits codificados para transmisión, en dónde.	La circuitería de adaptación de velocidad (102) recibe la salida de los flujos del codificador (101) y realiza el entrelazado de subbloques en cada flujo individualmente. Esto se ilustra en la figura 2 donde S', P0' y P1' son flujo de bits sistemático, flujo de 0 bits de paridad y flujo de 1 bit de paridad, respectivamente. Cada flujo se reorganiza (entrelaza) con su propio entrelazador de subbloques (no mostrado en las Figuras 1 o 2) para producir S, P0 y P1. P0 y P1 se entrelazan entre sí para producir la porción (201) entrelazada de P0 y P1. Se forma una única memoria intermedia de salida (105) (también llamada memoria intermedia circular) almacenando los bits sistemáticos reorganizados S al principio, seguidos por la porción (201) entrelazada de P0 y P1 (Pág. 2, Párr. 0027).
La concordancia de tasa con base en el búfer circular comprende perforar una primera pluralidad de bits sistemáticos; y.	Para una tasa de operación de código deseada, el número de bits codificados deseados para ser seleccionados para la transmisión se calcula y pasa a la circuitería lógica (104) como entrada. El circuito lógico (104) simplemente lee un bloque de bits consecutivos de longitud no deseada de la secuencia del búfer circular (envuelto hasta el principio si se excede el último bit del búfer circular) desde un cierto punto de partida. Por lo tanto, la perforación y la repetición se pueden lograr utilizando un único método. La técnica de búfer circular tiene una ventaja en flexibilidad (en tasas de código logradas) y granularidad (en tamaños de flujos). La coincidencia de la velocidad del búfer circular selecciona bits de paridad distribuidos aproximadamente de manera uniforme sobre el enrejado del código, independientemente de la velocidad de operación del código deseada si los entrelazadores de subbloques están diseñados correctamente (Pág. 2, Párr. 0028).
Los bits perforados tienen un peso de columna mayor que los bits no perforados.	No menciona.

El documento D1 se considera el estado de la técnica más cercano a la invención definida en la reivindicación 26 porque divulga un método y un aparato para asignar versiones de redundancia a una memoria intermedia circular dentro de un sistema de comunicación. Durante la operación, se crea un búfer circular donde solo se definen versiones de redundancia para comenzar en la parte superior (es decir, en la primera fila) de los entrelazadores de subbloques constituyentes. Por ejemplo, con un total de ocho versiones de redundancia, las versiones de redundancia se colocarían en las posiciones $\lfloor K_{stream} / 32 \rfloor (12 \times i + \sigma)$, $i = 0, 1, \dots, 7$ donde σ indica el índice de la columna del entrelazador de subbloques de la posición del primer RV (RV0). (Pág. 1, Párr. 0020).

La diferencia entre la invención definida en la reivindicación 26 y sistema divulgado de D1 consiste en que los bits perforados tienen un peso de columna mayor que los bits no perforados.

No se evidencia un efecto asociado al incluir que los bits perforados tengan un peso de columna mayor que los bits no perforados, ya que corresponde a una característica de diseño en el método⁴.

⁴ Borko Furht, Syed A. Ahson. "Handbook of Mobile Broadcasting: DVB-H, DMB, ISDB-T, AND MEDIAFLO". 2008. Págs. 428 a 434 Tomado de: <https://books.google.com.co/books?id=9B3OyEadBTEC&pg=PA429&lpg=PA429&dq=#v=onepage&q&f=false>. (Última vez consultado: 20 de abril de 2020).

Oficio N° 5649 de 20 de mayo de 2020

Ref. Expediente N° NC2019/0001225

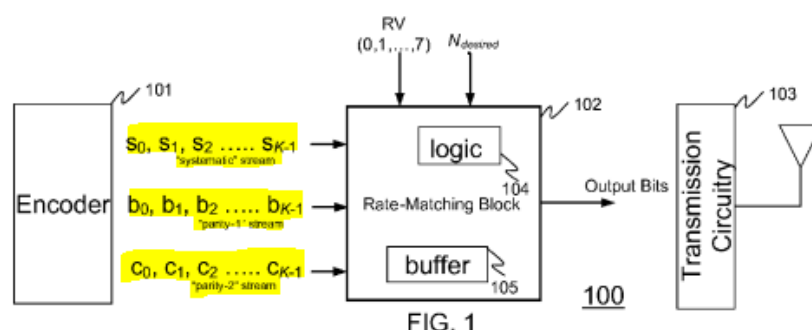
Por lo tanto, el problema técnico objetivo que pretende resolver esta invención se puede formular así: ¿Cómo modificar el sistema conocido en D1 con el fin de obtener un sistema alternativo?

Sin embargo, el incluir que los bits perforados tengan un peso de columna mayor que los bits no perforados para obtener el método ya es conocido por un técnico medio versado en la materia^{4, 5}.

En consecuencia, la persona normalmente versada en la materia estaría motivada a incluir que los bits perforados tengan un peso de columna mayor que los bits no perforados en el sistema de D1, para así llegar al objeto de la reivindicación 26. Por lo cual se considera obvia.

Asimismo, el documento D1 divulga las características de las reivindicaciones dependientes así:

- Reivindicación 27: Volviendo ahora a los dibujos, en los que números similares designan componentes similares, la figura 1 y la figura 2 ilustran la funcionalidad de un método de coincidencia de velocidad basado en búfer circular. Más particularmente, la figura 1 es un diagrama de bloques de un transmisor y la figura 2 ilustra el entrelazado y entrelazado de subbloques. Durante el funcionamiento del transmisor (100), el codificador (101) emite un flujo de bits sistemático y al menos dos flujos de paridad. Para este ejemplo particular, el codificador (101) comprende un codificador turbo de velocidad 1/3 adoptado en la estandarización 3GPP. Se observa que los siguientes conceptos se pueden adaptar a otros tipos de códigos de corrección de errores, como códigos turbo con otras tasas de códigos, códigos de verificación de paridad de baja densidad (LDPC), códigos convolucionales, etc. (Pág. 2, Párr. 0025).



- Reivindicación 28: Cuando se utilizan tanto la perforación sistemática como el emparejamiento de frecuencia de la primera etapa, la implementación puede ilustrarse de la siguiente manera. Primero, la primera etapa RM se logra eliminando una o más columnas (preferiblemente de la última columna del buffer circular virtual) del buffer circular para formar un buffer circular acortado. Por lo tanto, los bits sistemáticos se pueden perforar definiendo la primera versión de redundancia para comenzar en una posición con un desplazamiento relativo al comienzo del búfer circular acortado. En otras palabras, la perforación de bits sistemática se puede lograr definiendo RV_0 en un cierto número de columna distinto de cero en el entrelazador de subbloques del entrelazador de subbloques sistemático. Tenga en cuenta que los pasos anteriores se pueden combinar directamente también. Nuevamente, puede considerarse que la comparación de

⁵ Wikipedia. "Puncturing". Tomado de: <https://en.wikipedia.org/wiki/Puncturing>. (Última vez consultado: 20 de abril de 2020).

Oficio N° 5649 de 20 de mayo de 2020

Ref. Expediente N° NC2019/0001225

velocidad de la primera etapa se aplica por palabra de código (o por segmento). Por conveniencia, el tampón circular acortado también se conoce como tampón circular después de aplicar el ajuste de velocidad de la primera etapa. Esta distinción debe ser clara desde el contexto (Pág. 7, Párr. 0109).

- Reivindicación 29: Para las definiciones de RV, las opciones incluyen: Esquema 1. Solo permita un subconjunto de posibles RV. Si los Y RVs se definen sin una coincidencia de velocidad de 1 etapa (es decir, una coincidencia de velocidad de 1 "es transparente), entonces los Y' RV de los RV disponibles de Y pueden mantenerse cuando la coincidencia de velocidad de 1 etapa no es transparente, $Y' \leq Y$ (Pág. 5, Párr. 0074, líneas 5 y 6, y Párr. 0075, líneas 1 a 5).
- Reivindicación 30: Esquema 2. Redefina los RV de modo que esté disponible un conjunto completo de RV Y dentro del tamaño máximo permitido de la memoria intermedia circular. Los RV se redefinen de modo que comiencen en la parte superior de las columnas del búfer circular con bits ficticios insertados. La cantidad de punción sistemática de bits no ha cambiado. De modo que RVO comienza en la misma posición para todas las clases de UE (Pág. 5, Párr. 0076, líneas 1 a 7).
- Reivindicación 35: La presente invención abarca un método para asignar versiones de redundancia a una memoria intermedia circular. El método comprende los pasos de recibir bits sistemáticos, un primer bloque de bits de paridad y un segundo bloque de bits de paridad. Los bits sistemáticos, el primer bloque de bits de paridad y el segundo bloque de bits de paridad comprenden todos bits ficticios (Pág. 1, Párr. 0022, líneas 1 a 6).
- Reivindicación 36: Para una tasa de operación de código deseada, el número de bits codificados N_{deseado} que se seleccionarán para la transmisión se calcula y pasa a la circuitería lógica (104) como entrada. La circuitería lógica (104) simplemente lee un bloque de longitud N_{deseado} de bits consecutivos de la secuencia del búfer circular (envuelto hasta el principio si se excede el último bit del búfer circular) desde un cierto punto de partida. Por lo tanto, la perforación y la repetición se pueden lograr utilizando un solo método. La técnica de búfer circular tiene una ventaja en flexibilidad (en tasas de código logradas) y granularidad (en tamaños de flujos). La coincidencia de la velocidad del búfer circular selecciona bits de paridad distribuidos aproximadamente de manera uniforme sobre el enrejado del código, independientemente de la velocidad de operación del código deseada si los entrelazadores de subbloques están diseñados correctamente (Pág. 2, Párr. 0028).
- Reivindicación 37: La presente invención comprende un aparato que comprende un codificador que emite bits sistemáticos, un primer bloque de bits de paridad y un segundo bloque de bits de paridad. Se proporciona un circuito de correspondencia de velocidad que recibe los bits sistemáticos, el primer bloque de bits de paridad y el segundo bloque de bits de paridad y crea una memoria intermedia circular que tiene bits ficticios (Pág. 2, párr. 0023, líneas 1 a 6). La permutación de cada flujo (o entrelazador de subbloques) se describe como $K_{\text{rect}} = N_r \times N_c$, matriz rectangular con bits ficticios (Pág. 4, Párr. 0058).
- Reivindicación 38: Figura 7. La permutación de cada flujo (o entrelazador de subbloques) se describe como $K_{\text{rect}} = N_r \times N_c$, matriz rectangular con bits ficticios (Pág. 4, Párr. 0058). Cuando $K_{\text{estam}} = N_r \times N_c$, los bits de cada flujo se escriben en



Oficio N° 5649 de 20 de mayo de 2020

Ref. Expediente N° NC2019/0001225

el rectángulo en fila y se leen en columna (después de la permutación de columna) (Pág. 4, Párr. 0059).

RV definition with CB that has dummy bits

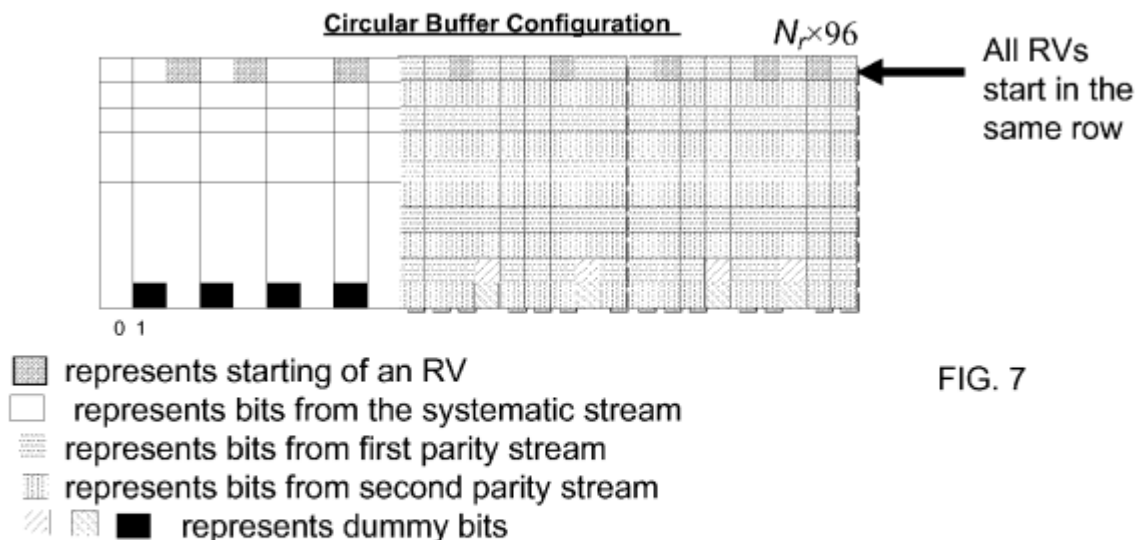


FIG. 7

- **Memoryless RV definition is key to efficiently start from any RV**
- CB may be formed by reading bits out column-by-column
- Dummy bits discarded while reading out
- Each RV begins at the top of a column $\{2, 14, 26, 38, 50, 62, 74, 86\}$
 - RV(i) starts at bit position $\text{pos}_{\text{VCB}}(i) = \lceil K/32 \rceil \times (12i+2) = \lfloor (6 \times i + 1) \times K_{\text{rect}}/16 \rfloor$

- Reivindicación 39: Cabe señalar que cuando el rectángulo está lleno (bits ficticios utilizados o no), la permutación de cada flujo tiene una expresión de forma cerrada, lo que significa que es fácil determinar la permutación inversa. Si es fácil determinar la permutación inversa, también es fácil determinar la posición en el flujo de salida del codificador correspondiente a un RV particular (Pág. 4, Párr. 0061, líneas 1 a 6).
- Reivindicación 43: Esquema 2. Redefina los RV de modo que esté disponible un conjunto completo de Y RV dentro del tamaño máximo permitido de la memoria intermedia circular. Los RVs se redefinen de modo que comiencen en la parte superior de las columnas del búfer circular con bits ficticios insertados. La cantidad de punción sistemática de bits no ha cambiado. De modo que RV 0 comienza en la misma posición para todas las clases de UE. Por ejemplo, si N_{col} columnas del búfer circular con relleno simulado (que contiene columnas $3 \times N_c$ antes del emparejamiento de velocidad de 1 etapa) permanecen después del emparejamiento de velocidad de 1 etapa, entonces los Y RVs pueden comenzar en la parte superior de la columna del piso índice $((N_{\text{col}}-2) / Y) \times i + 2$, $i = 0, 1, \dots, Y-1$ (Pág. 5, Párr. 0076).
- Reivindicación 46: K_{FEC} , se refiere a un tamaño de bloque de entrada soportado por el codificador FEC (K_{FEC} , es igual al tamaño del intercalador para el código turbo binario, y es igual al doble del tamaño del intercalador para el código turbo duo-binario) (Pág. 3, Párr. 0038).



Oficio N° 5649 de 20 de mayo de 2020

Ref. Expediente N° NC2019/0001225

- Reivindicación 49: Este proceso de formación del tampón circular se ilustra en la figura 4 y la figura 5 con 4 bits ficticios insertados en cada flujo. Con referencia a la figura 4, los bits sistemáticos (401), que tienen bits falsos (407) añadidos, se intercalan en bloques para producir bits sistemáticos permutados S (402). De manera similar, los bits de paridad P_0' y P_1' (403) (que tienen bits falsos añadidos) se intercalan para producir bits de paridad P_0' y P_1' (404). Los bits ficticios se agregan a las secuencias para que el entrelazador de bloques esté lleno para cada secuencia. P_0' y P_1' se entrelazan para producir una porción entrelazada entrelazada P_0' y P_1' (405). Las dos matrices S y P_{0-1} se combinan como se muestra en la figura 5 y se almacenan en el buffer (307). El buffer (307) se lee en columna, comenzando en la parte superior de la matriz. Aunque en la descripción anterior los bits ficticios se insertan después de una corriente, en ciertas realizaciones, también se pueden insertar antes de la corriente (Págs. 2 y 3, Párr. 0032).

Las reivindicaciones dependientes 27 a 30, 35 a 39, 43, 46 y 49 no mencionan alguna característica que, junto con las características de la reivindicación independiente, aporte nivel inventivo sistema de la reivindicación 26, por lo cual se considera que no tienen nivel inventivo.

4. Conclusión con respecto a novedad y/o nivel inventivo

Los requisitos de Patentabilidad de la presente solicitud están afectados así:

Ítem	Documento	Reivindicaciones afectadas	Requisito que afecta
D1	US20080320353	1 a 5, 10 a 14, 18, 21, 24, 26 a 30, 35 a 39, 43, 46 y 49.	Novedad

En cumplimiento del artículo 45 de la Decisión 486 de 2000, se le indica que debe dar respuesta dentro del término de sesenta (60) días contados a partir de la fecha de notificación de la presente comunicación. En caso de no dar respuesta al presente requerimiento, o si a pesar de la respuesta subsistieran los impedimentos para la concesión, se denegará la patente.

Si como respuesta a este requerimiento, el solicitante modifica: i) el capítulo reivindicatorio, ii) la descripción de la invención a proteger, iii) o presenta un nuevo capítulo reivindicatorio deberá observar las instrucciones contenidas en el numeral 1.2.2.1.1., del Capítulo Primero del Título X de la Circular Única y la Dirección de Nuevas Creaciones seguirá el procedimiento descrito en el numeral 1.2.2.5.1.

Notifíquese el presente oficio conforme a lo dispuesto en el numeral 6.2 del Capítulo Sexto del Título I de la Circular Única, informándoles que contra el mismo no procede recurso alguno en actuación administrativa.



Edna Marcela Ramirez Orozco
DIRECTORA DE NUEVAS CREACIONES

Oficio N° 5649 de 20 de mayo de 2020

Ref. Expediente N° NC2019/0001225

INFORME DE BÚSQUEDA
EXAMEN DE PATENTABILIDAD

Solicitud No.		Examen de patentabilidad							
NC2019/0001225		1°	X	2°		3°		Revoca	
Solicitud Internacional No.		Fecha solicitud internacional: (DD/MM/AÑO)							
PCT/IB2017/054889		10 de agosto de 2017							
Fecha de determinación estado de la técnica (DD/MM/AÑO)				Prioridad		Presentación			
12/08/2016				X					
Solicitante									
TELEFONAKTIEBOLAGET LM ERICSSON (PUBL)									
Reivindicaciones que no son objeto de búsqueda por:									
Art. 14	-	Art. 15	-	Art. 20	-	Art. 25 (Falta de unidad de invención)		-	

CRITERIOS DE BÚSQUEDA	
Reivindicaciones objeto de búsqueda	1 a 50
Palabras clave utilizadas	LDPC, rate, matching, method, node, codes, set, coded bits, information, transmission, wireless, communications, system, codeword, vector, encoding, density, parity, check, systematic, performing, buffer.
Clasificaciones utilizadas para la búsqueda	CIP: H03M 13/11, H03M 13/00

DOCUMENTOS CONSIDERADOS RELEVANTES (Documentos patente, Literatura no patente (LNP): Artículos, catálogos, etc.)					
Informes de búsqueda / Bases de datos consultadas	N° de solicitud de patente / N° de patente / Autor LNP ⁽¹⁾	Fecha de Publicación /Presentación (DD/MM/AAAA)	Reivindicaciones /Secuencias afectadas	Citas relevantes del estado de la técnica	Categoría del documento citado ⁽²⁾
SIPI	NC2018/0012093	08/11/2018	-	-	E
ISA	Cheng (2008) ¹ ETSI (2017) ² Mostafa (2015) ³ ERICSSON (2016) ⁴ US2008320353	24/10/2008	-	-	A E A A Y
		01/05/2017	-	-	
		25/02/2016	-	-	
		13/08/2016	-	-	
		25/12/2008	1 a 5, 10 a 14, 18, 21, 24, 26 a 30, 35 a 39, 43, 46 y 49.	-	
				1 Pág. 1, Párr. 0001; Pág. 5, Párr. 0005; Pág. 2, Párr. 0025; Pág. 2, Párr. 0027; Pág. 2, Párr. 0028	
				2 Pág. 2, Párr. 0025; Figura 1.	
				3 Pág. 7, Párr. 0109.	
				4 Pág. 5, Párr. 0074, líneas 5 y 6, y Párr. 0075, líneas 1 a 5.	
				5	

Oficio N° 5649 de 20 de mayo de 2020

Ref. Expediente N° NC2019/0001225

				Pág. 5, Párr. 0076, líneas 1 a 7. 10 Pág. 1, Párr. 0022, líneas 1 a 6. 11 Pág. 2, Párr. 0028. 12 Pág. 4, Párr. 0058. 13 Pág. 4, Párr. 0059; Figura 7 14 Pág. 4, Párr. 0061, líneas 1 a 6. 18 Pág. 5, Párr. 0076 21 Pág. 3, Párr. 0038. 24 Págs. 2 y 3, Párr. 0032. 26 Pág. 1, Párr. 0001; Pág. 5, Párr. 0005; Pág. 2, Párr. 0025; Pág. 2, Párr. 0027; Pág. 2, Párr. 0028 27 Pág. 2, Párr. 0025; Figura 1. 28 Pág. 7, Párr. 0109. 29 Pág. 5, Párr. 0074, líneas 5 y 6, y Párr. 0075, líneas 1 a 5. 30 Pág. 5, Párr. 0076, líneas 1 a 7. 35 Pág. 1, Párr. 0022, líneas 1 a 6. 36 Pág. 2, Párr. 0028. 37 Pág. 4, Párr. 0058. 38 Pág. 4, Párr. 0059; Figura 7.	
--	--	--	--	---	--

Oficio N° 5649 de 20 de mayo de 2020

Ref. Expediente N° NC2019/0001225

				39 Pág. 4, Párr. 0061, líneas 1 a 6. 43 Pág. 5, Párr. 0076. 46 Pág. 3, Párr. 0038. 49 Págs. 2 y 3, Párr. 0032.	
USPTO	US2018019840	18/01/2018	-	-	A
Patbase	WO19195446	10/10/2019	-	-	E
Orbit	EP3571795	27/11/2019	-	-	E
Googlepatent	US10097314	09/10/2018	-	-	E
(¹) Cita completa literatura no patente (LNP) Apellido, A. A. (Fecha). Título del artículo. Nombre de la revista. Volumen(Número), pp-pp. O Apellido, A. A. (Fecha). Título del artículo. Nombre de la revista. Recuperado de http://xxxxxxx.		¹Jung-Fu Cheng; Ajit Nimbalkar; Yufei Blankenship; B. Classon; T. Keith Blankenship. “Analysis of Circular Buffer Rate Matching for LTE Turbo Code”. 2008 IEEE 68th Vehicular Technology Conference. URL: https://ieeexplore-ieee-org.ezproxy.unal.edu.co/document/4656994. Última vez consultado el: 2 de abril de 2020 ²ETSI. “5G; Study on New Radio (NR) access technology (3GPP TR 38.912 version 14.0.0 Release 14)”. TECHNICAL REPORT. TR 138 912.URL: https://www.etsi.org/deliver/etsi_tr/138900_138999/138912/14.00.00_60/tr_138912v140000p.pdf. Última vez consultado: 2 de abril de 2020 ³ Mostafa El-Khamy ; Hsien-Ping Lin ; Jungwon Lee ; Hessam Mahdavifar ; Inyup Kang. “HARQ Rate-Compatible Polar Codes for Wireless Channels”. 2015 IEEE Global Communications Conference (GLOBECOM). URL: https://ieeexplore-ieee-org.ezproxy.unal.edu.co/document/7417429. Última vez consultado: 2 de abril de 2020 ⁴ERICSSON. “LDPC Code Design for NR”. GPP Draft; R1-166929 LDPC_code_design_for_NR, 20160813 3rd Generation Partnership Project (3GPP), Mobile Competence Centre ; 650, route des Lucioles ; F-06921 Sophia-Antipolis Cedex ; France. URL: https://www.3gpp.org/ftp/tsg_ran/WG1_RL1/TSGR1_86/DOCS/. Última vez consultado: 2 de abril de 2020.			
		(2) Categorías de documentos citados			
		“A” Documento que define el estado general de la técnica no considerado como particularmente relevante. “E” Solicitud de patente o patente anterior pero publicada en la fecha de presentación internacional o en fecha posterior. “L” Documento citado para llamar la atención sobre por ejemplo, dudas acerca de una reivindicación de prioridad o para determinar la fecha de publicación de otra cita, siempre van acompañados de una explicación, por la cual se citan. “O” Documento del tipo actas de conferencia, este tipo de documentos siempre estará acompañado por otra letra que indique la pertinencia del documento, por ejemplo, O,X, O,Y o bien O,A. “P” Documento publicado antes de la fecha de presentación internacional pero con posterioridad a la fecha de prioridad reivindicada. “T” Documento publicado en fecha posterior a la de presentación o la de prioridad de la solicitud internacional y no entra en conflicto con dicha solicitud, pero puede ser útil para la mejor comprensión del principio o teoría en que se basa la invención, o para demostrar que el razonamiento o los hechos en los que se basa dicha invención son incorrectos. “X” Documento particularmente relevante; la invención reivindicada no puede considerarse nueva o que implique una actividad inventiva por referencia al documento aisladamente considerado. “Y” Documento particularmente relevante; la invención reivindicada no puede considerarse que implique una actividad inventiva cuando el documento se asocia a otro u otros documentos de la misma naturaleza, cuya combinación resulta evidente para un experto en la materia.			
		Fecha del reporte de búsqueda: 20/04/2020			
		Examinador: FREDDY ALEXANDER VELANDIA VIVAS			