

REPÚBLICA DE COLOMBIA
SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO

Resolución N° 40668

Ref. Expediente N° NC2018/0008835

Por la cual se otorga una Patente de Invención

EL SUPERINTENDENTE DE INDUSTRIA Y COMERCIO

en ejercicio de sus facultades legales, en especial de las conferidas en el numeral 26 del artículo 3° del Decreto 4886 de 2011, y

CONSIDERANDO

PRIMERO: Que mediante escrito radicado en esta Superintendencia el 24 de agosto de 2018, con el N° NC2018/0008835, por ICAT LLC, entró a fase nacional la solicitud de patente de invención titulada “PROCESADOR CON NÚCLEO CANALIZADO ALGORITMICO RECONFIGURABLE Y COMPILADOR CANALIZADO DE CORRELACION ALGORITMICA”, que corresponde a la solicitud internacional PCT/US2017/015143 del 26 de enero de 2017.

SEGUNDO: Que la solicitud fue publicada en la Gaceta de la Propiedad Industrial N° 844 el 13 de noviembre de 2018, sin que se hubieran presentado oposiciones por parte de terceros.

TERCERO: Que realizado el examen de fondo mediante Oficio N° 3023, notificado el 03 de marzo de 2020, se requirió a la solicitante en los términos del artículo 45 de la Decisión 486 de la Comisión de la Comunidad Andina para que presentara respuesta a las observaciones de carácter técnico, relacionadas con la patentabilidad o cumplimiento de los requisitos establecidos por esta Decisión para la concesión de la patente.

CUARTO: Que la solicitante mediante escrito radicado bajo el N° NC2018/0008835 el 20 de mayo de 2020, respondió oportunamente el requerimiento formulado y presentó las reivindicaciones 1 a 23 que reemplazan las originalmente presentadas. Se acepta este último capítulo reivindicatorio presentado, comoquiera que se ajusta a las prescripciones contenidas en el artículo 34 de la Decisión 486.

QUINTO: Que en virtud de lo dispuesto en el artículo 14 de la Decisión 486 expedida por la Comisión de la Comunidad Andina “*Los países miembros otorgarán patentes para las invenciones, sean de producto o de procedimiento, en todos los campos de la tecnología, siempre que sean nuevas, tengan nivel inventivo y sean susceptibles de aplicación industrial.*”

SEXTO: Que en el presente caso las reivindicaciones 1 a 23 incluidas en el radicado bajo el N° NC2018/0008835 del 20 de mayo de 2020, cumplen los requisitos indicados en el considerando anterior, toda vez que refieren a un núcleo canalizado algorítmico reutilizable y a un sistema que comprende una pluralidad de dichos núcleos, que difieren del estado de la técnica más cercano, US 2003/0066057, en que las puertas programables de campo son programadas por un compilador canalizado de correlación algorítmica, que precompila código fuente y separa las instrucciones al núcleo canalizado algorítmico reutilizable, de modo que el compilador canalizado de correlación algorítmica precompila el código fuente diseñado para funcionar en un procesador estándar sin procesamiento paralelo para procesamiento por la unidad de procesamiento; la unidad de procesamiento y el compilador canalizado de correlación algorítmica configuran las puertas programables de campo para que funcionen como



Resolución N° 40668

Ref. Expediente N° NC2018/0008835

procesadores canalizados paralelos, y el compilador canalizado de coincidencia algorítmica genera un código para la unidad de procesamiento que le indica a la unidad de procesamiento que configure el núcleo canalizado algorítmico reutilizable, en el que el núcleo canalizado algorítmico reutilizable es reconfigurable. Adicionalmente, estas diferencias no se encuentran sugeridas en el estado de la técnica y, como consecuencia de ello, se evidencia el efecto de eliminar casi toda la sobrecarga generada por los sistemas de procesamiento convencionales, mientras que se mantiene la flexibilidad de procesar una amplia gama de algoritmos. Sumado a lo anterior, la materia reivindicada, es susceptible de aplicación industrial.

En consecuencia, las reivindicaciones 1 a 23 cumplen los requisitos de novedad, nivel inventivo y aplicación industrial establecidos en la normatividad citada en precedencia y este Despacho encuentra procedente conceder para las mismas la patente solicitada.

Con fundamento en las anteriores consideraciones, el Superintendente de Industria y Comercio,

RESUELVE

ARTÍCULO PRIMERO: Otorgar patente de invención a la solicitud que entró en fase nacional en virtud del Tratado de Cooperación en Materia de Patentes (PCT), para la creación titulada:

“PROCESADOR CON NÚCLEO CANALIZADO ALGORITMICO RECONFIGURABLE Y COMPILADOR CANALIZADO DE CORRELACION ALGORITMICA”

Clasificación IPC: G06F 7/57, G06F 9/45, G06F 19/00.

Reivindicación(es): 1 a 23 incluidas en el radicado bajo el No. NC2018/0008835 el 20 de mayo de 2020, de acuerdo con el anexo 1.

Titular(es): ICAT LLC.

Domicilio(s): 683 OHIO STREET, TERRE HAUTE, INDIANA 47807-3525 ESTADOS UNIDOS DE AMÉRICA.

Inventor(es): Robert CATILLER.

Prioridad(es) N° 26/01/2016, US (ESTADOS UNIDOS DE AMÉRICA), 62/287,265.

Solicitud internacional N°: PCT/US2017/015143

Fecha: 26 de enero de 2017.

Vigente desde: 26 de enero de 2017

Hasta: 26 de enero de 2037.

ARTÍCULO SEGUNDO: La titular tendrá los derechos y las obligaciones establecidos en la Decisión 486 de la Comisión de la Comunidad Andina y en las demás disposiciones legales vigentes sobre propiedad industrial, precisando que para mantener vigente la patente se deberá cancelar la tasa anual de mantenimiento, conforme lo dispone el artículo 80 de la referida norma comunitaria.



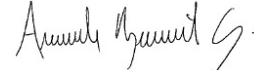
Resolución N° 40668

Ref. Expediente N° NC2018/0008835

ARTÍCULO TERCERO: Notificar el contenido de la presente resolución a ICAT LLC, advirtiéndole que contra ella procede el recurso de reposición, ante el Superintendente de Industria y Comercio, el cual podrá ser interpuesto en el momento de la notificación o dentro de los diez (10) días hábiles siguientes a ella.

NOTIFÍQUESE Y CÚMPLASE

Dada en Bogotá D.C., el 22 de julio de 2020



ANDRÉS BARRETO GONZÁLEZ
SUPERINTENDENTE DE INDUSTRIA Y COMERCIO

Firmado digitalmente

por: ANDRÉS
BERNARDO BARRETO
GONZALEZ

Fecha: 2020.07.22

23:03:38 COT

Razón: Validez jurídica.

Ubicación: Bogotá,
Colombia.



ANEXO 1

REIVINDICACIONES CONCEDIDAS

1. Un núcleo canalizado algorítmico reutilizable, que comprende:
una unidad de procesamiento;
un arreglo de puertas programables de campo reconfigurables, en donde las puertas programables de campo son programadas por un compilador canalizado de correlación algorítmica, que precompila código fuente y separa las instrucciones al núcleo canalizado algorítmico reutilizable, de modo que el compilador canalizado de correlación algorítmica precompila el código Fuente diseñado para funcionar en un procesador estándar sin procesamiento paralelo para procesamiento por la unidad de procesamiento;
genera código para configurar el núcleo canalizado algorítmico reutilizable, identifica a partir del código fuente algoritmos matemáticos y lógicos capaces de optimizarse mediante una configuración del núcleo canalizado algorítmico reutilizable, y la unidad de procesamiento y el compilador canalizado de correlación algorítmica configuran las puertas programables de campo para que funcionen como procesadores canalizados paralelos, y
el compilador canalizado de coincidencia algorítmica genera un código para la unidad de procesamiento que le indica a la unidad de procesamiento que configure el núcleo canalizado algorítmico reutilizable, en el que el núcleo canalizado algorítmico reutilizable es reconfigurable.
2. El núcleo de la reivindicación 1, en el que el compilador canalizado de correlación algorítmica es un precompilador.
3. El núcleo de la reivindicación 2, en el que el precompilador está configurado para precompilar un lenguaje de software de nivel superior estándar escrito no para el núcleo sino para un tipo de procesador convencional no reconfigurable, y el precompilador genera código de máquina para el núcleo utilizando el tipo del procesador convencional no reconfigurable para el cual se escribió el lenguaje de software de nivel superior estándar para generar código de máquina para configurar el arreglo de puertas reconfigurables, programables en el campo.
4. El núcleo de la reivindicación 3, en el que el lenguaje de software de nivel superior estándar es C o C++.
5. El núcleo de la reivindicación 2, en el que el núcleo comprende un conjunto de computadoras configuradas para procesar algoritmos según sea necesario para un cálculo particular, en función de la salida del precompilador.
6. El núcleo de la reivindicación 5, que comprende además un controlador de bus inteligente o procesador lógico, en el que el controlador de bus inteligente o procesador lógico realiza todas las funciones lógicas procesadas por el núcleo.
7. El núcleo de la reivindicación 5, que comprende además un procesador lógico y un conmutador de bus maestro, y el procesador lógico comprende funciones lógicas reconfigurables para controlar el conmutador de bus maestro.
8. El núcleo de la reivindicación 7, que comprende además un procesador de señal digital, en el que el procesador de señal digital comprende un procesador

Resolución N° 40668

Ref. Expediente N° NC2018/0008835

matemático reconfigurable para realizar cálculos matemáticos.

9. El núcleo de la reivindicación 8, donde el conmutador de bus maestro es un enrutador o conmutador de bus matricial que comprende un circuito programable de manera reconfigurable por el precompilador y la unidad de procesamiento, de modo que los datos y resultados se enrutan desde el núcleo a otro núcleo para completar un algoritmo, sin ninguna intervención adicional de un procesador central o periférico durante el procesamiento del algoritmo, reduciendo la sobrecarga por canalización en comparación con hardware estático y no configurable, que requiere intervención de un procesador central o procesador periférico para dirigir datos y resultados dentro y fuera de las unidades de procesamiento aritmético.
10. El núcleo de la reivindicación 9, en el que el procesador lógico procesa las decisiones lógicas y los bucles iterativos y la memoria de resultados es proporcionada por el procesador lógico para aprender algoritmos.
11. Un sistema que comprende una pluralidad de núcleos según la reivindicación 1, que comprenden un procesador para ejecutar los pasos de:
procesar todas las operaciones matemáticas usando procesadores de señal digital de uno o más de la pluralidad de núcleos; y
procesar todas las funciones lógicas usando uno o más de los procesadores lógicos de uno o más de la pluralidad de núcleos.
12. El sistema de la reivindicación 11, que comprende además la etapa de configurar la pluralidad de núcleos como un conjunto de núcleos y los grupos de núcleos se puede reconfigurar por programación, solo, sin ningún cambio en el hardware.
13. El sistema según la reivindicación 12, en el que la etapa de configuración configura toda la pluralidad de núcleos para procesar algoritmos en paralelo sin ninguna intervención adicional desde un procesador central o periférico para dirigir datos y resultados en unidades de procesamiento fuera de aritmética.
14. El sistema según la reivindicación 13, en el que el compilador canalizado de correlación algorítmica es un precompilador, y el procesador lógico de cada uno de la pluralidad de núcleos usa bloques de memoria configurados por el precompilador, como tablas de consulta y registros para constantes o valores aprendidos.
15. El sistema de la reivindicación 14, que comprende además configurar la tabla de consulta por el procesador lógico, en el que la tabla de búsqueda es una tabla de búsqueda de n bits, y la tabla de búsqueda de n bits se utiliza para codificar una función lógica booleana de n-bit como tablas de verdad.
16. El sistema de la reivindicación 11 que comprende, además: generar código de máquina a partir de un lenguaje de software de nivel superior estándar escrito para un procesador de computadora de propósito general convencional, no reconfigurable y no canalizado, usando el compilador canalizado de correlación algorítmica para uno o más de la pluralidad de núcleos.
17. El sistema según la reivindicación 16, en el que el lenguaje de software de nivel superior estándar está escrito para un tipo de procesador convencional no reconfigurable, y el paso de generar código de máquina comprende el compilador

Resolución N° 40668

Ref. Expediente N° NC2018/0008835

canalizado de correlación algorítmica como precompilador, que utiliza el tipo de procesador convencional no reconfigurable para generar código de máquina para configurar el arreglo de puertas reconfigurables y programables en el campo de cada uno de la pluralidad de núcleos.

- 18.** El sistema de la reivindicación 17, en el que el sistema comprende al menos un procesador del tipo de procesador convencional no reconfigurable para el cual se escribe el lenguaje de software de nivel superior estándar, y el al menos un procesador del tipo de procesador convencional no reconfigurable para el cual se escribe el lenguaje de software de nivel superior estándar, genera el código de máquina para configurar el arreglo de puertas reconfigurables y programables en el campo de cada uno de la pluralidad de núcleos.
- 19.** El sistema según la reivindicación 18, en el que cada uno de la pluralidad de núcleos está configurado para resolver de forma independiente algoritmos matemáticos y lógicos complejos sin intervención adicional del al menos un procesador del tipo de procesador convencional no reconfigurable para el cual está escrito el lenguaje de software de nivel superior estándar.
- 20.** El sistema de la reivindicación 19, que comprende además introducir valores en el sistema, y el sistema envía una solución a un conmutador de bus maestro del sistema, sin más intervención.
- 21.** El sistema de la reivindicación 20, en el que la pluralidad de núcleos comprende 2000 núcleos.
- 22.** El sistema de la reivindicación 21, en el que el sistema opera 360 billones de instrucciones por segundo con una velocidad de reloj de 500 MHz.
- 23.** El sistema de la reivindicación 22, en el que el sistema tiene una latencia para la entrada de datos, pero la canalización reduce la sobrecarga de manera que el sistema está configurado para ejecutar un cálculo y generar un resultado en cada reloj desde cada núcleo después de que se inicia la latencia.