

MÉTODO Y DISPOSITIVO PARA LA REGULACIÓN DE TENSIÓN CON RELOJ AUTOGENERADO

CAMPO DE LA INVENCION

5 La presente invención pertenece al campo de los circuitos electrónicos integrados básicos, específicamente a los reguladores de tensión o voltaje, dedicados a proveer un valor de tensión continuo y estable a otros circuitos electrónicos a partir de una fuente de alimentación de entrada susceptible a variaciones de tensión, por ejemplo una batería. Más particularmente, la presente invención se relaciona con reguladores
10 de tensión de baja caída controlados exclusivamente por circuitos electrónicos digitales.

ANTECEDENTES DE LA INVENCION

La eficiencia energética es una limitación conocida en aplicaciones de circuitos y
15 sistemas electrónicos integrados alimentadas mediante baterías, como la internet de las cosas (IoT, por sus siglas en inglés). Soluciones modernas a las limitaciones asociadas al ahorro de potencia, aprovechan la relación de proporcionalidad entre el consumo dinámico de potencia (P) y la tensión de alimentación (V): $P \propto V^2$. Por ejemplo, algunas estrategias utilizan múltiples dominios de tensión dentro de un
20 mismo sistema integrado para escalar adecuadamente la tensión de alimentación de determinados circuitos, logrando así el ahorro de potencia sin afectar circuitos con requisitos de alto rendimiento, los cuales comúnmente precisan de un alto consumo de potencia. Dentro del sistema integrado, un conjunto de reguladores de tensión de baja caída (LDO, por sus siglas en inglés) establece la tensión de alimentación de
25 cada circuito en un valor apropiado, dependiendo de sus requisitos de operación.

A pesar de que los reguladores de tensión analógicos convencionales de baja caída (A-LDO, por sus siglas en inglés) cumplen con los requisitos para garantizar tensiones apropiadas en estrategias de múltiples dominios de tensión, su rendimiento decae
30 cuando la tensión de alimentación de entrada (VIN) se reduce. Un A-LDO típico tiene como elemento principal un amplificador de error (EA, por sus siglas en inglés), el

cual usa realimentación mediante un divisor de tensión resistivo para comparar la tensión regulada con una tensión de referencia externa. Esta comparación permite al EA polarizar apropiadamente la puerta de un transistor PMOS, cuyo terminal drenador corresponde a la tensión regulada de salida y cuyo terminal surtidor está conectado a la tensión de alimentación de entrada, para alcanzar la tensión deseada en la salida. La capacidad de comparación del EA se basa en su alta ganancia, la cual depende directamente del valor de la tensión de alimentación de entrada, por lo que alcanzar una alta ganancia se hace más difícil a medida que el VIN disminuye.

Por lo tanto, un EA de baja ganancia impacta negativamente en el margen de estabilidad y el tiempo de respuesta de los A-LDO. Teniendo en cuenta las limitaciones asociadas a los A-LDO, los reguladores de tensión de baja caída digitales (D-LDO, por sus siglas), emergen como una solución apropiada para abordar los problemas mencionados. En los D-LDO, el EA es sustituido por un convertidor analógico-digital (ADC, por sus siglas en inglés) y un controlador digital, y ya que es posible diseñar estos circuitos para que operen con una tensión de alimentación baja sin afectar su desempeño negativamente, se puede concluir que los D-LDO son más adecuados para el funcionamiento con baja tensión de alimentación. Además, el uso de un núcleo digital añade dos características relevantes: mayor facilidad de programación y escalabilidad del proceso a otros nodos tecnológicos. Por lo tanto, el diseño de los DLDO es más flexible y fácilmente replicable.

Entre los antecedentes relacionados, se conoce la patente del Reino Unido No. GB 2.539.458, titulada "*Reguladores de tensión*", la cual se incorpora en su totalidad en este documento a modo de referencia, y presenta un regulador de tensión y un método para operar un regulador de tensión, los cuales son adecuados para su uso en dispositivos alimentados por baterías, donde la eficiencia energética con bajas corrientes de carga es importante. Este antecedente incluye una primera porción que comprende un regulador de tensión de baja caída (LDO), y una segunda porción que comprende un dispositivo de almacenamiento de energía. El regulador LDO permanece encendido al menos hasta que su salida alcanza un valor predeterminado, mientras paralelamente se carga el dispositivo de almacenamiento de energía. El regulador LDO posteriormente se apaga hasta que la tensión de salida del mismo ha disminuido una cantidad predeterminada, y en este punto el regulador LDO se enciende de nuevo. Mientras el regulador LDO está apagado, la corriente que va

hacia la carga es suministrada por el dispositivo de almacenamiento de energía, el cual puede ser un capacitor. El valor de tensión predeterminado se puede obtener a partir de un circuito de referencia de tensión, tal como un circuito 'Bandgap', el cual puede ser alimentado selectivamente a partir de la tensión de salida del regulador LDO. También puede incluirse un circuito de control que controle el encendido y apagado del regulador LDO y/o del circuito de referencia de tensión.

Por otra parte, la patente de Estados Unidos No. US 9.069.370, titulada "*Regulador de Tensión de Baja Caída Digital*", la cual se incorpora en su totalidad en este documento a modo de referencia, presenta un circuito regulador de tensión de baja caída que incluye un circuito de control y un dispositivo de conmutación o interruptor. El circuito de control tiene un nodo de salida y el dispositivo de conmutación tiene su primer terminal conectado al nodo de salida del circuito de control. El interruptor está configurado para recibir una tensión de entrada en su segundo terminal y proporcionar una tensión de salida en su tercer terminal. El circuito de control está configurado para entregar una señal digital en su nodo de salida, con base en la tensión de salida realimentada desde el tercer terminal del dispositivo interruptor.

La patente de Estados Unidos No. US 9.946.281, titulada "*Reducción de la Oscilación de Ciclo Límite para Reguladores de Tensión de Baja Caída Digitales*", la cual se incorpora en su totalidad en este documento a modo de referencia, describe un método que consigue minimizar la amplitud de oscilación de ciclo límite (LCO, por sus siglas en inglés) de un regulador de tensión de baja caída digital (D-LDO), al posicionar una unidad auxiliar de transistores de potencia adicional en paralelo con el arreglo principal de transistores PMOS con la fuerza unitaria y el modo de LCO seleccionados. Un D-LDO mejorado con amplitud de LCO reducida incluye un arreglo de transistores de potencia auxiliar en la fuerza seleccionada, manejada por la salida de un comparador conectado en paralelo con el arreglo principal de transistores de potencia.

BREVE DESCRIPCIÓN DE LA INVENCION

La presente solicitud se relaciona con la implementación de un regulador de tensión de baja caída completamente digital, compuesto exclusivamente por celdas digitales estándar. Con esta propuesta, se mejora el equilibrio entre velocidad y consumo de

potencia del regulador mediante el uso de un reloj autogenerado, el cual opera únicamente durante eventos de caída/aumento de la tensión de referencia en la salida del regulador, con respecto a la tensión deseada. Este reloj autogenerado es tan rápido como la ruta crítica, o más lenta, de la lógica digital del LDO lo permite. De esta manera, el regulador evita estados de metaestabilidad durante su funcionamiento. Además, para evitar que el correcto funcionamiento del regulador dependa de la frecuencia de un reloj externo, se utiliza una lógica de eventos que monitorea la tensión regulada para detectar caídas o aumentos en la misma. Todos los circuitos que componen el regulador son sintetizables, y por lo tanto, el regulador propuesto puede ser representado mediante un lenguaje de descripción de hardware.

BREVE DESCRIPCIÓN DE LAS FIGURAS

La FIGURA 1 es un diagrama de bloques que representa la arquitectura de D-LDO correspondiente a la presente invención.

La FIGURA 2 es un diagrama de flujo que muestra el funcionamiento de la máquina de estados (FSM, por sus siglas en inglés) que controla el D-LDO correspondiente a la presente invención.

La FIGURA 3 es un gráfico que detalla el funcionamiento del D-LDO propuesto correspondiente a la presente invención, a través de varios modos de operación: estado estable, aumento en la corriente hacia la carga y disminución en la corriente hacia la carga.

DESCRIPCIÓN DETALLADA DE LA INVENCION

La presente solicitud describe un regulador de tensión de baja caída completamente digital (D-LDO, por sus siglas en inglés), el cual incluye una técnica de autogeneración de reloj para mejorar el comportamiento transitorio del circuito regulador sin necesidad de utilizar una frecuencia de reloj externa más alta.

La FIG. 1 muestra el diagrama de bloques de la arquitectura D-LDO propuesta, que incluye dos lazos de realimentación. En el lazo principal, la tensión regulada en el nodo de salida VOUT (1) está conectada a la entrada de un convertidor analógico-digital (ADC, por sus siglas en inglés). En el D-LDO propuesto, el ADC se compone

de tres comparadores de tensión (2), (3), (4). Durante la operación del regulador, el controlador del D-LDO (5) ajusta su salida de acuerdo con el valor de la señal VOUT (1) discretizada, es decir, las señales de salida (6), (7), (8) del bloque de comparadores (9). El propósito del lazo principal es encender el número apropiado de transistores en el dispositivo de paso (10) para proporcionar la corriente ILOAD (11) correspondiente a la carga, mientras mantiene VOUT (1) cerca del valor de tensión deseado VREF (12). El segundo lazo está encargado de la autogeneración del reloj. Las señales que componen este lazo (G_pre (13), G (14), OutReady (15), Ready (16), KeepCLK (17), Valid (18), CLK_fast (19)), toman relevancia cuando VOUT (1) se aleja de VREF (12). En ese caso, el lazo de autogeneración produce una señal de reloj de alta frecuencia para recuperar rápidamente VOUT (1) de vuelta a VREF (12). Una vez que VOUT (1) se aproxima a VREF (12), el regulador opera de nuevo a la frecuencia del reloj externo CLK (20).

En el lazo principal, la arquitectura del D-LDO incluye tres comparadores de tensión (2), (3), (4). Específicamente, el comparador (3) es un comparador dinámico compuesto por compuertas digitales, responsable de comparar VOUT (1) y VREF (12). Con el flanco ascendente de la señal digital de reloj CLKp (21) (una señal digital sólo tiene dos posibles estados: bajo y alto, donde un flanco ascendente es el cambio de estado bajo a alto), la señal Valid (22) indica cuando la salida del comparador dinámico (3) está lista para ser muestreada. Por su parte, (2) y (4) son comparadores estáticos de tensión también compuestos por compuertas digitales. Estos comparadores responden cuando la tensión VOUT (1) traspasa los umbrales definidos por las tensiones de referencia VREFH (23) o VREFL (24), para activar el modo de recuperación rápida del regulador.

El controlador del D-LDO (5) y el dispositivo de paso (10) también forman parte del lazo de realimentación principal del regulador. En el controlador (5), el contador del D-LDO (25) incluye una máquina de estado finito (FSM, por sus siglas en inglés) que determina el modo de operación del regulador. Los flip-flops tipo D externos (26), (27) se utilizan cuando la tensión de salida del regulador está fuera de los límites establecidos por VREFH (23) y VREFL (24). G_pre (13) es la salida de 8 bits (a modo de ejemplo, ya que un número mayor o menor de bits puede ser igualmente utilizado en la presente idea) del controlador del D-LDO; esta señal se almacena en un buffer (28) para reducir un retardo de propagación entre G_pre<7:0> (13) (donde <7:0> hace

referencia a un conjunto de 8 señales que conforman una palabra digital de 8 bits) y $G_{<7:0>}$ (14). Finalmente, el valor de G (14) establece el número de elementos encendidos en el dispositivo de paso (10).

La Fig. 2 muestra el diagrama de estados de la FSM en el D-LDO propuesto. Los estados START (33), SAR (34) y STEADY (35) corresponden a la puesta en marcha y el funcionamiento en estado estacionario del regulador. Durante estos modos de funcionamiento, el reloj externo CLK (20) controla el comparador dinámico (3), y el circuito funciona en modo de bajo consumo de potencia. Por otra parte, los estados que representan el modo de recuperación rápida en un evento de subida de la tensión regulada VOUT (1) son HOLD_RISE (36), FAST_RISE (37), POST_RISE (38), mientras que los estados para un evento de caída de la tensión regulada son HOLD_FALL (39), FAST_FALL (40), POST_FALL (41).

Durante la secuencia de arranque del regulador, una vez se ha conectado la fuente de alimentación externa VIN, la FSM está en el estado START. En el siguiente flanco ascendente de la señal Valid (22), el D-LDO entra en modo SAR (34). En el estado SAR (34), la lógica del D-LDO implementa un algoritmo de aproximación sucesiva que busca la palabra digital apropiada G (14) para obtener la tensión regulada deseada en la salida del circuito VOUT (1). La aplicación del algoritmo toma ocho ciclos de reloj, ya que cada bit del controlador de 8 bits se establece después de cada ciclo. Luego, la señal C_SAR (42) se activa, y el regulador entra en modo de operación de estado estable (35). Durante el estado STEADY (35), la salida del contador D-LDO (25) aumenta o disminuye en uno según el valor de la señal VCompF (7), que puede ser bajo o alto, al ser una señal digital. Si la señal VcompF (7) es un bajo, el regulador apaga un transistor en el dispositivo de paso (10), si VcompF (7) es un alto, el regulador enciende un transistor en el dispositivo de paso (10).

Hasta ahora, la palabra digital G (14) es controlada únicamente por el contador del D-LDO (25), pero una vez que se produce un evento de caída/aumento de la tensión regulada VOUT (1), la respuesta de los comparadores de tensión (2) y (4) establece el valor de salida de los flip-flops tipo D en el valor de las señales G_{inextF} (29) y G_{inextR} (30). G_{inextF} (29) y G_{inextR} (30) se calculan de manera que el cambio en G (14) contrarresta la variación de tensión en el nodo de salida del regulador VOUT (1) e intenta fijarla de nuevo en el valor de referencia VREF (12). Además, el flanco de VCompH (6) o VCompL (8) cambia el estado de la señal UnderTrig (43) u OverTrig

(44), según el caso, a un alto y habilita el lazo de autogeneración de reloj. En el siguiente flanco de reloj, la FSM pasa al estado HOLD_RISE (36) o al estado HOLD_FALL (39), dependiendo de si el evento es un aumento o una caída de tensión. En estos estados, la FSM reinicia los flip-flops tipo D externos y se actualiza el valor de salida del contador del D-LDO (25), por lo que G_pre (13) permanece constante.

Durante los estados HOLD_RISE (36) y HOLD_FALL (39), si la tensión VCompF (7) cambia su estado, ya sea un bajo (45) o un alto (46), el regulador ha recuperado la tensión del nodo VOUT (1) con éxito, entonces, la FSM pasa al estado POST_RISE (37) o POST_FALL (41). Por el contrario, si VCompF (7) se mantiene constante (47), (48), la FSM permanece en el estado HOLD_RISE (36) o HOLD_FALL (39) hasta que la salida de un contador, C_Valid, sea un alto (49), (50). Este contador evita cambios rápidos en el D-LDO, ya que la tensión de salida VOUT (1) tiene que asentarse en su valor final. Por lo tanto, la lógica del D-LDO espera un número específico de flancos de reloj antes de sumar (o restar) G_inextR (30) (o G_inextF (29)) a la salida del contador del D-LDO (25) de nuevo; esta operación ocurre en los estados FAST_RISE (38) y FAST_FALL (40). Después de realizar un nuevo cambio en la salida del contador del D-LDO (25), la FSM vuelve al estado HOLD_RISE (36) o HOLD_FALL (39), según el caso. El bucle entre los estados HOLD (36), (39) y FALL (38), (40) continúa hasta que VCompF (7) cambia, y la FSM pasa a los estados POST (37), (41). Después de un flanco en Valid (51), (52), la FSM vuelve al estado STEADY (35) y el regulador opera en el modo de bajo consumo de potencia.

A continuación, se describirán los detalles de los bloques que componen el lazo de regeneración del reloj. En este sentido, el reloj autogenerado CLK_fast (19) es el resultado de un lazo de realimentación que crea glitches en la entrada del comparador dinámico (3). La Fig. 1 presenta los dos bloques principales del lazo de regeneración del reloj. Estos bloques se encargan de crear glitches (Detectores de bordes (32)) y de cambiar entre el reloj externo y el autogenerado (Lógica de bordes del reloj (31)).

Los glitches se generan considerando la ruta crítica del D-LDO. La señal Ready (16) corresponde a la salida de un flip-flop tipo T en el contador del D-LDO (25). Por otro lado, OutReady (15) es la salida de un comparador entre G_pre (13) y G (14). El bloque de detectores de bordes (32) utiliza Ready (16) y OutReady (15) para crear un glitch cuando la última de estas señales se establece. De esta manera, el regulador evita la metaestabilidad en el controlador digital (5). Durante el glitch generado por

Ready (16) o OutReady (15), la señal CLKp (21) es un bajo, y el comparador dinámico (3) se reinicia.

La Fig. 3 muestra resultados de simulación que demuestran el funcionamiento del D-LDO con $V_{IN} = 1.2V$, a modo de ejemplo. El circuito comienza en el modo de operación SAR (34), ya que inicialmente está en un estado de reinicio. Después de 5
ocho ciclos de CLKp (21), el regulador alcanza el estado STEADY (35). Una vez este estado, VOUT (1) se mantiene alrededor de VREF (12). Después de $1.5\mu s$, la corriente que va hacia la carga ILOAD (11) comienza a aumentar, causando una caída en VOUT (1). Cuando la tensión VOUT (1) se hace menor que VREFL (24), se activa 10
el modo de recuperación rápida (estados HOLD_RISE (36), FAST_RISE (37), POST_RISE (38)) y continúa hasta que el voltaje de salida VOUT (1) es mayor que VREF (12). Debido al largo tiempo (250ns) que ILOAD (11) permanece aumentando, la tensión VOUT (1) llega a estar varias veces por debajo de VREFL (24). Cada vez que esto sucede, el lazo de regeneración del reloj responde aumentando la frecuencia 15
de CLKp (21) de 20MHz a 800MHz. Cuando la rampa de ILOAD (11) termina, el regulador sigue trabajando en el estado STEADY (35).

Después de $2\mu s$, ILOAD (11) disminuye a 4mA con un tiempo de caída de 250ns. Durante este evento, VOUT (1) alcanza el valor de VREFH (23) dos veces y el modo de recuperación rápida corrige la tensión VOUT (1) de vuelta a VREF (12). 20
Finalmente, la salida del regulador está dentro de los límites establecidos por VREFL (24) y VREFH (23), y el regulador trabaja en modo de estado estacionario.

Si bien hasta ahora se ha hecho una descripción de una modalidad preferida de la presente invención, la misma no tiene carácter limitativo y el técnico con habilidad en la materia podrá observar que es posible realizar modificaciones y variaciones a la 25
materia descrita sin alejarse del espíritu de la invención. Otras modalidades son posibles, sin embargo la presente descripción no pretende mencionar todas la variaciones que se pueden ejecutar sobre la invención.

Respetuosamente se le recuerda al examinador que ni la presente descripción, ni los ejemplos y figuras que la acompañan, pretenden limitar el alcance de la solicitud, ya 30
que solo las reivindicaciones que se adjuntan a continuación pueden establecer dicho alcance.