

REIVINDICACIONES

- 1) Un regulador de tensión de baja caída completamente digital (D-LDO) que
5 consta de:

a) Un lazo de realimentación principal que incluye un convertidor analógico-digital (ADC) (9), un controlador digital del D-LDO (5), un buffer (28), un dispositivo de paso (10) y la señal de tensión de salida VOUT (1);

- 10 b) Un segundo lazo que comprende un convertidor analógico-digital (ADC) (9), un controlador digital del D-LDO (5), un buffer (28), circuitos detectores de bordes (32) y una lógica de bordes del reloj (31);

Caracterizado por un lazo de autogeneración de reloj CLK_fast (19), inducido a partir de señales internas del circuito (G_pre (13), G (14), OutReady (15), Ready (16),
15 KeepCLK (17), Valid (18)).

- 2) Un regulador de tensión de baja caída completamente digital (D-LDO), de acuerdo con la reivindicación 1, caracterizado porque además comprende:

20 a) un convertidor analógico-digital (ADC) (9), compuesto por un comparador dinámico basado en compuertas digitales (3), y dos comparadores de tensión (2) y (4), también basado en compuertas digitales;

b) un controlador digital del D-LDO (5) que incluye una máquina de estado finito (FSM), la cual determina el modo de operación que debe adoptar el D-LDO, a partir del comportamiento de la tensión de alimentación externa del circuito VIN; y
25

c) un dispositivo de paso (10) compuesto por buffers de tres estados, los cuales son encendidos y apagados por el controlador digital del D-LDO (5) para ajustar la tensión de salida VOUT (1) y mantenerla en valores cercanos al deseado VREF (12).
30

3) Un método de operación de un regulador de tensión de baja caída completamente digital (D-LDO) con reloj autogenerado, de acuerdo con cualquiera de las reivindicaciones anteriores, caracterizado porque comprende, por parte del D-LDO propuesto, los pasos:

a) buscar la palabra digital apropiada G (14) para obtener la tensión VOUT (1) deseada (VREF (12)) en la salida del circuito, una vez se conecta la fuente de alimentación externa (batería). Durante este paso, el reloj externo CLK (20) controla el comparador dinámico (3), y el circuito funciona en modo de bajo consumo de potencia;

b) monitorear la tensión de salida regulada VOUT (1) en búsqueda de caídas o aumentos de tensión;

c) generar una señal digital de reloj de alta frecuencia, que es resultado de un lazo de realimentación que crea glitches en la entrada del comparador dinámico (3). El bloque de detectores de bordes (32) utiliza Ready (16) y OutReady (15) para crear un glitch cuando la última de estas señales se establece. De esta manera, el regulador evita la metaestabilidad en el controlador digital (5). Durante el glitch generado por Ready (16) o OutReady (15), la señal CLKp (21) es un bajo, y el comparador dinámico (3) se reinicia; y

d) entrar en el modo de recuperación rápida cuando se produce un evento de caída/aumento de la tensión regulada VOUT (1), donde el reloj autogenerado CLK_fast (19), de acuerdo a la reivindicación 3) c), pasa a controlar el comparador dinámico (3). En este modo de operación, el controlador del D-LDO (5) produce cambios rápidos en G (14), que contrarrestan la variación de tensión en el nodo de salida del regulador VOUT (1) e intenta fijarla de nuevo en el valor de referencia VREF (12).

4) Un método de operación de un regulador de tensión, de acuerdo con la reivindicación 3, caracterizado porque si la señal VCompF (7) permanece constante (47), (48), el regulador debe mantener el modo de operación de recuperación rápida hasta que ocurra un cambio en la señal VCompF (7).

- 5) Un método de operación de un regulador de tensión, de acuerdo con la reivindicación 3, caracterizado porque si la señal VCompF (7) cambia su estado, ya sea un bajo (45) o un alto (46), el regulador debe regresar a su operación en el modo de bajo consumo de potencia, donde la señal CLK (20) controla el comparador dinámico (3). Este cambio significa que el regulador ha recuperado la tensión del nodo VOUT (1) con éxito.