

REPÚBLICA DE COLOMBIA
SUPERINTENDENCIA DE INDUSTRIA Y COMERCIO

Oficio N° 10588 de 8 de julio de 2021

Ref. Expediente N° NC2018/0012093

Señor(a)
QUALCOMM INCORPORATED

TÍTULO DE LA SOLICITUD: ***“PERFORACIÓN Y ESTRUCTURA DE CÓDIGO DE COMPROBACIÓN DE PARIDAD DE BAJA DENSIDAD (LDPC) MEJORADAS”***

NÚMERO DE SOLICITUD INTERNACIONAL: PCT/US2017/032413

FECHA DE PRESENTACIÓN INTERNACIONAL: 12 de mayo de 2017.

PRIORIDAD(ES): 12/05/2016, US (ESTADOS UNIDOS DE AMÉRICA), 62/335,163
11/05/2017, US (ESTADOS UNIDOS DE AMÉRICA), 15/593,035

Como resultado del examen de patentabilidad realizado a la solicitud indicada en la referencia, atendiendo a lo consagrado en el artículo 45 de la Decisión 486 de 2000, se le comunica que esta Dirección ha encontrado que la materia objeto de solicitud no cumple con algunos requisitos establecidos en la Decisión, con fundamento en los siguientes aspectos:

1. Objeto de la invención

De acuerdo con lo establecido en el numeral 1.2.2.2 del Capítulo Primero del Título X de la Circular Única para efectos del examen de patentabilidad, cuando la solicitud contenga más de diez (10) reivindicaciones y no se haya pagado la tasa complementaria, sólo se estudiarán las cubiertas por la tasa pagada al momento de realizar el examen de patentabilidad consagrado en el artículo 45 de la Decisión 486. Por lo tanto, se estudiarán las reivindicaciones 1 a 28 del radicado N° NC2018/0012093 del 08 de noviembre de 2018.

El problema planteado en esta solicitud consiste en la necesidad de suministrar un método y un sistema de comunicación inalámbrica que permite eliminar la presencia de ruido o distorsión incluida dentro del enlace binario.

Para resolver este problema técnico, la solicitud en estudio proporciona un sistema y método para comunicaciones inalámbricas, que comprende: codificar un conjunto de bits de información con base en un código de comprobación de paridad de baja densidad (LDPC) para producir una palabra de código, el código de LDPC definido por una matriz de base que tiene un primer número de nodos variables y un segundo número de nodos de comprobación; perforar la palabra de código de acuerdo con un patrón de perforación diseñado para perforar bits correspondientes a al menos dos de los nodos variables para producir una palabra de código perforada; añadir al menos un bit de paridad adicional a la matriz de base para los al menos dos nodos variables perforados; y transmitir la palabra de código perforada.

2. De la solicitud de patente

2.1. Título

El nombre de la invención de que se trata en el artículo 27 literal d) de la Decisión 486 deberá reflejar el objeto y el campo industrial con el cual se relaciona la misma y ser concordante con la materia descrita y las reivindicaciones de la solicitud. El nombre no podrá referirse a nombres personales, marcas de productos o nombres de fantasía.



Oficio N° 10588 de 8 de julio de 2021

Ref. Expediente N° NC2018/0012093

El solicitante en el escrito radicado bajo el N° NC2018/0012093 el 8 de noviembre de 2018, tituló la invención como: “PERFORACIÓN Y ESTRUCTURA DE CÓDIGO DE COMPROBACIÓN DE PARIDAD DE BAJA DENSIDAD (LDPC) MEJORADAS”. Este título no se relaciona con el objeto de la solicitud contenido en la descripción y las reivindicaciones, por lo cual se sugiere el título siguiente: “MÉTODO, SISTEMA Y MEDIO LEGIBLE POR COMPUTADOR QUE PERMITE LA PERFORACIÓN Y LA ESTRUCTURA DE CÓDIGO DE COMPROBACIÓN DE PARIDAD DE BAJA DENSIDAD (LDPC) MEJORADAS”.

2.2. Reivindicaciones (Art. 30 Decisión 486)

- Las reivindicaciones 22 y 28 no son claras porque se encuentran definiendo un código ejecutable por computadora, lo cual no corresponde a un dispositivo o un procedimiento. Se recomienda al solicitante eliminar las indicaciones relacionadas con código y reemplazarlas por elementos concernientes a un dispositivo o a etapas de un método.
- Se sugiere incluir entre paréntesis () los números de referencia de cada uno de los elementos que hacen parte de la invención de acuerdo con la numeración empleada en los dibujos, con el fin, de hacer más fácil la comprensión de la materia reivindicada.

3. Determinación del Estado de la Técnica

La fecha para determinar el estado de la técnica es el 12 de mayo de 2016 que corresponde a la fecha de presentación de la solicitud de prioridad.

Consultadas las fuentes de información con que se cuenta, se encontraron los siguientes documentos que anticipan el objeto de esta solicitud:

Ítem	Documento	Título	Fecha de Publicación
D1	US20140229788	“Ldpc design for high rate, high parallelism, and low error floor”	14 de agosto de 2014
D2	US20100107033	“Radio communication device and puncturing method”	29 de abril de 2010

El documento D1¹ divulga un método de codificación de datos que incluye un codificador que recibe un conjunto de bits de información y realiza una operación de codificación LDPC elevada en los bits de información para producir una palabra de código. El codificador perfora todos los bits elevados de la palabra de código que corresponden a uno o más bits base perforados de un código LDPC base utilizado para la operación de codificación LDPC. El código LDPC base no tiene múltiples aristas, y uno o más bits base perforados son los que se corresponden con uno o más nodos base perforados, respectivamente, del código LDPC base. Para algunas realizaciones, el uno o más nodos de base perforados corresponden a uno o más nodos variables de grado 2 (resumen).

El documento D2² divulga un dispositivo de comunicación por radio que puede minimizar la degradación de la característica de la tasa de error atribuida a la perforación cuando se utiliza un código LDPC como código de corrección de errores. En este dispositivo, una unidad de codificación LDPC realiza la codificación LDPC en una cadena de bits de transmisión utilizando una matriz de inspección y obtiene una palabra de código LDPC

¹ <https://patentimages.storage.googleapis.com/4d/9f/87/223263556baec7/US20140229788A1.pdf>

² <https://patentimages.storage.googleapis.com/24/f0/b1/5f9709313fed70/US20100107033A1.pdf>

Oficio N° 10588 de 8 de julio de 2021

Ref. Expediente N° NC2018/0012093

formada por un bit sistemático y un bit de paridad. La palabra de código LDPC se envía a una unidad de perforación. Además, la unidad de codificación LDPC envía la matriz de inspección a la unidad de perforación. La unidad de perforación realiza la perforación en los bits de paridad en la palabra de código LDPC en orden ascendente del peso de la columna de la matriz de inspección y si hay una pluralidad de bits de paridad que tienen el mismo peso de la columna, en el orden descendente de la fila de la matriz de inspección. el peso del nodo de verificación conectado a los nodos variables correspondientes a los bits de paridad y envía la palabra de código LDPC después de la perforación a una unidad de modulación.

4. Examen de Patentabilidad (Art. 14 Decisión 486)

4.1. Nivel Inventivo (Art. 18 Decisión 486)

La reivindicación 1 consiste en: “Un método para comunicaciones inalámbricas, que comprende (...)” (Radicado N° NC2018/0012093 del 08 de noviembre de 2018).

Tabla 1. Comparación de las características técnicas esenciales, con las del estado de la técnica:

Características esenciales	D1	D2
Codificar un conjunto de bits de información con base en un código de comprobación de paridad de baja densidad (LDPC) para producir una palabra de código, el código de LDPC definido por una matriz De base que tiene un primer número de nodos variables y un segundo número de nodos de comprobación.	Un codificador puede recibir un conjunto de bits de información y realizar una operación de codificación LDPC en los bits de información para producir una palabra de código (Pág. 1, Párr. 0008). La matriz de verificación de paridad (700) tiene un nodo variable de dos grados perforado (índice 0). Dicho nodo puede dividir una única verificación de paridad en dos. Esto asegura que la matriz de base no tenga bordes dobles y facilita algunas de las realizaciones descritas en este documento (Pág. 5, Párr. 0045). El gráfico bipartito (100) incluye un conjunto de nodos variables (110) (representados por círculos) conectados a 4 nodos de verificación (120) (Pág. 1, Párr. 0004).	No menciona
Perforar la palabra de código de acuerdo con un patrón de perforación diseñado para perforar bits correspondientes a al menos dos de los nodos variables para producir una palabra de código perforada.	No menciona	La sección de perforación (102) perfora los bits de paridad en la palabra de código LDPC y envía la palabra de código LDPC después de perforar a la sección de modulación (103). El número de bits de paridad para perforar se determina en función de la diferencia entre la tasa de codificación en la sección (101) de codificación LDPC (es decir, la tasa de codificación) y la tasa de codificación establecida desde la sección de control (110) (es decir, la tasa de codificación de la palabra de código LDPC

Oficio N° 10588 de 8 de julio de 2021

Ref. Expediente N° NC2018/0012093

		después de la perforación). Para ser más específicos, el número de bits de paridad a perforar está determinado por $N(1 - (R_m / R))$. Aquí, N representa la longitud de la palabra de código LDPC, R_m representa la tasa de codificación madre y R representa la tasa de codificación recibida como entrada de la sección de control (110) (Pág. 2, Párr. 0025).
Añadir al menos un bit de paridad adicional a la matriz de base para los al menos dos nodos variables perforados.	El uno o más nodos perforados pueden incluir un nodo variable que tiene un grado igual o uno menor que un número de nodos de verificación del código LDPC. Por ejemplo, al menos uno de los nodos perforados puede ser un nodo variable de mayor grado del código LDPC. En tal realización, el alto grado del nodo es a menudo deseable para mejorar el rendimiento del código (...).Un nodo de grado dos perforado se puede eliminar de la descripción agregando las dos comprobaciones de paridad a las que está conectado (Pág. 1, Párr. 0009).	No menciona
Transmitir la palabra de código perforada.	Un transmisor (310) transmite una señal a un canal (320) y un receptor (330) recibe la señal del canal (320) (Pág. 2, Párr. 0023).	No menciona

El documento D1 se considera el estado de la técnica más cercano a la invención definida en la reivindicación 1 porque divulga un método de codificación de datos que incluye un codificador que recibe un conjunto de bits de información y realiza una operación de codificación LDPC elevada en los bits de información para producir una palabra de código. El codificador perfora todos los bits elevados de la palabra de código que corresponden a uno o más bits base perforados de un código LDPC base utilizado para la operación de codificación LDPC. El código LDPC base no tiene múltiples aristas, y uno o más bits base perforados son los que se corresponden con uno o más nodos base perforados, respectivamente, del código LDPC base. Para algunas realizaciones, el uno o más nodos de base perforados corresponden a uno o más nodos variables de grado 2 (resumen).

La diferencia entre la invención definida en la reivindicación 1 y el método divulgado de D1 consiste en que no menciona perforar la palabra de código de acuerdo con un patrón de perforación diseñado para perforar bits correspondientes a al menos dos de los nodos variables para producir una palabra de código perforada.

El efecto que se logra al incluir la etapa de perforar la palabra de código de acuerdo con un patrón de perforación diseñado para perforar bits correspondientes a al menos dos de los nodos variables para producir una palabra de código perforada es proporcionar una palabra de código perforada a partir de un patrón de dos nodos variables de forma específica.

Oficio N° **10588** de **8 de julio de 2021**

Ref. Expediente N° NC2018/0012093

Por lo tanto, el problema técnico objetivo que pretende resolver esta invención se puede formular así: ¿Cómo modificar el método conocido en D1 con el fin de proporcionar una palabra de código perforada a partir de un patrón de dos nodos variables de forma específica?

Sin embargo, el incluir un patrón de perforación para perforar bits para proporcionar una palabra de código perforada a partir de un patrón de dos nodos variables de forma específica, ya está divulgado en el documento D2 que se refiere a una sección de perforación de bits (102) que perfora un número de bits de paridad de acuerdo a una función de la diferencia entre la tasa de codificación de la sección (101) de codificación LDPC y la tasa de codificaciones establecida desde la sección de control (101); el número de bits de paridad a perforar está determinado por $N(1 - (R_m / R))$, donde, N representa la longitud de la palabra de código LDPC, R_m representa la tasa de codificación madre y R representa la tasa de codificación recibida como entrada de la sección de control (110) (Pág. 2, Párr. 0025).

En consecuencia, la persona normalmente versada en la materia estaría motivada a incluir la sección de perforación de bits que incluye la función de perforación del documento D2 en el método de D1, para así llegar al objeto de la reivindicación 1. Por lo cual se considera obvia.

Asimismo, el documento D1 divulga las características de las reivindicaciones dependientes así:

- Reivindicación 2: Para algunas realizaciones, el código LDPC base puede incluir uno o más nodos perforados. El codificador LDPC (414) puede por tanto perforar uno o más bits de la palabra de código que se corresponden con los respectivos nodos perforados del código LDPC base. Estos bits de palabra de código perforados no son transmitidos por el transceptor (430). Para algunas realizaciones, los nodos perforados pueden incluir un nodo variable de base que tiene un grado igual o uno menor que varios nodos de verificación del código LDPC. Por ejemplo, al menos uno de los nodos perforados puede ser un nodo variable de mayor grado del código LDPC (Pág. 3, Párr. 0034).
- Reivindicaciones 3 y 4: Al menos algunos de los nodos perforados se proporcionan para eliminar múltiples bordes entre pares de nodos en el gráfico base para el código LDPC elevado. Para algunas realizaciones, los nodos perforados pueden incluir un nodo variable que tiene un grado igual o uno menor que un número de nodos de verificación del código LDPC. Para otras realizaciones, al menos uno de los nodos perforados puede ser un nodo variable de grado 2 (por ejemplo, utilizado para dividir un nodo de verificación que de otra manera estaría conectado a otro nodo variable del código LDPC por dos o más bordes) (Pág. 5, Párr. 0052).
- Reivindicación 5: las figuras 7, 8 y 9 muestran matrices de comprobación de paridad ejemplares (700), (800) y (900), respectivamente, de acuerdo con algunas realizaciones. En cada una de las matrices de verificación de paridad (700), (800) y (900), la fila superior indexa las columnas de H. La segunda fila indica las columnas de información (1) y de paridad (0). La tercera fila indica columnas transmitidas (1) y columnas perforadas (0) (Pág. 5, Párr. 0043).
- Reivindicación 7: La "elevación" permite que los códigos LDPC se implementen utilizando implementaciones de codificación y/o decodificación paralelas al mismo tiempo que reduce la complejidad típicamente asociada con los códigos LDPC grandes. Más específicamente, la elevación es una técnica para generar un código LDPC relativamente grande a partir de múltiples copias de un código base más



Oficio N° 10588 de 8 de julio de 2021

Ref. Expediente N° NC2018/0012093

pequeño. Por ejemplo, se puede generar un código LDPC elevado produciendo un número (Z) de copias paralelas del gráfico base y luego interconectando las copias paralelas mediante permutaciones de grupos de bordes de cada copia del gráfico base (Pág. 2, Párr. 0025).

De igual manera, el documento D2 divulga las características de las reivindicaciones dependientes así:

- Reivindicación 6: Luego, en un caso en el que hay una pluralidad de bits de paridad que tienen el mismo grado de fila y de columna, la sección de perforación (102) perfora los bits de paridad en orden desde el bit de paridad correspondiente al nodo variable conectado con los nodos de verificación que mantienen conexiones con el número más pequeño de nodos variables correspondientes a bits sistemáticos (Pág. 5, Párr. 0084).

Las reivindicaciones dependientes 2 a 7 no mencionan alguna característica que, junto con las características de la reivindicación independiente, aporte nivel inventivo al método de la reivindicación 1, por lo cual se considera que no tienen nivel inventivo.

La reivindicación 8 consiste en: “*Un aparato para comunicaciones inalámbricas, que comprende (...)*” (Radicado N° NC2018/0012093 del 08 de noviembre de 2018).

Tabla 2. Comparación de las características técnicas esenciales, con las del estado de la técnica:

Características esenciales	D1	D2
Medios para codificar un conjunto de bits de información con base en un código de comprobación de paridad de baja densidad (LDPC) para producir una palabra de código, el código de LDPC definido por una matriz de base que tiene un primer número de nodos variables y un segundo número de nodos de comprobación.	Un codificador puede recibir un conjunto de bits de información y realizar una operación de codificación LDPC en los bits de información para producir una palabra de código (Pág. 1, Párr. 0008). La matriz de verificación de paridad (700) tiene un nodo variable de dos grados perforado (índice 0). Dicho nodo puede dividir una única verificación de paridad en dos. Esto asegura que la matriz de base no tenga bordes dobles y facilita algunas de las realizaciones descritas en este documento (Pág. 5, Párr. 0045). El gráfico bipartito (100) incluye un conjunto de nodos variables (110) (representados por círculos) conectados a 4 nodos de verificación (120) (Pág. 1, Párr. 0004).	No menciona
Medios para perforar la palabra de código de acuerdo con un patrón de perforación diseñado para perforar bits correspondientes a al menos dos de los nodos variables para producir una palabra de código perforada.	No menciona	La sección de perforación (102) perfora los bits de paridad en la palabra de código LDPC y envía la palabra de código LDPC después de perforar a la sección de modulación (103). El número de bits de paridad para perforar se determina en función de la diferencia entre la tasa de codificación en la sección (101)

Oficio N° 10588 de 8 de julio de 2021

Ref. Expediente N° NC2018/0012093

		de codificación LDPC (es decir, la tasa de codificación) y la tasa de codificación establecida desde la sección de control (110) (es decir, la tasa de codificación de la palabra de código LDPC después de la perforación). Para ser más específicos, el número de bits de paridad a perforar está determinado por $N(1 - (R_m / R))$. Aquí, N representa la longitud de la palabra de código LDPC, R _m representa la tasa de codificación madre y R representa la tasa de codificación recibida como entrada de la sección de control (110) (Pág. 2, Párr. 0025).
Medios para añadir al menos un bit de paridad adicional a la matriz de base para los al menos dos nodos variables perforados.	El uno o más nodos perforados pueden incluir un nodo variable que tiene un grado igual o uno menor que un número de nodos de verificación del código LDPC. Por ejemplo, al menos uno de los nodos perforados puede ser un nodo variable de mayor grado del código LDPC. En tal realización, el alto grado del nodo es a menudo deseable para mejorar el rendimiento del código (...)Un nodo de grado dos perforado se puede eliminar de la descripción agregando las dos comprobaciones de paridad a las que está conectado (Pág. 1, Párr. 0009).	No menciona
Medios para transmitir la palabra de código perforada.	Un transmisor (310) transmite una señal a un canal (320) y un receptor (330) recibe la señal del canal (320) (Pág. 2, Párr. 0023).	No menciona

El documento D1 se considera el estado de la técnica más cercano a la invención definida en la reivindicación 8 porque divulga un método de codificación de datos que incluye un codificador que recibe un conjunto de bits de información y realiza una operación de codificación LDPC elevada en los bits de información para producir una palabra de código. El codificador perfora todos los bits elevados de la palabra de código que corresponden a uno o más bits base perforados de un código LDPC base utilizado para la operación de codificación LDPC. El código LDPC base no tiene múltiples aristas, y uno o más bits base perforados son los que se corresponden con uno o más nodos base perforados, respectivamente, del código LDPC base. Para algunas realizaciones, el uno o más nodos de base perforados corresponden a uno o más nodos variables de grado 2 (resumen).

La diferencia entre la invención definida en la reivindicación 8 y el aparato divulgado de D1 consiste en que no menciona los medios para perforar la palabra de código de acuerdo con un patrón de perforación diseñado para perforar bits correspondientes a al menos dos de los nodos variables para producir una palabra de código perforada.

Oficio N° **10588** de **8 de julio de 2021**

Ref. Expediente N° NC2018/0012093

El efecto que se logra al incluir los medios para perforar la palabra de código de acuerdo con un patrón de perforación diseñado para perforar bits correspondientes a al menos dos de los nodos variables para producir una palabra de código perforada es proporcionar una palabra de código perforada a partir de un patrón de dos nodos variables de forma específica.

Por lo tanto, el problema técnico objetivo que pretende resolver esta invención se puede formular así: ¿Cómo modificar el aparato conocido en D1 con el fin de proporciona una palabra de código perforada a partir de un patrón de dos nodos variables de forma específica?

Sin embargo, el incluir medios de perforación bits que incluyan un patrón de perforación para proporciona una palabra de código perforada a partir de un patrón de dos nodos variables de forma específica, ya está divulgado en el documento D2 que se refiere a una sección de perforación de bits (102) que perfora un numero de bits de paridad de acuerdo a un a función de la diferencia entre la tasa de codificación de la sección (101) de codificación LDPC y la tasa de codificaciones establecida desde la sección de control (101); el número de bits de paridad a perforar está determinado por $N(1 - (R_m / R))$, donde, N representa la longitud de la palabra de código LDPC, R_m representa la tasa de codificación madre y R representa la tasa de codificación recibida como entrada de la sección de control (110) (Pág. 2, Párr. 0025).

En consecuencia, la persona normalmente versada en la materia estaría motivada a incluir los medios de perforación que incluyan la sección de perforación de bits que incluye la función de perforación del documento D2 en el aparato de D1, para así llegar al objeto de la reivindicación 8. Por lo cual se considera obvia.

Asimismo, el documento D1 divulga las características de las reivindicaciones dependientes así:

- Reivindicación 9: Para algunas realizaciones, el código LDPC base puede incluir uno o más nodos perforados. El codificador LDPC (414) puede por tanto perforar uno o más bits de la palabra de código que se corresponden con los respectivos nodos perforados del código LDPC base. Estos bits de palabra de código perforados no son transmitidos por el transceptor (430). Para algunas realizaciones, los nodos perforados pueden incluir un nodo variable de base que tiene un grado igual o uno menor que varios nodos de verificación del código LDPC. Por ejemplo, al menos uno de los nodos perforados puede ser un nodo variable de mayor grado del código LDPC (Pág. 3, Párr. 0034).
- Reivindicaciones 10 y 11: Al menos algunos de los nodos perforados se proporcionan para eliminar múltiples bordes entre pares de nodos en el gráfico base para el código LDPC elevado. Para algunas realizaciones, los nodos perforados pueden incluir un nodo variable que tiene un grado igual o uno menor que un número de nodos de verificación del código LDPC. Para otras realizaciones, al menos uno de los nodos perforados puede ser un nodo variable de grado 2 (por ejemplo, utilizado para dividir un nodo de verificación que de otra manera estaría conectado a otro nodo variable del código LDPC por dos o más bordes) (Pág. 5, Párr. 0052).
- Reivindicación 12: las figuras 7, 8 y 9 muestran matrices de comprobación de paridad ejemplares (700), (800) y (900), respectivamente, de acuerdo con algunas realizaciones. En cada una de las matrices de verificación de paridad (700), (800) y (900), la fila superior indexa las columnas de H. La segunda fila indica las columnas de información (1) y de paridad (0). La tercera fila indica columnas transmitidas (1) y columnas perforadas (0) (Pág. 5, Párr. 0043).



Oficio N° 10588 de 8 de julio de 2021

Ref. Expediente N° NC2018/0012093

- Reivindicación 14: La "elevación" permite que los códigos LDPC se implementen utilizando implementaciones de codificación y/o decodificación paralelas al mismo tiempo que reduce la complejidad típicamente asociada con los códigos LDPC grandes. Más específicamente, la elevación es una técnica para generar un código LDPC relativamente grande a partir de múltiples copias de un código base más pequeño. Por ejemplo, se puede generar un código LDPC elevado produciendo un número (Z) de copias paralelas del gráfico base y luego interconectando las copias paralelas mediante permutaciones de grupos de bordes de cada copia del gráfico base (Pág. 2, Párr. 0025).

De igual manera, el documento D2 divulga las características de las reivindicaciones dependientes así:

- Reivindicación 13: Luego, en un caso en el que hay una pluralidad de bits de paridad que tienen el mismo grado de fila y de columna, la sección de perforación (102) perfora los bits de paridad en orden desde el bit de paridad correspondiente al nodo variable conectado con los nodos de verificación que mantienen conexiones con el número más pequeño de nodos variables correspondientes a bits sistemáticos (Pág. 5, Párr. 0084).

Las reivindicaciones dependientes 9 a 14 no mencionan alguna característica que, junto con las características de la reivindicación independiente, aporte nivel inventivo al aparato de la reivindicación 8, por lo cual se considera que no tienen nivel inventivo.

La reivindicación 15 consiste en: “Un aparato para comunicaciones inalámbricas, que comprende (...)” (Radicado N° NC2018/0012093 del 08 de noviembre de 2018).

Tabla 3. Comparación de las características técnicas esenciales, con las del estado de la técnica:

Características esenciales	D1	D2
Al menos un procesador acoplado con una memoria y configurado para	Un dispositivo de comunicaciones (1000) de acuerdo con algunas realizaciones. El dispositivo de comunicaciones (1000) incluye un transceptor (1010), un procesador (1020) y una memoria (1030) (Pág. 5, Párr. 0046).	No menciona
Codificar un conjunto de bits de información con base en un código de comprobación de paridad de baja densidad (ldpc) para producir una palabra de código, el código de ldpc definido por una matriz de base que tiene un primer número de nodos variables y un segundo número de nodos de comprobación.	Un codificador puede recibir un conjunto de bits de información y realizar una operación de codificación LDPC en los bits de información para producir una palabra de código (Pág. 1, Párr. 0008). La matriz de verificación de paridad (700) tiene un nodo variable de dos grados perforado (índice 0). Dicho nodo puede dividir una única verificación de paridad en dos. Esto asegura que la matriz de base no tenga bordes dobles y facilita algunas de las realizaciones descritas en este documento (Pág. 5, Párr. 0045).	No menciona

Oficio N° 10588 de 8 de julio de 2021

Ref. Expediente N° NC2018/0012093

	El gráfico bipartito (100) incluye un conjunto de nodos variables (110) (representados por círculos) conectados a 4 nodos de verificación (120) (Pág. 1, Párr. 0004).	
Perforar la palabra de código de acuerdo con un patrón de perforación diseñado para perforar bits correspondientes a al menos dos de los nodos variables para producir una palabra de código perforada.	No menciona	La sección de perforación (102) perfora los bits de paridad en la palabra de código LDPC y envía la palabra de código LDPC después de perforar a la sección de modulación (103). El número de bits de paridad para perforar se determina en función de la diferencia entre la tasa de codificación en la sección (101) de codificación LDPC (es decir, la tasa de codificación) y la tasa de codificación establecida desde la sección de control (110) (es decir, la tasa de codificación de la palabra de código LDPC después de la perforación). Para ser más específicos, el número de bits de paridad a perforar está determinado por $N(1 - (R_m / R))$. Aquí, N representa la longitud de la palabra de código LDPC, R _m representa la tasa de codificación madre y R representa la tasa de codificación recibida como entrada de la sección de control (110) (Pág. 2, Párr. 0025).
Añadir al menos un bit de paridad adicional a la matriz de base para los al menos dos nodos variables perforados.	El uno o más nodos perforados pueden incluir un nodo variable que tiene un grado igual o uno menor que un número de nodos de verificación del código LDPC. Por ejemplo, al menos uno de los nodos perforados puede ser un nodo variable de mayor grado del código LDPC. En tal realización, el alto grado del nodo es a menudo deseable para mejorar el rendimiento del código (...).Un nodo de grado dos perforado se puede eliminar de la descripción agregando las dos comprobaciones de paridad a las que está conectado (Pág. 1, Párr. 0009).	No menciona
Un transmisor configurado para transmitir la palabra de código perforada.	Un transmisor (310) transmite una señal a un canal (320) y un receptor (330) recibe la señal del canal (320) (Pág. 2, Párr. 0023).	No menciona

El documento D1 se considera el estado de la técnica más cercano a la invención definida en la reivindicación 15 porque divulga un método de codificación de datos que incluye un codificador que recibe un conjunto de bits de información y realiza una operación de codificación LDPC elevada en los bits de información para producir una palabra de código. El codificador perfora todos los bits elevados de la palabra de código que

Oficio N° **10588** de **8 de julio de 2021**

Ref. Expediente N° NC2018/0012093

corresponden a uno o más bits base perforados de un código LDPC base utilizado para la operación de codificación LDPC. El código LDPC base no tiene múltiples aristas, y uno o más bits base perforados son los que se corresponden con uno o más nodos base perforados, respectivamente, del código LDPC base. Para algunas realizaciones, el uno o más nodos de base perforados corresponden a uno o más nodos variables de grado 2 (resumen).

La diferencia entre la invención definida en la reivindicación 15 y el aparato divulgado de D1 consiste en que no incluye un procesador configurado para perforar la palabra de código de acuerdo con un patrón de perforación diseñado para perforar bits correspondientes a al menos dos de los nodos variables para producir una palabra de código perforada.

El efecto que se logra al incluir un procesador configurado para perforar la palabra de código de acuerdo con un patrón de perforación diseñado para perforar bits correspondientes a al menos dos de los nodos variables para producir una palabra de código perforada es proporcionar una palabra de código perforada a partir de un patrón de dos nodos variables de forma específica.

Por lo tanto, el problema técnico objetivo que pretende resolver esta invención se puede formular así: ¿Cómo modificar el aparato conocido en D1 con el fin de proporcionar una palabra de código perforada a partir de un patrón de dos nodos variables de forma específica?

Sin embargo, el incluir un procesador configurado con un patrón de perforación para perforar bits y proporciona una palabra de código perforada a partir de un patrón de dos nodos variables de forma específica, ya está divulgado en el documento D2 que se refiere a una sección de perforación de bits (102) que perfora un número de bits de paridad de acuerdo a una función de la diferencia entre la tasa de codificación de la sección (101) de codificación LDPC y la tasa de codificaciones establecida desde la sección de control (101); el número de bits de paridad a perforar está determinado por $N(1 - (R_m / R))$, donde, N representa la longitud de la palabra de código LDPC, R_m representa la tasa de codificación madre y R representa la tasa de codificación recibida como entrada de la sección de control (110) (Párr. 0025).

En consecuencia, la persona normalmente versada en la materia estaría motivada a incluir la sección de perforación de bits que incluye la función de perforación del documento D2 en el aparato de D1, para así llegar al objeto de la reivindicación 15. Por lo cual se considera obvia.

Asimismo, el documento D1 divulga las características de las reivindicaciones dependientes así:

- Reivindicación 16: Para algunas realizaciones, el código LDPC base puede incluir uno o más nodos perforados. El codificador LDPC (414) puede por tanto perforar uno o más bits de la palabra de código que se corresponden con los respectivos nodos perforados del código LDPC base. Estos bits de palabra de código perforados no son transmitidos por el transceptor (430). Para algunas realizaciones, los nodos perforados pueden incluir un nodo variable de base que tiene un grado igual o uno menor que varios nodos de verificación del código LDPC. Por ejemplo, al menos uno de los nodos perforados puede ser un nodo variable de mayor grado del código LDPC (Pág. 3, Párr. 0034).
- Reivindicaciones 17 y 18: Al menos algunos de los nodos perforados se proporcionan

Oficio N° 10588 de 8 de julio de 2021

Ref. Expediente N° NC2018/0012093

- para eliminar múltiples bordes entre pares de nodos en el gráfico base para el código LDPC elevado. Para algunas realizaciones, los nodos perforados pueden incluir un nodo variable que tiene un grado igual o uno menor que un número de nodos de verificación del código LDPC. Para otras realizaciones, al menos uno de los nodos perforados puede ser un nodo variable de grado 2 (por ejemplo, utilizado para dividir un nodo de verificación que de otra manera estaría conectado a otro nodo variable del código LDPC por dos o más bordes) (Pág. 5, Párr. 0052).
- Reivindicación 19: las figuras 7, 8 y 9 muestran matrices de comprobación de paridad ejemplares (700), (800) y (900), respectivamente, de acuerdo con algunas realizaciones. En cada una de las matrices de verificación de paridad (700), (800) y (900), la fila superior indexa las columnas de H. La segunda fila indica las columnas de información (1) y de paridad (0). La tercera fila indica columnas transmitidas (1) y columnas perforadas (0) (Pág. 5, Párr. 0043).
 - Reivindicación 21: La "elevación" permite que los códigos LDPC se implementen utilizando implementaciones de codificación y/o decodificación paralelas al mismo tiempo que reduce la complejidad típicamente asociada con los códigos LDPC grandes. Más específicamente, la elevación es una técnica para generar un código LDPC relativamente grande a partir de múltiples copias de un código base más pequeño. Por ejemplo, se puede generar un código LDPC elevado produciendo un número (Z) de copias paralelas del gráfico base y luego interconectando las copias paralelas mediante permutaciones de grupos de bordes de cada copia del gráfico base (Pág. 2, Párr. 0025).

De igual manera, el documento D2 divulga las características de las reivindicaciones dependientes así:

- Reivindicación 20: Luego, en un caso en el que hay una pluralidad de bits de paridad que tienen el mismo grado de fila y de columna, la sección de perforación (102) perfora los bits de paridad en orden desde el bit de paridad correspondiente al nodo variable conectado con los nodos de verificación que mantienen conexiones con el número más pequeño de nodos variables correspondientes a bits sistemáticos (Pág. 5, Párr. 0084).

Las reivindicaciones dependientes 16 a 21 no mencionan alguna característica que, junto con las características de la reivindicación independiente, aporte nivel inventivo al aparato de la reivindicación 15, por lo cual se considera que no tienen nivel inventivo.

La reivindicación 22 consiste en: *“Un medio legible por computadora que tiene código ejecutable por computadora almacenado en el mismo para comunicaciones inalámbricas, que comprende (...)”* (Radicado N° NC2018/0012093 del 08 de noviembre de 2018).

Tabla 4. Comparación de las características técnicas esenciales, con las del estado de la técnica:

Características esenciales	D1	D2
Un medio legible por computadora.	Un dispositivo de comunicaciones (1000) de acuerdo con algunas realizaciones. El dispositivo de comunicaciones (1000) incluye un transceptor (1010), un procesador (1020) y una memoria (1030) (Pág. 5, Párr. 0046).	No menciona
Un código para codificar un conjunto de bits de información	Un codificador puede recibir un conjunto de bits de información y	No menciona

Oficio N° 10588 de 8 de julio de 2021

Ref. Expediente N° NC2018/0012093

con base en un código de comprobación de paridad de baja densidad (LDPC) para producir una palabra de código, el código de LDPC definido por una matriz de base que tiene un primer número de nodos variables y un segundo número de nodos de comprobación.	realizar una operación de codificación LDPC en los bits de información para producir una palabra de código (Pág. 1, Párr. 0008). La matriz de verificación de paridad (700) tiene un nodo variable de dos grados perforado (índice 0). Dicho nodo puede dividir una única verificación de paridad en dos. Esto asegura que la matriz de base no tenga bordes dobles y facilita algunas de las realizaciones descritas en este documento (Pág. 5, Párr. 0045). El gráfico bipartito (100) incluye un conjunto de nodos variables (110) (representados por círculos) conectados a 4 nodos de verificación (120) (Pág. 1, Párr. 0004).	
Un código para perforar la palabra de código de acuerdo con un patrón de perforación diseñado para perforar bits correspondientes a al menos dos de los nodos variables para producir una palabra de código perforada.	No menciona	La sección de perforación (102) perfora los bits de paridad en la palabra de código LDPC y envía la palabra de código LDPC después de perforar a la sección de modulación (103). El número de bits de paridad para perforar se determina en función de la diferencia entre la tasa de codificación en la sección (101) de codificación LDPC (es decir, la tasa de codificación) y la tasa de codificación establecida desde la sección de control (110) (es decir, la tasa de codificación de la palabra de código LDPC después de la perforación). Para ser más específicos, el número de bits de paridad a perforar está determinado por $N(1 - (R_m / R))$. Aquí, N representa la longitud de la palabra de código LDPC, R_m representa la tasa de codificación madre y R representa la tasa de codificación recibida como entrada de la sección de control (110) (Pág. 2, Párr. 0025).
un código para añadir al menos un bit de paridad adicional a la matriz de base para los al menos dos nodos variables perforados.	El uno o más nodos perforados pueden incluir un nodo variable que tiene un grado igual o uno menor que un número de nodos de verificación del código LDPC. Por ejemplo, al menos uno de los nodos perforados puede ser un nodo variable de mayor grado del código LDPC. En tal realización, el alto grado del nodo es a menudo deseable para mejorar el rendimiento del código (...).Un nodo de grado dos perforado se	No menciona

Oficio N° 10588 de 8 de julio de 2021

Ref. Expediente N° NC2018/0012093

	puede eliminar de la descripción agregando las dos comprobaciones de paridad a las que está conectado (Pág. 1, Párr. 0009).	
un código para transmitir la palabra de código perforada.	Un transmisor (310) transmite una señal a un canal (320) y un receptor (330) recibe la señal del canal (320) (Pág. 2, Párr. 0023).	No menciona

El documento D1 se considera el estado de la técnica más cercano a la invención definida en la reivindicación 22 porque divulga un método de codificación de datos que incluye un codificador que recibe un conjunto de bits de información y realiza una operación de codificación LDPC elevada en los bits de información para producir una palabra de código. El codificador perfora todos los bits elevados de la palabra de código que corresponden a uno o más bits base perforados de un código LDPC base utilizado para la operación de codificación LDPC. El código LDPC base no tiene múltiples aristas, y uno o más bits base perforados son los que se corresponden con uno o más nodos base perforados, respectivamente, del código LDPC base. Para algunas realizaciones, el uno o más nodos de base perforados corresponden a uno o más nodos variables de grado 2 (resumen).

La diferencia entre la invención definida en la reivindicación 15 y el medio legible por computador divulgado de D1 consiste en que no incluye un código para perforar la palabra de código de acuerdo con un patrón de perforación diseñado para perforar bits correspondientes a al menos dos de los nodos variables para producir una palabra de código perforada.

El efecto que se logra al incluir un código para perforar la palabra de código de acuerdo con un patrón de perforación diseñado para perforar bits correspondientes a al menos dos de los nodos variables para producir una palabra de código perforada es proporcionar una palabra de código perforada a partir de un patrón de dos nodos variables de forma específica.

Por lo tanto, el problema técnico objetivo que pretende resolver esta invención se puede formular así: ¿Cómo modificar el medio legible por computador conocido en D1 con el fin de proporciona una palabra de código perforada a partir de un patón de dos nodos variables de forma específica?

Sin embargo, el incluir un medio legible por computador que proporciona un código de perforación para perforar bits y facilita una palabra de código perforada a partir de un patón de dos nodos variables de forma específica, ya está divulgado en el documento D2 que se refiere a una sección de perforación de bits (102) que perfora un numero de bits de paridad de acuerdo a un a función de la diferencia entre la tasa de codificación de la sección (101) de codificación LDPC y la tasa de codificaciones establecida desde la sección de control (101); el número de bits de paridad a perforar está determinado por $N(1 - (R_m / R))$, donde, N representa la longitud de la palabra de código LDPC, R_m representa la tasa de codificación madre y R representa la tasa de codificación recibida como entrada de la sección de control (110) (Pág. 2, Párr. 0025).

En consecuencia, la persona normalmente versada en la materia estaría motivada a incluir la sección de perforación de bits que incluye la función de perforación del documento D2 en el medio legible por computador de D1, para así llegar al objeto de la reivindicación 22. Por lo cual se considera obvia.

Oficio N° **10588** de **8 de julio de 2021**

Ref. Expediente N° NC2018/0012093

Asimismo, el documento D1 divulga las características de las reivindicaciones dependientes así:

- Reivindicación 23: Para algunas realizaciones, el código LDPC base puede incluir uno o más nodos perforados. El codificador LDPC (414) puede por tanto perforar uno o más bits de la palabra de código que se corresponden con los respectivos nodos perforados del código LDPC base. Estos bits de palabra de código perforados no son transmitidos por el transceptor (430). Para algunas realizaciones, los nodos perforados pueden incluir un nodo variable de base que tiene un grado igual o uno menor que varios nodos de verificación del código LDPC. Por ejemplo, al menos uno de los nodos perforados puede ser un nodo variable de mayor grado del código LDPC (Pág. 3, Párr. 0034).
- Reivindicaciones 24 y 25: Al menos algunos de los nodos perforados se proporcionan para eliminar múltiples bordes entre pares de nodos en el gráfico base para el código LDPC elevado. Para algunas realizaciones, los nodos perforados pueden incluir un nodo variable que tiene un grado igual o uno menor que un número de nodos de verificación del código LDPC. Para otras realizaciones, al menos uno de los nodos perforados puede ser un nodo variable de grado 2 (por ejemplo, utilizado para dividir un nodo de verificación que de otra manera estaría conectado a otro nodo variable del código LDPC por dos o más bordes) (Pág. 5, Párr. 0052).
- Reivindicación 26: las figuras 7, 8 y 9 muestran matrices de comprobación de paridad ejemplares (700), (800) y (900), respectivamente, de acuerdo con algunas realizaciones. En cada una de las matrices de verificación de paridad (700), (800) y (900), la fila superior indexa las columnas de H. La segunda fila indica las columnas de información (1) y de paridad (0). La tercera fila indica columnas transmitidas (1) y columnas perforadas (0) (Pág. 5, Párr. 0043).
- Reivindicación 28: La "elevación" permite que los códigos LDPC se implementen utilizando implementaciones de codificación y/o decodificación paralelas al mismo tiempo que reduce la complejidad típicamente asociada con los códigos LDPC grandes. Más específicamente, la elevación es una técnica para generar un código LDPC relativamente grande a partir de múltiples copias de un código base más pequeño. Por ejemplo, se puede generar un código LDPC elevado produciendo un número (Z) de copias paralelas del gráfico base y luego interconectando las copias paralelas mediante permutaciones de grupos de bordes de cada copia del gráfico base (Pág. 2, Párr. 0025).

De igual manera, el documento D2 divulga las características de las reivindicaciones dependientes así:

- Reivindicación 27: Luego, en un caso en el que hay una pluralidad de bits de paridad que tienen el mismo grado de fila y de columna, la sección de perforación (102) perfora los bits de paridad en orden desde el bit de paridad correspondiente al nodo variable conectado con los nodos de verificación que mantienen conexiones con el número más pequeño de nodos variables correspondientes a bits sistemáticos (Pág. 5, Párr. 0084).

Las reivindicaciones dependientes 23 a 28 no mencionan alguna característica que, junto con las características de la reivindicación independiente, aporte nivel inventivo al medio legible por computador de la reivindicación 22, por lo cual se considera que no tienen nivel inventivo.



Oficio N° **10588** de **8 de julio de 2021**

Ref. Expediente N° NC2018/0012093

5. Conclusión con respecto a novedad y/o nivel inventivo

Los requisitos de Patentabilidad de la presente solicitud están afectados así:

Ítem	Documento	Reivindicaciones afectadas	Requisito que afecta
D1	US20140229788	1 a 28	Nivel Inventivo
D2	US20100107033	1 a 28	Nivel inventivo

En cumplimiento del artículo 45 de la Decisión 486 de 2000, se le indica que debe dar respuesta dentro del término de sesenta (60) días contados a partir de la fecha de notificación de la presente comunicación. En caso de no dar respuesta al presente requerimiento, o si a pesar de la respuesta subsistieran los impedimentos para la concesión, se denegará la patente.

Si como respuesta a este requerimiento, el solicitante modifica el capítulo reivindicatorio, deberá observar las instrucciones contenidas en el numeral 1.2.2.1.1., del Capítulo Primero del Título X de la Circular Única de esta Superintendencia. De igual forma, deberá tener presente que de conformidad con el literal a) del numeral 1.2.2.5.1. de la norma ibidem, será necesario acreditar el pago de la tasa por concepto de modificación a solicitudes en trámites, de conformidad con el valor establecido en la resolución de tasas vigentes.

Notifíquese el presente oficio conforme a lo dispuesto en el numeral 6.2 del Capítulo Sexto del Título I de la Circular Única, informándoles que contra el mismo no procede recurso alguno en actuación administrativa.



Edna Marcela Ramirez Orozco
DIRECTORA DE NUEVAS CREACIONES

Oficio N° 10588 de 8 de julio de 2021

Ref. Expediente N° NC2018/0012093

INFORME DE BÚSQUEDA
EXAMEN DE PATENTABILIDAD

Solicitud No.		Examen de patentabilidad							
NC2018/0012093		1°	X	2°		3°		Revoca	
Solicitud Internacional No.		Fecha solicitud internacional: (DD/MM/AÑO)							
PCT/US2017/032413		12/05/2017							
Fecha de determinación estado de la técnica (DD/MM/AÑO)				Prioridad		Presentación			
12/05/2016				X					
Solicitante									
QUALCOMM INCORPORATED									
Reivindicaciones que no son objeto de búsqueda por:									
Art. 14	-	Art. 15	-	Art. 20	-	Art. 25 (Falta de unidad de invención)		-	
CRITERIOS DE BÚSQUEDA									
Reivindicaciones objeto de búsqueda				1 a 28					
Palabras clave utilizadas				(wireless and communications and LDPC and puncturing and code and parity)					
Clasificaciones utilizadas para la búsqueda				CIP:	H03M 13/11, H03M 13/03				
DOCUMENTOS CONSIDERADOS RELEVANTES (Documentos patente, Literatura no patente (LNP): Artículos, catálogos, etc.)									
Informes de búsqueda / Bases de datos consultadas	N° de solicitud de patente / N° de patente / Autor LNP ⁽¹⁾	Fecha de Publicación /Presentación (DD/MM/AAAA)	Reivindicaciones /Secuencias afectadas	Citas relevantes del estado de la técnica				Categoría del documento citado ⁽²⁾	
SIPI	NC2019/0008498	20/08/2019	-	-				E	
USPTO	US20140229788	14/08/2014	1 a 28	(Pág. 1, Párr. 0008), (Pág. 5, Párr. 0045), (Pág. 1, Párr. 0004), (Pág. 1, Párr. 0009), (Pág. 2, Párr. 0023), (Pág. 3, Párr. 0034), (Pág. 5, Párr. 0052), (Pág. 5, Párr. 0043), (Pág. 2, Párr. 0025), (Pág. 5, Párr. 0046).				Y	
	US20100107033	29/04/2010	1 a 28	(Pág. 5, Párr. 0084), (Pág. 2, Párr. 0025				Y	
Patbase	US20140068375	06/03/2014	-	-				A	
	US20140201592	11/12/2014	-	-				A	
	US20130262961	03/10/2013	-	-				A	
	US20100023834	28/10/2010	-	-				A	
	US20110047433	24/02/2011	-	-				A	
Googlepatent	US20070022362	21/01/2007	-	-				A	
	US20140223254	07/08/2014	-	-				A	
	US20050283708	22/12/2005	-	-				A	
	KR101524869	02/05/2015	-	-				A	
	US20110202820	18/08/2011	-	-				A	
⁽¹⁾ Cita completa literatura no patente (LNP)									
Apellido, A. A. (Fecha). Título del artículo. Nombre de la revista. Volumen(Número), pp-pp.									
O									
Apellido, A. A. (Fecha). Título del artículo. Nombre de la revista. Recuperado de http://xxxxxxx.									
⁽²⁾ Categorías de documentos citados									

Oficio N° 10588 de 8 de julio de 2021

Ref. Expediente N° NC2018/0012093

“A” Documento que define el estado general de la técnica no considerado como particularmente relevante. “E” Solicitud de patente o patente anterior pero publicada en la fecha de presentación internacional o en fecha posterior. “L” Documento citado para llamar la atención sobre por ejemplo, dudas acerca de una reivindicación de prioridad o para determinar la fecha de publicación de otra cita, siempre van acompañados de una explicación, por la cual se citan. “O” Documento del tipo actas de conferencia, este tipo de documentos siempre estará acompañado por otra letra que indique la pertinencia del documento, por ejemplo, O,X, O,Y o bien O,A. “P” Documento publicado antes de la fecha de presentación internacional pero con posterioridad a la fecha de prioridad reivindicada.	“T” Documento publicado en fecha posterior a la de presentación o la de prioridad de la solicitud internacional y no entra en conflicto con dicha solicitud, pero puede ser útil para la mejor comprensión del principio o teoría en que se basa la invención, o para demostrar que el razonamiento o los hechos en los que se basa dicha invención son incorrectos. “X” Documento particularmente relevante; la invención reivindicada no puede considerarse nueva o que implique una actividad inventiva por referencia al documento aisladamente considerado. “Y” Documento particularmente relevante; la invención reivindicada no puede considerarse que implique una actividad inventiva cuando el documento se asocia a otro u otros documentos de la misma naturaleza, cuya combinación resulta evidente para un experto en la materia.
Fecha del reporte de búsqueda: 26-04-2021	
Examinador: DIEGO GONZÁLEZ CASTILLO	

.|