

COMPONENTE DE IMPRESIÓN DE COMUNICACIÓN

ANTECEDENTES DE LA INVENCION

- 5 [001] Las impresoras y los cartuchos de impresora pueden usar una serie de tecnologías para transportar tinta a un medio. La tinta se puede aplicar a un medio usando un dispositivo afectado por diferencias de temperatura a través del dispositivo. La calidad de impresión se puede determinar en parte por el resultado de un trabajo de impresión que coincida con la entrada que la impresora debe imprimir.

BREVE DESCRIPCIÓN DE LAS FIGURAS

- 10 [002] Ciertos ejemplos se describen en la siguiente descripción detallada y en referencia a los dibujos, en los cuales:
- [003] La figura 1 es un diagrama de bloques de un sistema de componentes de impresión de ejemplo;
- [004] La figura 2 es un diagrama de bloques de un sistema de componentes de impresión de múltiples troqueles de ejemplo;
- 15 [005] La figura 3 es un diagrama de bloques de un sistema de componentes de impresión de múltiples inyectores de ejemplo;
- [006] La figura 4 es un diagrama de bloques de un plan de circuitería de ejemplo;
- [007] La figura 5 es un diagrama de bloques de una arquitectura de sensor de múltiples inyectores de ejemplo;
- 20 [008] La figura 6 es un diagrama de bloques de una arquitectura de circuitería de impresión de ejemplo;
- [009] La figura 7 es un diagrama de flujo de un método de ejemplo para comunicar datos almacenados de un cartucho de cabezal de impresión reemplazable de comunicación;
- 25 [0010] La figura 8 es un diagrama de bloques de un medio legible por computadora no transitorio de ejemplo que incluye instrucciones para dirigir un procesador para comunicar datos almacenados de un cartucho de cabezal de impresión reemplazable de comunicación;
- [0011] La figura 9 es un diagrama de flujo de un método de ejemplo para acceder a una celda de memoria;
- 30 [0012] La figura 10 es un dibujo que muestra un conjunto de señales de ejemplo para una escritura de registro de configuración;
- [0013] La figura 11 es un esquema de un acceso de bits de memoria de ejemplo que usa múltiples registros activados y datos de boquilla;
- [0014] La figura 12 es un esquema que muestra un ejemplo de circuitos lógicos que acceden a una celda de memoria;
- 35

[0015] La figura 13 es un diagrama de flujo de un método de ejemplo para acceder a una celda de memoria en respuesta a estados de acceso activados;

[0016] La figura 14 es un diagrama de bloques de una circuitería y plan de escritura de bits de memoria de ejemplo;

5 [0017] La figura 15 es un diagrama de flujo de un método de ejemplo para proporcionar un voltaje de escritura con un regulador de voltaje de memoria a la combinación seleccionada de bits de memoria; y

[0018] La figura 16 es un diagrama de bloques que ilustra otro ejemplo 1600 de un circuito integrado con múltiples bits de memoria asociados con cada accionador de fluido.

10 **DESCRIPCIÓN DETALLADA DE LA INVENCION**

[0019] Proporcionar fluido, tal como tintas o agentes, a un medio, tal como páginas, polvo, cámaras de fluido, etc., puede incluir empujar fluido a través de boquillas con accionadores de fluido. En un ejemplo, el control de los accionadores de fluido se puede regular mediante bits de memoria ubicados en circuitería integrada. En un ejemplo, la circuitería integrada es

15 un troquel de impresión posiblemente hecho de silicio. Puede haber una gran cantidad de boquillas, accionadores de fluido correspondientes y bits de memoria correspondientes para gestionar. Estos bits de memoria se pueden conectar de forma comunicativa en paralelo mediante un bus. El bus puede ser un bus analógico de línea individual. En la presente descripción, el bus es capaz de medir todas las combinaciones de bits de memoria en paralelo.

20 Además, el uso de un bus analógico de línea individual permite el orden de un cable de bus, pista u organización de troquel de impresión general más compleja. El uso de un bus de línea individual para medir múltiples bits de memoria en paralelo evita la necesidad de arquitecturas de troqueles de múltiples buses. Además, el sistema descrito proporciona un almacén para conectar bits de memoria a través de múltiples troqueles de impresión con un bus analógico

25 de línea individual. La reducción en el número de líneas de bus necesarias también puede reducir la cantidad de mesetas de medición externas porque todos los bits de memoria, secciones o divisiones se pueden medir usando una sola meseta. En un ejemplo, la meseta es externa al troquel para conectarse a un contacto de lado de impresora. En un ejemplo, la meseta es una meseta de señal analógica para comunicar una señal analógica.

30 [0020] Como se usa en la presente, los bits de memoria específicos para los cuales se realizan mediciones se pueden seleccionar usando el bus de línea individual. En un ejemplo, el bus de línea individual es una ruta de datos de alta velocidad y puede ser una pista, cable u otro medio de conexión comunicativa electrónica entre componentes. Los bits de memoria se pueden seleccionar usando información transmitida como parte de datos primitivos en un

35 paquete de datos. En un ejemplo, el paquete de datos se puede referir como un grupo de

pulsos de disparo. En un ejemplo, las selecciones específicas de bits de memoria se realizan utilizando datos primitivos para representar un grupo de pulsos de disparo. El paquete de datos, o grupo de pulsos de disparo, también se transmite a través de la circuitería integrada para dirigir o seleccionar accionadores de fluido específicos. Un método para dirigir los accionadores de fluido incluye un número primitivo y un número de direcciones. En algunos ejemplos, puede haber un bit de memoria correspondiente a cada accionador de fluido. En otros ejemplos, puede haber más o menos bits de memoria que accionadores de fluido.

[0021] Los bits de memoria se pueden seleccionar usando la misma línea de selección y lógica de selección para seleccionar la pluralidad de bits de memoria y accionadores fluídicos.

10 En un ejemplo, el paquete de datos que porta la información para la selección de accionadores de fluido incluye adicionalmente datos para seleccionar el bit de memoria correspondiente a esos accionadores de fluido específicos, que incluyen el número primitivo y el número de direcciones.

15 [0022] El uso de sistemas de direccionamiento de esta manera, por ejemplo, usando un bus analógico de línea individual, permite seleccionar múltiples bits de memoria y leer a lo largo del bus analógico de una línea individual hacia la meseta. En un ejemplo, la meseta es una meseta de sensor para comunicar estados de sensor, además de la señal de bits de memoria.

20 [0023] La misma línea de datos se puede usar para accionar un número de dispositivos de accionamiento de fluido. Además, el uso de un bus analógico de línea individual permite seleccionar múltiples bits de memoria ubicados dentro del mismo troquel y en la misma dirección y leer uno a la vez o en combinación paralela desde la misma meseta. En otro ejemplo, el uso de un bus analógico individual permite seleccionar múltiples bits de memoria dentro de diferentes troqueles de silicio en el mismo cabezal de impresión y leerlos desde la misma línea de selección. Los bits de memoria se pueden ubicar en diferentes troqueles. Cada troquel puede corresponder a un color diferente. Por ejemplo, un inyector puede ser un inyector de color e incluir tres troqueles de impresión de silicio. El otro inyector puede estar ubicado en un inyector de tinta negra y puede tener un troquel de impresión de silicio individual. El uso de un bus analógico individual permite seleccionar múltiples bits de memoria a través de múltiples troqueles de silicio a través de múltiples cabezales de impresión dentro del sistema de impresión, como un inyector de color separado y un inyector negro, y leerlos desde la misma meseta. En la selección de bits de memoria por dirección, cada troquel de silicio único puede seleccionar un bit de memoria en un número de direcciones diferente, pero los bits de memoria dentro del mismo troquel se pueden seleccionar en la misma dirección.

25

30

[0024] La circuitería integrada puede ser un troquel de impresión. La circuitería integrada puede utilizar bits de memoria volátiles o no volátiles (NVM). En un ejemplo, la memoria utilizada en la circuitería integrada es programable una sola vez (OTP) y se puede leer externamente usando la meseta analógica. Por ejemplo, el o los bits de memoria pueden proporcionar una respuesta analógica esperada o predecible en diversas condiciones de medición y combinaciones. Debido a este enfoque más matizado para acceder y realizar lecturas desde múltiples bits de memoria, el acceso a las características del cabezal de impresión está más protegido contra el acceso o la manipulación no autorizados. Además, el aumento de la granularidad de la medición permite una supervisión del estado más específica de la funcionalidad de los componentes de impresión. Además, en un ejemplo, el direccionamiento o lectura de múltiples bits de memoria en combinación, paralelo y/o simultáneamente usando un bus de línea individual puede reducir el número de acciones de direccionamiento o lectura, lo que acelera la operación. Además, y en contraste, el uso de un bus de múltiples líneas para intentar lecturas paralelas utilizaría múltiples líneas de circuito que podrían llenar el espacio en un troquel de impresión. Además, agregar otro cable al cabezal de impresión o a los cabezales de impresión conllevaría un aumento en el costo y una disminución en la confiabilidad.

[0025] El componente de impresión o componente de impresión puede ser extraíble. Un componente de impresión extraíble se puede retirar o insertar de o en una impresora. La misma circuitería utilizada para seleccionar qué boquillas dispersarán tinta sobre una señal de DISPARO también se puede usar para acceder a la memoria de la circuitería integrada. La circuitería para seleccionar una boquilla y seleccionar un bit de memoria se puede compartir. El uso compartido de circuitería permite, en parte, la minimización del área de circuito que se utiliza. Además, la señalización inadvertida entre estos dos componentes que comparten una línea puede plantear un riesgo de acciones inadvertidas o cambios en la memoria. La presente descripción incluye métodos y dispositivos propuestos para proteger contra señalización inadvertida mediante el uso de una secuencia de acceso antes de permitir el acceso a la memoria.

[0026] Como se indicó, la circuitería de impresora puede incluir líneas compartidas entre la circuitería de accionamiento de fluido y la circuitería de celda de memoria. En un ejemplo, y para reducir la complejidad en troquel, gran parte de una ruta de datos de alta velocidad que se utiliza para seleccionar boquillas de inyección de tinta es multipropósito para seleccionar también elementos de memoria. Las técnicas específicas para selección de bits de memoria pueden activar las protecciones con una secuencia de acceso a la memoria para asegurar que los bits de memoria no se seleccionen inadvertidamente durante la impresión. Los bits de

memoria que se seleccionan inadvertidamente mientras se imprime se podrían dañar e inutilizar en la memoria de cabezal de impresión.

[0027] Las presentes técnicas muestran una secuencia de modo de acceso utilizada para acceder a modos de lectura y escritura de memoria en circuitería integrada tal como un cabezal de impresión. En un ejemplo, el cabezal de impresión puede incluir un troquel tal como un troquel de silicio. El troquel de silicio puede ser piezas largas de silicio. Para reducir el tamaño y, por lo tanto, el costo del silicio en bruto, el tamaño o perfil de la circuitería se puede reducir mediante múltiples componentes que comparten las mismas líneas de señalización. Por ejemplo, la selección de boquillas puede utilizar el mismo hardware utilizado para ajustar los bits de memoria. En un ejemplo, los bits de memoria o celdas de memoria pueden ser memoria no volátil (NVM). El uso de NVM se puede utilizar para transferir información desde el cabezal de impresión a la impresora. La comunicación de información tal como las mediciones de grietas y temperaturas fuera del troquel permite el cálculo y ajuste de las instrucciones al cabezal de impresión de acuerdo con las condiciones detectadas. En un ejemplo, la información incluida en la NVM que se va a comunicar a la impresora puede incluir el comportamiento térmico de un troquel, desplazamientos para un troquel, información de región, un mapa de color, el número de boquillas, función de boquilla, temperatura de troquel en varias regiones, detección de grietas y otra información.

[0028] Para asegurar que los datos adecuados se guarden en la NVM en lugar de ruido o señalización no deseada para un componente compartido, se utiliza una secuencia de acceso. La secuencia de acceso puede evitar la escritura inadvertida en la memoria por parte de circuitos que también distribuyen y ejecutan datos de selección de impresión. La capacidad de compartir circuitería sin pérdida de calidad permite un ahorro significativo del área de circuito. El uso compartido de componentes puede incluir, por ejemplo, el uso compartido de una ruta de datos para seleccionar tanto accionadores de fluido como bits NVM.

[0029] Otra forma de evitar accesos de memoria inadvertidos es restablecer la secuencia de acceso en el borde descendente de la señal de DISPARO. Esto asegura que las fallas de señal o ruido en una meseta de MODO se limiten a un primer paso de una secuencia de acceso donde los bits de memoria no están expuestos. En cambio, el proceso para acceder a los bits de memoria puede comenzar temporalmente antes de salir rápidamente sin daño o señalización incorrecta.

[0030] En un ejemplo, la secuencia para activar un modo de acceso de memoria puede tener seis pasos. En un primer paso de ejemplo, se puede acceder a un registro de configuración con el fin de activar un modo de memoria. En un segundo paso de ejemplo, la carga de datos de grupo de pulsos de disparo (FPG) puede incluir el bit o bits que se van a

escribir junto con un bit de activación de memoria no volátil (activación NVM) que se establece en la cabecera FPG. Como se usa en la presente, el FPG se puede referir a un paquete de datos utilizado para seleccionar un primitivo para disparar. Como se usa en la presente, un primitivo puede hacer referencia a un grupo de dispositivos de accionamiento de fluido tales como boquillas. En un ejemplo, el bit de activación NVM se puede referir a un bit de activación almacenado en un elemento de memoria tal como un elemento semiconductor de óxido metálico de inyección de avalancha de puerta flotante (FAMOS). En un tercer paso de ejemplo, un pulso de una meseta de DISPARO de una señal 0 a una señal 1 de vuelta a un 0, que corresponde a una secuencia de señalización bajo a alto a bajo a lo largo de la línea de DISPARO. La señal de DISPARO no solo puede activar los accionadores de fluido para que actúen, sino que también puede afectar la configuración del circuito de memoria y los registros de memoria al borrar datos. Este borrado o restablecimiento de datos ayuda a evitar accesos de memoria inadvertidos si el acceso inicial fue en cambio por señalización inadvertida en las mismas líneas. Un cuarto paso de ejemplo incluye otro acceso de registro de configuración para activar el modo de memoria. Un quinto paso de ejemplo incluye una escritura a un Registro de configuración de memoria que solo se hace visible una vez que se han ejecutado los cuatro pasos anteriores. Por último, en un ejemplo, puede haber un pulso de la meseta de DISPARO de la señal 0 a una señal 1 de vuelta a un 0. Durante la duración de esta segunda señal de disparo que se dispara en un estado de señal alta, el bit o bits se pueden leer de los elementos de memoria o escribirse en los elementos de memoria.

[0031] Con respecto a la carga del grupo de pulsos de disparo, los bits de memoria se seleccionan utilizando la misma ruta de datos de alta velocidad que se utiliza para seleccionar los datos primitivos del grupo de pulsos de disparo para los accionadores de fluido. Esto significa que los bits de memoria se pueden seleccionar de manera similar por número primitivo y número de direcciones con la misma granularidad que los accionadores de fluido individuales. En un ejemplo, siempre que las transiciones de meseta de DISPARO pasen de alto (1) a bajo (0), el bit de activación NVM en un registro de configuración se puede borrar. Como se señaló anteriormente, el borrado reduce la posibilidad de acceso inadvertido. Cuando se borra el bit de activación NVM del registro de configuración, también se borran todos los bits en el registro de configuración de memoria. Por consiguiente, la señal de DISPARO descendente desactiva adicionalmente el acceso a la NVM. Para acceder a la NVM, se debe establecer el bit de activación NVM de registro de configuración, junto con el bit de activación NVM en los datos de desplazamiento. Para estas condiciones iniciales, el orden de aparición es intercambiable siempre que ambas se presenten antes de que la señal de DISPARO se eleve. Cuando la señal de DISPARO se eleva o sube, esta señal permite que el

bit de activación NVM de los datos de desplazamiento establezca un biestable dentro del troquel de impresión integrado. En un ejemplo, una vez que se establece el biestable interno, el bit de activación NVM en un registro de configuración se puede re-escribir a un 1 porque el bit de activación NVM se borró mediante la señal de DISPARO descendente. En este ejemplo, cada vez que el bit de activación NVM es 0, se borra el registro de configuración de memoria. Usando un biestable interno establecido junto con un bit de activación NVM que se establece en el registro de configuración, el registro de configuración de memoria se activa para escritura.

[0032] En un ejemplo, un registro de configuración de memoria es un registro duplicado en el que se puede ejecutar paralelamente a las conexiones de registro de configuración, pero se limita a escribir bits solo después de que se cumplen condiciones complejas en un cierto orden. Como tal, el registro de configuración de memoria se puede activar a través de un bit en el flujo de datos de punto así como un bit en el registro de configuración, que luego activa el registro de configuración de memoria para desplazamiento. Además, en un ejemplo, el registro de configuración de memoria se puede usar como una activación final para el modo NVM y también para seleccionar bits de lectura/escritura y columna o memoria especial.

[0033] En tanto que se muestran varias secuencias, se contemplan otros protocolos de escritura en serie más complejos en el alcance de las técnicas descritas en la presente. Se podrían usar otras técnicas de acceso complejas para garantizar aún más que no se pueda acceder accidentalmente a NVM durante las operaciones normales (no NVM). Las secuencias y protocolos de acceso descritos en la presente también se pueden modificar adicionalmente de varias maneras, tal como eliminar el registro de control de memoria que es esencialmente un registro paralelo, duplicado al registro de configuración. Además, en los ejemplos analizados en la presente con respecto a la señalización, la señal de meseta de MODO también se podría usar para reemplazar la señal de DISPARO para invocar el acceso a la memoria del registro de configuración de memoria.

[0034] La figura 1 es un diagrama de bloques de un sistema de componentes de impresión de ejemplo 100. El diagrama simplificado incluye y excluye componentes para proporcionar contexto para mostrar las técnicas.

[0035] Un componente de impresión puede ser un cartucho de impresión, un carro de impresión para sostener múltiples inyectores y cartuchos, o hardware de impresión para organizar otros componentes del sistema de impresión. En un ejemplo, el componente de impresión puede ser extraíble y reemplazable en un sistema de impresión. El componente de impresión puede ser un dispositivo recargable. El componente de impresión puede incluir un

tanque, cámara o recipiente para fluido tal como tinta. El componente de impresión puede incluir un recipiente reemplazable para fluido.

[0036] El componente de impresión puede incluir un circuito integrado 102. El circuito integrado 102 puede ser desechable. El componente de impresión y el circuito integrado 102 se pueden unir físicamente de modo que ambos se dispongan al mismo tiempo. En un ejemplo, el componente de impresión y el circuito integrado 102 pueden ser físicamente separables de modo que uno se pueda disponer y reemplazar mientras el otro permanece en un sistema de impresión. El circuito integrado 102 puede incluir un número de boquillas a través de las cuales se dispensa fluido. El circuito integrado 102 puede incluir un número de boquillas de alimentación de fluido a través de las cuales los accionadores de fluido impulsan el fluido en la dirección del medio de impresión. El medio de impresión puede ser papel, plástico y metal, entre otros. En un ejemplo, el circuito integrado 102 puede funcionar a través de chorro piezoeléctrico, chorro térmico u otras tecnologías de impresión usando múltiples puntos de dispersión a lo largo del cabezal de impresión.

[0037] El circuito integrado 102 puede incluir un número de bits de memoria. En un ejemplo, el circuito integrado 102 puede incluir el bit de memoria A 104, el bit de memoria B 106, el bit de memoria C 108, el bit de memoria D 110, el bit de memoria E 112 y el bit de memoria F 114. Colectivamente, estos bits de memoria se pueden referir como un número de bits de memoria.

[0038] El número de bits de memoria se puede acoplar de forma conductiva mediante un bus analógico de línea individual 116 a una meseta 118 ubicada en el exterior del circuito integrado 102. En un ejemplo, la meseta 118 se puede ubicar en el exterior del componente de impresión. El acoplamiento conductivo del número de bits de memoria a la meseta 118 puede incluir una conexión electrónica a través de cables o pistas. En un ejemplo, el acoplamiento puede ser a través de otros medios comunicativos que proporcionan información analógica a la meseta 118.

[0039] Se puede seleccionar, acceder o leer un bit de memoria o una combinación específica de bits de memoria de una sola vez. Se puede identificar y seleccionar individualmente una combinación de bits de memoria seleccionados para lectura, acceso o acción simultáneos. En un ejemplo, un bit de memoria o combinación de bits de memoria se selecciona usando un modo de acceso de memoria y el bus analógico de línea individual 116. En un ejemplo, los bits de memoria se seleccionan mediante un modo de acceso de memoria activado mediante un acceso de registro de configuración. En un ejemplo, la configuración de un modo de acceso de memoria se puede realizar a través de otras estructuras de datos y esquemas de organización que no sean un registro. El uso del modo de acceso de memoria

y el bus analógico de línea individual para seleccionar, manipular, activar o leer múltiples bits de memoria en paralelo se realiza a través de una ruta de datos en serie para seleccionar el primitivo deseado y la dirección de cada bit de memoria que se va a medir. Una vez que los bits de memoria se seleccionan mediante el uso de información de dirección y primitiva transmitida a través de una ruta de datos en serie, se puede acceder o leer los bits de memoria al mismo tiempo a través del bus analógico de línea individual compartido 116 a la meseta 118.

[0040] En un ejemplo, una lectura de un bit de memoria puede dar como resultado una salida de voltaje que se va a medir cuando se aplica una corriente conocida al bit de memoria seleccionado. En un ejemplo, una lectura de un bit de memoria puede dar como resultado una salida de corriente que se va a medir cuando se aplica un voltaje conocido al bit de memoria seleccionado. De manera similar, estas mediciones para entradas conocidas se pueden realizar para combinaciones de bits de memoria que se miden simultáneamente. La combinación única de bits de memoria seleccionada para la medición puede ser predecible y asignable a combinaciones específicas de bits de memoria. Por consiguiente, la medición de una combinación de bits de memoria se puede realizar en paralelo con la respuesta dependiendo de cuántos bits se seleccionan y cuántos de los bits seleccionados se programan. En un ejemplo, un bit de memoria programado puede responder de manera diferente que un bit de memoria no programado. Por lo tanto, cuando se aplica una señal analógica conocida a un bit de memoria o combinación de bits de memoria, una meseta conectada 118 puede detectar una señal de salida analógica que se puede utilizar para realizar mediciones que transmiten la combinación específica de bits de memoria seleccionada y si esos bits de memoria se programan o no.

[0041] A medida que la meseta 118 recibe la señal desde el bus analógico 116, la señal eléctrica se puede transmitir además a un contacto de componente de impresión y eventualmente a circuitería evaluadora. La señal eléctrica transmitida por la meseta 118 es una señal eléctrica representativa del número de bits de memoria, y más específicamente, la señal representa la combinación de todos los bits seleccionados del número de bits de memoria.

[0042] Los bits de memoria se pueden medir forzando una corriente o forzando un voltaje. La señal analógica de salida en respuesta a una corriente o voltaje forzado es distinta tanto para bits de memoria individuales como para combinaciones de bits de memoria. En un ejemplo, un circuito integrado 102 puede incluir mil bits de memoria por circuitería integrada o troquel de impresión. En la presente descripción, cada uno del número de bits de memoria se podría conectar al bus analógico 116. A través de esta conexión, cada uno de los mil bits

puede ser individualmente, o un subconjunto en paralelo basado en direcciones comunes, seleccionado y conectado a la meseta. En un ejemplo, la meseta se encuentra en la circuitería integrada del cabezal de impresión o en el troquel. Los bits de memoria pueden ser transistores de efecto de campo de semiconductor de óxido metálico de compuerta flotante (MOSFET) y se pueden comportar con resistencia relativamente alta cuando no se desprograman y resistencia relativamente menor cuando se programan. El aprovechamiento de esta propiedad de resistencia permite establecer relaciones de respuesta conocidas utilizando corriente, voltaje y resistencia relacionados con la ley de Ohm.

5 [0043] Por ejemplo, cuando se aplica una corriente, se puede leer o medir un voltaje. Para aplicar una corriente conocida a través de bits de memoria seleccionados, se puede usar una fuente de corriente interna o externa. En un ejemplo, la fuente de corriente externa se puede proporcionar a través de la meseta a lo largo del bus analógico de línea individual. Una corriente conocida se aplica a través del bit de memoria seleccionado o combinación de bits en paralelo. A medida que cada memoria se cablea en paralelo, en respuesta a una corriente conocida, cada bit de memoria adicional que se programa reduce una respuesta de voltaje de salida. Esto cumple con la ley Ohm, donde a medida que aumenta el número de resistores, es decir, bits de memoria programados, que se cablean en paralelo, el voltaje de salida disminuye de forma predecible. Por consiguiente, con base en el voltaje de salida medido, se puede conocer información acerca de la combinación de bits de memoria que se selecciona o programa.

10 [0044] De una manera correspondiente, cuando se aplica un voltaje conocido como una entrada para mediciones de bits de memoria, se puede medir la corriente. Para aplicar un voltaje conocido a través de bits de memoria seleccionados, se puede usar un voltaje interno o externo. En un ejemplo, el voltaje externo se puede proporcionar a través de la meseta a lo largo del bus analógico de línea individual. El voltaje conocido se aplica a través del bit de memoria seleccionado o combinación de bits en paralelo. A medida que cada memoria se cablea en paralelo, en respuesta a un voltaje conocido, cada bit de memoria adicional que se programa aumenta una respuesta de corriente de salida. Esto cumple con la ley Ohm, donde a medida que aumenta el número de resistores, es decir, bits de memoria programados, que se cablean en paralelo, la corriente de salida aumenta de forma predecible para un voltaje conocido y constante. Por consiguiente, con base en la corriente de salida medida, se puede conocer información acerca de la combinación de bits de memoria que se selecciona o programa.

[0045] La figura 2 es un diagrama de bloques de un sistema de componentes de impresión de múltiples troqueles de ejemplo 200. Los elementos numerados similares son como se analizan con respecto a la figura 1.

[0046] En el componente de impresión de la figura 2, el bit de memoria A 104, el bit de memoria B 106 y el bit de memoria C 108 pueden estar ubicados en el troquel de impresión A 202. En un ejemplo, el troquel de impresión del troquel de impresión A 202 puede ser una forma de circuitería integrada. El troquel de impresión del troquel de impresión A 202 puede ser un troquel de impresión de silicio. Además, en el componente de impresión de la figura 2, el bit de memoria D 110, el bit de memoria E 112 y el bit de memoria F 114 pueden estar ubicados en el troquel de impresión B 204. En un ejemplo, el troquel de impresión del troquel de impresión B 204 puede ser una forma de circuitería integrada. El troquel de impresión del troquel de impresión B 204 puede ser un troquel de impresión de silicio.

[0047] La organización del componente de impresión puede permitir la ubicación de un primer bit de memoria tal como el bit de memoria A 104 en un primer troquel tal como el troquel de impresión A 202, y la ubicación de un segundo bit de memoria tal como el bit de memoria D 110 en un segundo troquel tal como el troquel de impresión B 204. En esta organización con bits de memoria divididos entre troquel de impresión, el bus analógico 116 aún puede conectar cada uno de los bits de memoria a través de múltiples troqueles en una ruta de línea individual a la plataforma 118. A medida que el bus analógico 116 permanece conectado en paralelo a través de múltiples troqueles, los bits de memoria de múltiples troqueles se pueden leer simultáneamente en paralelo en el mismo como si todos los bits de memoria no estuvieran separados por troqueles como se ve en la figura 1. Por ejemplo, se podría aplicar simultáneamente un voltaje conocido a los bits de memoria tanto del troquel de impresión A 202 como del troquel de impresión B 204. A medida que el voltaje conocido se aplica a los bits de memoria a través de ambos troqueles, la combinación de bits de memoria se puede leer en paralelo a través del bus analógico de línea individual conectado a la meseta 118.

[0048] En un ejemplo, el troquel de impresión A 202 puede dispensar un primer tipo de fluido tal como rojo. El troquel de impresión B 204 puede dispensar un segundo tipo de fluido tal como azul. La medición, selección y lectura de múltiples bits de memoria aún se pueden realizar a través de múltiples troqueles de impresión, cada uno de los cuales imprime un color diferente del otro troquel de impresión. En un ejemplo, el troquel de impresión A 202 y el troquel de impresión B 204 se pueden colocar en uno o varios cabezales de impresión 206.

[0049] La figura 3 es un diagrama de bloques de un sistema de componentes de impresión de múltiples inyectores de ejemplo 300. Los elementos numerados similares son como se analizan con respecto a la figura 1 y la figura 2.

[0050] El componente de impresión de la figura 3 incluye un inyector de impresión A 302 que contiene el uno o varios cabezales de impresión 206. El componente de impresión de la figura 3 también incluye un inyector de impresión separado B 304. Como se usa en la presente, un inyector de impresión puede ser un carro, soporte, separador, carcasa de impresión, cartucho de impresión u otra fabricación o dispositivo de separación. El inyector de impresión B 304 se muestra con el bit de memoria G 306 y el bit de memoria H 308 dispuestos en el troquel de impresión C 310 y el troquel de impresión D 312, respectivamente. Los bits de memoria y el troquel de impresión del inyector de impresión B 304 tienen la misma función que los bits de memoria y el troquel de impresión del inyector de impresión A 302, aunque físicamente diferentes entre sí. El bit de memoria G 306 y el bit de memoria H 308 pueden estar conectados por el bus analógico 116 en paralelo con el bit de memoria A 104, el bit de memoria B 106, el bit de memoria C 108, el bit de memoria D 110, el bit de memoria E 112 y el bit de memoria F 114. Los bits de memoria en el inyector de impresión A 302 y el inyector de impresión B 304 se acoplan comunicativamente a través del bus analógico 116 a la meseta 118.

[0051] En este sistema de componentes de impresión de múltiples inyectores, 300 bits de memoria se pueden dividir entre el troquel de impresión e inyectores de impresión, y el bus analógico 116 puede conectar cada uno de los bits de memoria a través de los múltiples troqueles en los múltiples inyectores de impresión en una ruta de línea individual a la meseta 118. A medida que el bus analógico 116 permanece conectado en paralelo a través de múltiples troqueles, los bits de memoria se pueden leer simultáneamente en paralelo en el mismo como si todos los bits de memoria no estuvieran separados por troqueles como se ve en la figura 1. Por ejemplo, se podría aplicar simultáneamente un voltaje conocido a los bits de memoria tanto del troquel de impresión A 202 en el inyector de impresión A 302 como del troquel de impresión C 310 en el inyector de impresión B 304. La combinación de bits de memoria a través del troquel y el inyector de impresión se puede leer en paralelo a través del bus analógico de línea individual conectado a la meseta 118.

[0052] La figura 4 es un diagrama de bloques de un plan de circuitería de ejemplo 400. Es posible que no se muestre un número de componentes para facilitar el análisis de las presentes técnicas. Además, las flechas mostradas no limitan el flujo de datos de una manera que indica exclusivamente un envío o una recepción de datos por componentes, sino que indican un flujo general de información relevante para las técnicas descritas.

[0053] El plan de circuitería 400 puede permitir una impresora 402 separada que incluye un circuito integrado de impresora 404 o un circuito integrado de aplicación específica (ASIC). La impresora 402 puede utilizar el circuito integrado de impresora 404 para procesar o

interactuar con los mensajes y datos que se van a enviar y recibir de un componente de impresión 406. En un ejemplo, el componente de impresión 406 puede ser un cartucho de impresión que es extraíble o recargable. El componente de impresión 406 puede ser un inyector de impresión, un cartucho de impresora, un cabezal de impresión o puede contener varios cabezales de impresión. En el componente de impresión 406, puede haber una meseta de DISPARO 408, una meseta CLK 410, una meseta de DATOS 412 y una meseta de MODO 414. Estas mesetas pueden ser contactos de impresora que transmiten señales digitales, analógicas o eléctricas de la impresora al componente de impresión 406. La meseta CLK 410 puede hacer referencia a una meseta de reloj. En un ejemplo, la meseta CLK 410, la meseta de DATOS 412 y la meseta de MODO 414 proporcionan información al registro de configuración de troquel 416 que puede configurar el troquel o cabezal de impresión, que incluye seleccionar accionadores de fluido en el grupo de pulsos de disparo 418, permitiendo que un interruptor de sensor externo 420 lea la memoria del grupo de pulsos de disparo, y activar otros resistores en el troquel, tal como un conmutador para un resistor de detección de grietas 422.

[0054] El grupo de pulsos de disparo 418 es un grupo de accionadores de fluido y sus bits de memoria asociados 424 que se pueden seleccionar. En respuesta a la selección, los bits de memoria 424 pueden controlar si los accionadores de fluido se dispararán o no en respuesta a una señal de DISPARO de la meseta de DISPARO 408. La meseta de DISPARO 408 puede usar un diodo de seguro para seleccionar y disparar datos en el bit de memoria 424 en el grupo de pulsos de disparo 418.

[0055] Los bits de memoria 424 también pueden almacenar información sobre la función de los accionadores de fluido tal como temperatura y funcionalidad. Como se describe más detalladamente a continuación, un acceso a un bit de memoria 424 puede incluir activar el acceso a través de un modo de memoria que se activa, así como un acceso que se indica en los datos primitivos, así como una señal de DISPARO de la meseta de DISPARO 408. Como se usa en la presente, un primitivo puede hacer referencia al grupo de accionadores de fluido y sus bits de memoria asociados 424.

[0056] El conmutador para un resistor de detección de grietas 422 puede activar el resistor de detección de grietas 426 que se puede entrelazar de ida y vuelta entre las boquillas 428. En un ejemplo, el fluido es tinta y las boquillas 428 pueden ser boquillas.

[0057] El componente de impresión 406 puede incluir un número de otros componentes que incluyen un interruptor N 430 para activar un diodo N 432, un interruptor M 434 para activar un diodo M 436 y un interruptor S 438 para activar un diodo S 440.

[0058] Cada uno de estos componentes, los bits de memoria, los resistores de detección de grietas, los interruptores y diodos, se pueden conectar a un bus de DETECCIÓN analógico de línea individual 442 conectado a una meseta de DETECCIÓN 444. En un ejemplo, la meseta de DETECCIÓN puede ser una meseta que interactúa con el circuito integrado de impresora 404. En un ejemplo, el circuito integrado de impresora 404 puede impulsar una corriente o un voltaje a través de la meseta de DETECCIÓN 444 para determinar una medición analógica de la respuesta a través del número de componentes y resistores. Estas señales analógicas que se accionan a través de la meseta de DETECCIÓN 444 o el registro de configuración de troquel 416 o la meseta de DISPARO 408 se pueden polarizar o conectar a tierra. El circuito integrado de impresora 404 puede incluir su propia polarización analógica y conversión analógica a digital dentro de la impresora 402 y fuera del componente de impresora 406. En un ejemplo, la eliminación de la conversión analógica a digital puede mover esta operación y componente del troquel de impresión. Además, el circuito integrado de impresora 404 puede forzar una corriente para medir el voltaje de los componentes, tal como una combinación de los bits de memoria 424. Además, el circuito integrado de impresora 404 puede forzar un voltaje para medir la corriente de los bits de memoria combinados 424 con el fin de monitorear los sensores en troquel y los bits de memoria seleccionados correspondientes a los accionadores de fluido.

[0059] En la presente descripción, el número de bits de memoria 424 se puede seleccionar mediante lógica de selección utilizada para seleccionar la pluralidad de bits de memoria y accionadores fluídicos usando la misma línea de selección. Además, la señal eléctrica que proviene del circuito integrado de impresora 404 puede ser una fuerza de corriente externa con respecto al componente de impresión 406. La aplicación de la fuerza de corriente externa puede proporcionar un voltaje medido más bajo en una meseta, tal como la meseta de DETECCIÓN 444 para el número de bits de memoria 424 con respecto al voltaje que se mediría para un solo bit de memoria 424 seleccionado. Esto se debe a que a medida que incrementa el número de resistores, por ejemplo, bits de memoria seleccionados 424, el voltaje de salida para un conjunto y corriente de entrada conocida disminuirá.

[0060] Asimismo, la señal eléctrica que proviene del circuito integrado de impresora 404 puede ser una fuerza de voltaje externa aplicada al componente de impresión 406. La aplicación de la fuerza de voltaje externa puede resultar en un mayor consumo de corriente medido como se mide por la meseta, tal como la meseta de DETECCIÓN 444 para el número de bits de memoria 424 cuando se compara con el consumo de corriente que se mediría para un solo bit de memoria 424 seleccionado. Esto se debe a que a medida que incrementa el

número de resistores, por ejemplo, bits de memoria seleccionados 424, incrementará el consumo de corriente para un conjunto y voltaje de entrada conocido.

[0061] En un ejemplo, el componente de impresión 406 incluye bits de memoria 424 que corresponden a accionadores de fluido cercanos a las boquillas 428. Además, la meseta, tal como la meseta de DETECCIÓN 444, se puede conectar conductivamente para transmitir una señal eléctrica desde un resistor de detección de grietas 426 en combinación con el número de bits de memoria 424. Además, esta conexión conductiva se realiza a través de un bus de DETECCIÓN analógico de línea individual 442. En un ejemplo, los bits de memoria 424 corresponden a accionadores de fluido cercanos a un número de boquillas 428, y el resistor de detección de grietas 426 se encamina entre las boquillas 428.

[0062] La figura 5 es un diagrama de bloques de una arquitectura de sensor de múltiples inyectores de ejemplo 500. Los elementos numerados similares son como se describen con respecto a la figura 4.

[0063] La circuitería integrada tal como un troquel de impresora se puede separar en un número de troqueles de silicio para tinta negra y tinta de color. En un ejemplo, a cada troquel se le puede asignar su propio color. En un ejemplo, cada color puede tener un troquel correspondiente separado de otro troquel. El troquel se puede desechar en inyectores de impresión separados.

[0064] En la figura 5, puede haber un inyector de impresión de color 502 para sostener un troquel de impresión cian 504, un troquel de impresión magenta 506 y un troquel de impresión amarillo 508. Otros troqueles de impresión en color son compatibles, incluidas las combinaciones de troqueles de impresión RBY (rojo, azul, amarillo). Como se ve en el troquel de impresión en color, 502 cada uno de los troqueles de impresión es un troquel de impresión físicamente separado, sin embargo, el bus de DETECCIÓN analógico de línea individual 442 sigue siendo común en todo el troquel de color en el troquel de impresión de color 502.

[0065] En la arquitectura de sensor de múltiples inyectores 500, puede haber un inyector de impresión monocromática, tal como un inyector de impresión negra 510 que lleva un troquel de impresión negro 512. El bus de DETECCIÓN analógico de línea individual 442 se conecta al troquel de impresión negro 512, así como al troquel de impresión de color en el inyector de impresión separado en serie. Por consiguiente, una señal forzada a través de la meseta de DETECCIÓN 444 se podría recolectar a partir de mediciones del troquel de impresión ubicado en múltiples inyectores de impresión físicamente separados que incluyen el inyector de impresión de color 502 y el inyector de impresión monocromática 510. En un ejemplo, el inyector de impresión 502 y 510 puede ser extraíble.

[0066] En un ejemplo, la meseta de contacto de línea individual, tal como la meseta de DETECCIÓN 444, se puede utilizar para comunicar datos almacenados desde un bus analógico de línea individual 442 acoplado de forma conductiva para comunicar un número de bits de memoria en combinación en una sola señal analógica sobre la meseta de contacto de línea individual, tal como la meseta de DETECCIÓN 444. En un ejemplo, un primer bit de memoria del número de bits de memoria se puede ubicar en un primer troquel de silicio, tal como el troquel de impresión cian 504 y un segundo bit de memoria del número de bits de memoria se puede ubicar en un segundo troquel de silicio, tal como el troquel de impresión magenta 506.

5 [0067] En un ejemplo, el circuito de memoria puede incluir un primer troquel de silicio que se asocia con un primer tipo de fluido, tal como el troquel de impresión cian 504, y el segundo troquel de silicio se asocia con un segundo tipo de fluido, tal como el troquel de impresión magenta 506. El circuito de memoria también puede incluir un primer troquel de silicio que se ubica en un primer inyector de impresión, tal como el inyector de impresión de color 502, y el
15 segundo troquel de silicio se ubica en un segundo inyector de impresión, tal como el inyector de impresión monocromática 510. En un ejemplo, la meseta de datos 412 puede estar separada para cada troquel de impresión mientras que la conexión de meseta de MODO, las conexiones de meseta CLK y las conexiones de meseta de DISPARO se comparten por el troquel de impresión.

20 [0068] La figura 6 es un diagrama de bloques de una arquitectura de circuitería de impresión de ejemplo 600. Los elementos numerados similares son como se describen con respecto a la figura 4.

[0069] La arquitectura de circuitería de impresión 600 puede incluir un registro de configuración 602, un registro de configuración de memoria 604, un registro de estado 606 y
25 un circuito de vigilancia 608. Mientras se utiliza el término registro, también se contemplan otros elementos de almacenamiento. El registro de configuración 602 se puede establecer mediante un número de mesetas que incluyen la meseta de datos 412, la meseta de modo 414 y la meseta CLK 410. El registro de configuración se puede usar para establecer señales de control para pruebas, detección de grietas, activar el dispositivo de control 608, retardos
30 analógicos que incluyen desviación de retardo 610, acceso de memoria a través de bits de memoria 424 y validación a través de confirmación de detección a través de la meseta de DETECCIÓN 444. Otras configuraciones del registro de configuración 602 pueden incluir una selección de prueba, una prueba de meseta de detección 444, el retardo de voltaje para circuitería para boquillas específicas. Una razón de estos retardos podría incluir evitar la
35 interferencia de fluido de demasiadas gotas que expulsan de las boquillas cercanas al mismo

tiempo. El registro de configuración 602 también puede incluir y establecer bits para accesos de bits de memoria 424 a través de una activación de bits de memoria. El registro de configuración 602 puede incluir la activación de detección de grietas y la activación de circuito de vigilancia

5 [0070] En un ejemplo, el registro de configuración de memoria 604 tiene al menos tres bits, uno indica una activación de columna para que se pueda acceder a todos los bits de columna de memoria en la columna indicada. El registro de configuración de memoria 604 también incluye una activación de escritura de memoria para indicar un modo de lectura o escritura. El registro de configuración de memoria 604 también incluye una activación de **10** región para permitir acceso a bits de memoria regionalizados 424.

[0071] El registro de estado 606 puede incluir un estado como se indica mediante la meseta de DATOS 412, la meseta CLK 410 y la meseta de MODO. El registro de estado 606 puede informar información de estado del cabezal de impresión. En un ejemplo, un bit del registro de estado 606 puede ser un bit de circuito de vigilancia para monitorear una meseta **15** de entrada e indicar cuándo un estado, tal como una señal de DISPARO, puede no estar funcionando adecuadamente. En un ejemplo, el registro de estado también puede incluir bits de revisión para indicar otra información. En un ejemplo, el registro de estado se puede utilizar durante una prueba de oblea para la alineación de sondeador.

[0072] El circuito de vigilancia 608 asegurar que si la señal de DISPARO de la meseta de **20** DISPARO 408 se acciona a un nivel alto más allá de un cierto umbral de tiempo, entonces las señales de DISPARO internas se desactivan hasta que se elimine la falla. El mecanismo para eliminar la falla es apagar el dispositivo de control 608 o a través de un restablecimiento de troquel externo. Por ejemplo, establecer el registro de configuración a cero también borra el bit detectado de falla de circuito de vigilancia en el registro de estado.

25 [0073] La arquitectura de circuitería de impresión 600 incluye otras mesetas que incluyen VDD, LGND, Nreset, PGND y VPP, entre otras. La VDD puede hacer referencia a una línea de alimentación lógica común (VDD), LGND puede hacer referencia a una línea de alimentación lógica común. Nreset se puede referir al restablecimiento de un circuito de vigilancia 608 que se ha disparado. La meseta PGND puede incluir una tierra conectada a los **30** accionadores de fluido. La meseta VPP puede hacer referencia a un bus de alimentación compartido (VPP) conectado a los accionadores de fluido.

[0074] Como se indicó anteriormente, la desviación de retardo 610 puede ajustar los **35** tiempos de disparo almacenados en los datos de boquilla y térmicos 612. Los datos de boquilla y térmicos 612 se pueden establecer principalmente con base en el reloj, los datos y las líneas de disparo. Los datos térmicos se pueden referir a la temperatura del troquel del cabezal de

impresión a través del arreglo de boquillas. Las diferencias de temperatura pueden conducir a efectos de banda y, por lo tanto, la temperatura de diferentes partes del arreglo de boquilla puede mejorar la calidad de impresión a través del mantenimiento de la consistencia de la temperatura de troquel de impresión.

5 [0075] Los datos térmicos y de boquilla 612 se pueden almacenar en un elemento de almacenamiento de circuito como un biestable y se pueden ejecutar a través de accionadores de fluido tales como resistores de chorro de tinta térmica 614. En un ejemplo, la datos de boquilla y térmicos también proporcionan acceso a bits de memoria cuando se sigue una secuencia específica. La secuencia de acceso específica para de bits de memoria 424 usando

10 la misma boquilla y datos térmicos se describe adicionalmente a continuación con respecto a la figura 9-13. Cuando se accede a un bit de memoria, el bit de memoria 424 se puede escribir con un generador de voltaje de memoria 616 controlado por el registro de configuración de memoria 604.

[0076] La figura 7 es un diagrama de flujo de un método 700 de ejemplo para comunicar

15 datos almacenados de un cartucho de cabezal de impresión reemplazable de comunicación. En el bloque 702, el método 700 incluye seleccionar un número de bits de memoria. En un ejemplo, el número de bits de memoria corresponde cada uno a un accionador de fluido ubicado en un troquel de silicio. El número de bits de memoria puede corresponder a un número de accionadores de fluido, donde el número de accionadores de fluido se ubica en un

20 número de troqueles de silicio. En el bloque 704, el método 700 incluye proporcionar una señal eléctrica analógica de entrada al número de bits de memoria.

[0077] En el bloque 706, el método 700 incluye medir una señal eléctrica analógica de salida en una meseta de contacto de detección individual conectada comunicativamente al número de bits de memoria, la medición se realizará para el número de bits de memoria en

25 combinación. En un ejemplo, se mide que la señal eléctrica analógica de salida es un voltaje más bajo en la meseta de contacto de detección individual que mide el número de bits de memoria en combinación con un voltaje de comparación para un bit de memoria individual en la meseta de contacto de detección individual. La señal eléctrica analógica de salida se puede medir como una corriente más alta en la meseta de contacto de detección individual que mide

30 el número de bits de memoria en combinación con una corriente de comparación para un bit de memoria individual en la meseta de contacto de detección individual.

[0078] Se va a entender que el diagrama de bloques de la figura 7 no pretende indicar que el método 700 va a incluir todas las acciones mostradas en la figura 7. En su lugar, el método 700 puede incluir menos componentes o componentes adicionales no ilustrados en la

35 figura 7. La figura 8 es un diagrama de bloques de un medio legible por computadora no

transitorio de ejemplo 800 que incluye instrucciones para dirigir un procesador para comunicar datos almacenados de un cartucho de cabezal de impresión reemplazable de comunicación. El medio legible por computadora 800 puede incluir el procesador 802 para ejecutar instrucciones recibidas del medio legible por computadora 800. Las instrucciones se pueden

5 almacenar en el medio legible por computadora 800. Estas instrucciones pueden dirigir el procesador 802 para comunicar datos almacenados de un cartucho de cabezal de impresión reemplazable de comunicación. Las instrucciones se pueden comunicar a través de un bus 804 como señales eléctricas, señales luminosas o cualquier otro medio de comunicación adecuado para la transmisión de datos en un entorno informático similar.

10 [0079] El medio legible por computadora 800 puede usar un selector de bits de memoria 806 para seleccionar un número de bits de memoria. En un ejemplo, el número de bits de memoria corresponde cada uno a un accionador de fluido ubicado en un troquel de silicio. El número de bits de memoria puede corresponder a un número de accionadores de fluido, donde el número de accionadores de fluido se ubica en un número de troqueles de silicio.

15 [0080] El medio legible por computadora 800 puede usar un proveedor de entrada analógica 808 para proporcionar una señal eléctrica analógica de entrada al número de bits de memoria. El medio legible por computadora 800 un medidor de salida analógico 810 para medir una señal eléctrica analógica de salida en una meseta de contacto de detección individual conectada comunicativamente al número de bits de memoria, la medición que se va

20 a realizar para el número de bits de memoria en combinación. En un ejemplo, se mide que la señal eléctrica analógica de salida es un voltaje más bajo en la meseta de contacto de detección individual que mide el número de bits de memoria en combinación con un voltaje de comparación para un bit de memoria individual en la meseta de contacto de detección individual. La señal eléctrica analógica de salida se puede medir como una corriente más alta

25 en la meseta de contacto de detección individual que mide el número de bits de memoria en combinación con una corriente de comparación para un bit de memoria individual en la meseta de contacto de detección individual.

[0081] Se va a entender que el diagrama de bloques de la figura 8 no pretende indicar que el medio legible por computadora 800 va a incluir todos los componentes mostrados en

30 la figura 8. En su lugar, el medio legible por computadora 800 puede incluir menos componentes o componentes adicionales no ilustrados en la figura 8.

[0082] La figura 9 es un diagrama de flujo de un método de ejemplo 900 para acceder a una celda de memoria. El orden de algunos pasos que incluyen el bloque 902 y 904 se puede realizar en cualquier orden, mientras que otros pasos tales como los bloques 906-916 se

35 realizan en la secuencia indicada. Además, en tanto que se nombran bits, señales y

componentes de circuito específicos tales como registros, estos elementos específicos son meramente un ejemplo de componentes y elementos más generales que también pueden tener los mismos resultados.

[0083] En el bloque 902, el método 900 para acceder a la memoria incluye escribir un bit de activación NVM en un registro de configuración. Como se usa en la presente, el bit de activación NVM se puede referir a un bit para activar un elemento de semiconductor de óxido metálico de inyección avalancha de puerta flotante

[0084] (FAMOS) que puede actuar como un elemento de memoria. Como se indicó anteriormente, también se pueden usar otros elementos de memoria capaces de almacenar y cambiar entre al menos dos estados de un bit de información. La escritura del bit de activación NVM en un registro de configuración también puede hacer referencia a otros ejemplos de otros elementos de almacenamiento que no sean registros. El registro de configuración se puede reemplazar por otra circuitería o métodos de organización de datos capaces de recibir y almacenar información tal como el bit de activación NVM para un circuito de configuración dentro del troquel de cabezal de impresión.

[0085] En el bloque 904, el método 900 incluye cargar datos de boquilla con líneas de datos, donde los datos de boquilla incluyen información para establecer el bit de activación NVM en el flujo de datos, así como la información para seleccionar un bit de memoria no volátil (NVM) para acceder usando una dirección específica para una boquilla. Como se usa en la presente, puede haber un número de líneas que proporcionan señal eléctrica en un troquel de impresión, una de las cuales puede ser una línea de datos. La línea de datos puede proporcionar información a una serie de dispositivos de accionamiento de fluido tales como una selección de las boquillas que se van a disparar en respuesta a una próxima señal de DISPARO. La selección de las boquillas que se van a disparar después se puede almacenar en bits NVM correspondientes a las boquillas. En un ejemplo, los datos de selección proporcionados por la línea de datos también incluyen un bit de activación NVM correspondiente en los datos de selección de boquilla. En un ejemplo, el bit de activación NVM se puede transmitir en la cabecera o pie de los datos de selección de boquilla. Como se señaló anteriormente, 902 y 904 se pueden realizar en cualquier orden. El resultado de estos dos pasos es que el bit de activación NVM se escribe en el registro de configuración y el bit de activación NVM se establece en la línea de datos.

[0086] En el bloque 906, una señal de DISPARO se acciona desde la meseta de DISPARO de una circuitería integrada, primero se acciona para señalizar alto y luego bajo. Como se usa en la presente, una señal de DISPARO es una señal que se envía a cada boquilla a través de una conexión eléctrica a la meseta de DISPARO. Estas boquillas se

pueden agrupar en grupos llamados primitivos. Además de las boquillas, los bits de los registros también se conectan a una línea de DISPARO que cuando se dispara da por resultado acciones que se toman en el registro de configuración. Como se indicó anteriormente, el uso del registro de término es una implementación específica y se

5 contemplan otros elementos de almacenamiento en la presente. Como se usa en la presente, una señal que se acciona alto y luego bajo se refiere a una amplitud de la señal que corresponde aproximadamente a la intensidad de la señal, ya sea una corriente o un voltaje. En un ejemplo, el accionamiento de una señal de DISPARO alto se puede interpretar como un valor de 1, mientras que una señal de DISPARO que se acciona bajo o en absoluto se

10 puede interpretar como que tiene un valor de 0. En un ejemplo, la señal de DISPARO se acciona de 0 a 1 a 0. La variación en la señalización puede indicar cuándo debe tener lugar la acción, como disparar las boquillas. El accionamiento de la meseta de DISPARO de alto a bajo ha borrado el bit de activación NVM del registro de configuración, sin embargo, se ha establecido un biestable interno dentro de la circuitería integrada. Este biestable interno

15 combinado con señalización futura puede permitir un acceso de bits de memoria.

[0087] En el bloque 908, el método 900 incluye escribir un bit de activación NVM en un registro de configuración. Este es el mismo paso que el bloque 902; sin embargo, en este caso, el paso se realiza después de que se ha establecido el biestable interno y se ha borrado el bit de activación NVM en el registro de configuración. Escribir el bit de activación NVM de

20 nuevo en el registro de configuración, mientras que el bit de activación NVM se transmite a través de una línea de datos permite el acceso a un bit de acceso de memoria.

[0088] En el bloque 910, el método 900 incluye escribir un bit de acceso de memoria en un registro de configuración de memoria. Como se usa en la presente, el registro de configuración de memoria puede ser otro elemento de almacenamiento separado del registro

25 de configuración. En algunos ejemplos hay menos bits en el registro de configuración de memoria que en el registro de configuración. Una vez que se escribe un bit de acceso de memoria en el registro de configuración de memoria, se puede acceder a la memoria de la circuitería integrad. Los bits activados del registro de configuración de memoria pueden actuar como señales de control que permiten acceder a los elementos de memoria NVM o FAMOS.

30 **[0089]** En el bloque de decisión 912, se realiza una determinación con base en las señales de control indicadas por los bits del registro de configuración de memoria. Si los bits del registro de configuración de memoria indican una escritura de memoria, el método 900 procede al bloque 914. Si los bits del registro de configuración de memoria no indican una escritura de memoria, el método 900 procede al bloque 916.

[0090] En el bloque 914, la meseta de DISPARO se acciona alto durante un tiempo de escritura deseado, luego bajo. En un ejemplo, el accionamiento de la meseta de DISPARO puede incluir proporcionar una señal de 0, luego una señal de 1, luego una señal de 0 en la línea de disparo. El valor de la señal puede corresponder a una corriente o voltaje en una línea de DISPARO. Durante la duración del tiempo de escritura, se puede acceder al elemento de memoria, tal como un FAMOS. El acceso al FAMOS u otro elemento de memoria puede incluir escribir información en el FAMOS o elemento de memoria.

[0091] En el bloque 916, la meseta de DISPARO se puede accionar alto y se puede forzar un voltaje o corriente en una línea de DETECCIÓN para medir, luego devolver la línea de DISPARO a una señal baja. Como se usa en la presente, la línea de DETECCIÓN puede hacer referencia a una línea de sensor conectada a una meseta, tal como una meseta de sensor. La línea de detección se puede usar para detectar condiciones en la circuitería integrada tal como grietas o temperatura de un troquel de impresión. Ya sea que se proceda a través del bloque 914 o el bloque 916, el borde descendente de la señal de DISPARO borra el registro de configuración de memoria y borra el bit de activación NVM del registro de configuración.

[0092] La figura 10 es un dibujo que muestra un conjunto de señales de ejemplo 1000 para una escritura de registro de configuración. Como se señaló anteriormente, se contemplan otras estructuras de organización y almacenamiento de datos que no sean registros. En un ejemplo, se pueden usar otros elementos de almacenamiento en lugar de un registro. Los conjuntos de señales se proporcionan para ilustrar una forma de acceder al registro de configuración usando las mismas líneas que se utilizan para proporcionar datos a dispositivos de accionamiento de fluido tales como boquillas.

[0093] El conjunto de señales 1000 puede incluir una línea de MODO 1002, una línea de DISPARO 1004, una línea CLK 1006 y una línea de DATOS 1008. Como se usa en la presente, la línea de modo se puede conectar. Como se usa en la presente, una línea puede hacer referencia a un medio de transmisión de señal tal como pistas de metal para señales eléctricas. Para las señales eléctricas también son posibles otros tipos de líneas conductoras. Del mismo modo, si se envían señales distintas de las eléctricas, también se pueden usar los medios de transmisión adecuados. La línea de MODO 1002 puede indicar que un modo se puede conectar a la circuitería integrada tal como un troquel que incluye un registro de configuración de troquel. La línea de DISPARO 1004 se puede conectar al registro de configuración de la circuitería integrada, así como dispositivos de accionamiento de fluido y se puede indicar cuándo deben tomar medidas los dispositivos de accionamiento de fluido. Esta acción puede incluir dispersar gotas de tinta correspondientes a accionadores de fluido

seleccionados hacia un medio de impresión. La acción tomada en respuesta a una señal de DISPARO que se conecta al registro de configuración también puede incluir la escritura o eliminación de bits en registros o memoria.

[0094] La línea CLK 1006 muestra una señal de reloj de configuración que permite acciones en las acciones ascendentes de cada tictac de reloj. La línea de DATOS 1008 puede ser una línea de datos de configuración para un troquel de impresión específico y sus registros y bits de memoria asociados. Los datos de configuración se pueden recibir directamente de la línea de DATOS 1008 cuando se cumplen ciertas condiciones.

[0095] Por ejemplo, el registro de configuración se puede activar para una acción de escritura cuando una señal en la línea de MODO 1002 hace una transición a alto 1010 con la línea de DATOS 1008 que también proporciona una señal alta 1012 que muestra un valor de señal de 1. Después de una acción de activación de registro de configuración por las dos líneas, se pueden desplazar más datos al registro serial activado en el tiempo con los bordes ascendentes de la señal CLK como se ve en la acción ascendente A 1014, la acción ascendente B 1016, la acción ascendente C 1018 y la acción ascendente D 1020. En el tiempo con cada una de estas acciones ascendentes, los datos de la línea de DATOS 1008 se pueden transmitir al registro de configuración. Por ejemplo, los datos para un bit de tercer lugar 1022 para un registro de configuración se pueden desplazar al registro cuando la línea de DATOS 1008 señala alto al momento de la acción ascendente A 1014 en la línea CLK 1006. Del mismo modo, los datos para un bit de segundo lugar 1024 para un registro de configuración se pueden desplazar al registro cuando la línea de DATOS 1008 señala bajo a momento de la acción ascendente B 1016 en la línea CLK 1006. En un ejemplo, los datos para un bit de primer lugar 1026 para un registro de configuración se pueden desplazar al registro de configuración cuando la línea de DATOS 1008 señala alto al momento de la acción ascendente C 1018 en la línea CLK 1006. En un ejemplo, los datos para un bit de lugar cero 1028 para un registro de configuración se pueden desplazar al registro cuando la línea de DATOS 1008 señala alto al momento de la acción ascendente D 1020 en la línea CLK 1006. Este ejemplo muestra una escritura de registro de configuración de 4 bits de longitud, por lo tanto los cuatro lugares de datos que se pueden indicar en la línea de DATOS 1008 con las acciones ascendentes correspondientes en la línea CLK 1006. Como se indicó anteriormente, otras longitudes de escrituras de registro de configuración podrían ser de tamaño más grande o más pequeño dependiendo del tamaño del registro de configuración. Del mismo modo, se puede usar señalización similar para escribir a otras configuraciones de memoria y también pueden variar en longitud y cantidad de datos transferidos de acuerdo con el tamaño y la estructura de la memoria. En un ejemplo, los bordes ascendentes de CLK desplazan los datos

al registro de configuración serial, y los bits antiguos/adicionales se desplazan fuera del extremo, tales como Msbits.

[0096] La figura 11 es un esquema de un acceso de bits de memoria de ejemplo 1110 que usa múltiples registros activados y datos de boquilla. Los elementos numerados similares son como se describen en la figura 10. Además, para conectarse al registro de configuración 1102 como se indica en la figura 11, la línea de MODO 1002, línea de DISPARO 1004, línea CLK 1006 y línea de DATOS 1008 también se pueden conectar comunicativamente al registro de configuración de memoria 1104. Como los bits de datos de acceso de memoria, tal como los bits de activación NVM se pueden incluir en los datos de boquilla, este bit de los datos de boquilla 1 106 se puede escribir en el registro de configuración de memoria 1104 usando los métodos descritos al menos en la figura 9 o figura 13. Además de activar un acceso de memoria o un modo de escritura de acceso de memoria, el registro de configuración 1102 también puede tener bits para servir como señales de control 1108 para probar elementos de la circuitería integrada tal como detección de grietas, activación de circuito de vigilancia, retardos analógicos y validación de componentes.

[0097] El registro de configuración de memoria 1104 se activa a través de un bit en el flujo de datos de puntos, tal como el bit de datos de boquilla 1106 así como un bit de memoria de registro de configuración 1110 en el registro de configuración 1102. Cuando se activan los tres, es decir, el bit en los datos de boquilla 1106, el bit de memoria de registro de configuración 1110 y el registro de configuración de memoria 1104, entonces se activa el registro de configuración de memoria 1104 para acceder a los bits de control de memoria 1 112. Cuando la línea de DISPARO 1004 indica un borde descendente, se borran los bits en el registro de configuración de memoria 1104 así como el bit de memoria de registro de configuración 1110 en el registro de configuración 1102.

[0098] La figura 12 es un esquema que muestra un ejemplo de circuitos lógicos 1200 que acceden a una celda de memoria. Es posible que no se muestren muchos componentes para facilitar la descripción de los componentes mostrados. Además, la circuitería lógica que se muestra aquí puede ser una parte de la misma circuitería de troquel, puede estar separada físicamente y también puede ser la misma circuitería que realiza diferentes tareas mientras está en diferentes estados. Por ejemplo, el circuito de accionamiento de fluido puede estar físicamente separado del circuito de configuración en un ejemplo, y en otro ejemplo, pueden ser la misma circuitería en diferentes estados.

[0099] Los circuitos lógicos 1200 pueden incluir un circuito de accionamiento de fluido 1202. Como se usa en la presente, el circuito de accionamiento de fluido 1202 puede ser un circuito que usa información de selección 1204 para controlar la dispersión de fluido a través

de un dispositivo de accionamiento de fluido 1206. En un ejemplo, el circuito de accionamiento de fluido 1202 se puede colocar en o dentro de circuitería integrada. El dispositivo de accionamiento de fluido 1206 puede ser un primitivo de un grupo de primitivos. Como se usa en la presente, un primitivo puede hacer referencia a una agrupación de boquillas de dispersión de fluido que expulsan o desplazan de otro modo el fluido tal como tinta hacia un medio de impresión. Los datos de selección 1204 en el circuito de accionamiento de fluido 1202 se pueden usar para seleccionar boquillas específicas por línea de dirección y número de primitivos o número de región para indicar qué boquillas se pueden disparar en respuesta a una señal de disparo.

5 [00100] La información de selección 1204 también puede incluir un bit de estado de datos 1208. El bit de estado de datos 1208 se puede almacenar en una cabecera o pie de un paquete de información de selección 1204. El bit de estado de datos también puede corresponder a un 0 o un 1. En un ejemplo, un 0 del bit de estado de datos puede indicar que el bit de estado de datos no está intentando iniciar el proceso para acceder a una celda de memoria 1210. Un **15** 1 almacenado en el bit de estado de datos 1208 puede indicar que el bit de estado de datos está iniciando el proceso para acceder a la celda de memoria 1210. Sin embargo, para acceder a la celda de memoria 1210, el bit de estado de datos 1208, el circuito de configuración 1212 y el circuito de memoria 1214 deben estar todos activados cuando se despliega una señal de DISPARO a través de la circuitería integrada. Como se usa en la **20** presente, el circuito de configuración 1212 puede incluir el registro de configuración 1102 de la figura 11, así como otros tipos de circuitos de conversión de bits. Como se usa en la presente, el circuito de memoria 1214 puede incluir el registro de configuración de memoria 1104 de la figura 11, así como otros tipos de circuitos de conversión de bits.

[00101] El circuito de configuración 1212 se puede configurar para tener un estado de **25** acceso de configuración que se puede establecer en uno de, y cambiar entre, un estado activado y un estado desactivado. En un ejemplo, el circuito de configuración 1212 se puede configurar para activar y desactivar el estado de acceso de configuración en respuesta a un bit de estado de configuración 1216. En un ejemplo, el bit de estado de configuración 1216 se puede almacenar en un registro de configuración. El circuito de accionamiento de fluido 1202 **30** puede transmitir información de selección 1204 para un dispositivo de accionamiento de fluido 1206 mientras que dentro de los mismos datos y circuitería, la información de selección 1204 incluye un bit de estado de datos 1208 establecido para permitir el estado de acceso de configuración. Por consiguiente, el bit de estado de configuración 1216 se puede configurar o cambiar de modo que el circuito de configuración 1212 cambie de un estado desactivado a un **35** estado activado. En un ejemplo, un bit de estado de datos 1208 se puede establecer a un

valor alto o un 1 y estos datos se pueden reflejar, emparejar o desplazar de modo que se refleje un estado de activación en el circuito de configuración 1212. En un ejemplo, este reflejo, coincidencia o cambio se puede realizar por el bit de estado de configuración 1216 que puede reflejar el valor o la señal del bit de estado de datos 1208.

5 [00102] El circuito de memoria 1214 se puede configurar para tener un estado de acceso de memoria que se puede establecer en uno de, y cambiar entre, un estado activado y un estado desactivado. En un ejemplo, el circuito de memoria 1214 se configura para activar o desactivar el estado de acceso de memoria en respuesta a un bit de estado de memoria 1218. En un ejemplo, el bit de estado de memoria 1218 se puede cambiar en respuesta al bit de estado de datos 1208 y al bit de estado de configuración 1216 que ambos señalizan alto, cada uno que tiene valores de 1, o ambos indican que se activan al momento de una acción ascendente de señal CLK o una acción ascendente de señal de DISPARO.

10 [00103] En un ejemplo, la celda de memoria 1210 se hace accesible al tener activado tanto el estado de acceso de memoria del circuito de memoria 1214 como el estado de acceso de configuración del circuito de configuración 1212. En un ejemplo, cuando se activa el bit de estado de datos 1208 así como el bit de estado de configuración 1216 del circuito de configuración 1212 y el bit de estado de memoria 1218 del circuito de memoria 1214, entonces se puede acceder a la celda de memoria 1210. En un ejemplo, se puede acceder a la celda de memoria en respuesta al estado de acceso de memoria que se activa, al estado de acceso de configuración que se activa y al circuito de accionamiento de fluido para transmitir información de selección que incluye el bit de estado de datos que se establece. En un ejemplo, el bit de estado de datos se debe establecer en un estado de acceso de memoria junto con la activación del circuito de configuración 1212 y el circuito de memoria 1214. El acceso que se prohíbe a menos que estos tres estados se activen asegura que el ruido de señal inadvertido que puede estar presente en la circuitería compartida no se grabe accidentalmente en la memoria. Como la circuitería de accionamiento de fluido 1202 incluye datos de selección 1204 que pueden seleccionar un gran número de boquillas con el tiempo para indicar la impresión tras una señal de DISPARO, estos circuitería compartida debe estar asegurada para asegurar que estas muchas señales no afecten los datos en una celda de memoria 1210. Por consiguiente, la secuencia descrita y el número de bits de estado que se deben activar para acceder a la celda de memoria 1210 permiten la protección de los datos de la celda de memoria, así como asegura que se otorgue acceso a la celda de memoria cuando se pretende.

25 [00104] En un ejemplo, se accede a la celda de memoria 1210 durante la duración de una señal de DISPARO. El acceso de la celda de memoria 1210 puede ser escribir en la celda de

30

35

memoria 1210 o la modificación o lectura de la celda de memoria 1210. En un ejemplo, el borde descendente de una señal de DISPARO establece el estado de acceso de memoria en un estado desactivado y el estado de acceso de configuración en un estado desactivado. La configuración del estado desactivado se puede lograr restableciendo el bit de estado de configuración 1216 y el bit de estado de memoria 1218 a 0 o a una señal baja o eliminando cualquier valor almacenado.

[00105] En un ejemplo, el bit de estado de memoria 1218, el bit de estado de configuración 1216 y el bit de estado de datos 1208 se recibirán a través de la misma meseta de interfaz. En un ejemplo, esta puede ser la meseta de DATOS, la meseta CLK, la meseta de DISPARO u otras dependiendo de implementaciones específicas. Como se usa en la presente, cada una de estas mesetas corresponde a una línea a través de la cual se proporcionan señales eléctricas a los diversos circuitos lógicos 1200. En un ejemplo, una señal CLK o de reloj en el circuito integrado activa un bit de estado de memoria 1218 para activar el estado de acceso de memoria y un bit de estado de configuración 1216 para activar el estado de acceso de configuración. Como se muestra en la figura 10, esto se puede presentar en una acción ascendente. En un ejemplo, la activación de un bit de estado de memoria 1218 para activar el estado de acceso de memoria y un bit de estado de configuración 1216 para activar el estado de acceso de configuración también puede estar en el borde descendente de una señal de reloj.

[00106] La figura 13 es un diagrama de flujo de un método de ejemplo 1300 para acceder a una celda de memoria en respuesta a estados de acceso activados. La secuencia mostrada puede incluir u omitir acciones tomadas por la circuitería integrada para facilitar la descripción de los elementos mostrados.

[00107] En el bloque 1302, el método 1300 comienza configurando un circuito integrado para tener un estado de acceso de memoria que se puede establecer a uno de un estado activado y un estado desactivado. En un ejemplo, un circuito de configuración activa o desactiva el estado de acceso de configuración en respuesta al bit de estado de configuración.

[00108] En el bloque 1304, el método 1300 incluye transmitir, con un circuito de accionamiento de fluido, información de selección para un dispositivo de accionamiento de fluido, la información de selección que incluye un bit de estado de datos. En un ejemplo, un circuito de memoria activa o desactiva el estado de acceso de memoria en respuesta al bit de estado de memoria.

[00109] En el bloque 1306, el método 1300 incluye configurar un arreglo de celdas de memoria de modo que cada celda de memoria sea accesible mediante el estado de acceso de memoria que se activa y el bit de estado de datos que se establece. En un ejemplo, acceder

a la celda de memoria incluye activar el estado de acceso de configuración además de activar el bit de estado de datos y activar el estado de acceso de memoria. Se puede acceder a la celda de memoria durante la duración de una señal de DISPARO. En un ejemplo, el borde descendente de una señal de DISPARO establece el estado de acceso de memoria en un estado desactivado y el estado de acceso de configuración en un estado desactivado. En un ejemplo, el bit de estado de memoria, el bit de estado de configuración y el bit de estado de datos se recibirán a través de la misma meseta de interfaz. El método 1300 puede incluir además activar un bit de configuración de memoria para activar el estado de acceso de memoria y un bit de estado de configuración para activar el estado de acceso de configuración en respuesta a una señal de reloj.

[00110] En un ejemplo, para acceder a la memoria, los pasos incluyen configurar el bit de activación usando datos que son parte del flujo de datos de dispositivos de activación de fluido. También, en un ejemplo, se escribe el bit de registro de configuración. Después de estos dos pasos, se acciona la señal de DISPARO en alto para permitir que se establezca un bit de activación interno y que se borre el bit de configuración. Cuando un bit de configuración se configura por segunda vez y el bit de activación interno se ha establecido como antes, entonces se puede escribir el registro de configuración de memoria para configurar la condición de lectura/escritura, así como a cuál de dos tipos de bits de memoria se puede acceder.

[00111] La figura 14 es un diagrama de bloques de una circuitería y plan de escritura de bits de memoria de ejemplo 1400. Los elementos numerados similares son como se describen con respecto a la figura 4.

[00112] El regulador de voltaje de memoria 1402 puede proporcionar voltaje a los bits de memoria 424 en respuesta a una única acción ascendente de señal de DISPARO que permite el modo de escritura de memoria a través de los registros de memoria y configuración. Se pueden ver ejemplos de activación de un modo de escritura al menos con respecto a la figura 9-13. El regulador de voltaje de memoria 1402 puede aceptar energía de una fuente de alimentación compartida (VPP) 1404 que se comparte con los accionadores de fluido. La meseta VPP 1404 puede hacer referencia a un bus de alimentación compartido (VPP) conectado a los accionadores de fluido. En un ejemplo, los accionadores de fluido son boquillas. El regulador de voltaje de memoria puede escribir a los bits de memoria correspondientes a los accionadores de fluido seleccionados.

[00113] Los bits de memoria que se escribirán en paralelo se pueden seleccionar usando la ruta de datos de alta velocidad, como parte de los datos primitivos del grupo de pulsos de disparo. En un ejemplo, los bits de memoria se seleccionan por un número de primitivos y un

número de direcciones como accionadores de fluido. La selección de bits de memoria por número de primitivos y número de direcciones permite seleccionar y escribir en paralelo múltiples bits de memoria ubicados dentro del mismo troquel y en la misma dirección. La selección de bits de memoria por número de primitivos y número de direcciones también permite seleccionar múltiples bits de memoria dentro de diferentes troqueles de silicio en el mismo cabezal de impresión y escribirlos en paralelo. En un ejemplo, el troquel de silicio diferente puede estar dentro de un inyector, tal como un inyector de color con tres troqueles de silicio. La selección y escritura paralela de bits de memoria por número de primitivos y número de direcciones también permite la selección de múltiples bits de memoria a través de múltiples troqueles de silicio. Estos bits de silicio también se pueden encontrar a través de múltiples cabezales de impresión dentro del sistema de impresión, tal como escritura paralela de bits de memoria en un inyector de color y un inyector negro.

[00114] Al seleccionar bits por dirección, cada troquel de silicio único puede seleccionar un bit en un número de direcciones diferente, pero los bits dentro del mismo troquel se seleccionarán en la misma dirección. Esto reduce el tiempo de prueba de fabricación del inyector al escribir múltiples bits en paralelo dentro del troquel o a través de astillas dentro de un cabezal de impresión. Además, las presentes técnicas mejoran el control del nivel de programación mediante el uso de una señal de meseta de DISPARO para controlar el tiempo de escritura.

[00115] En un ejemplo, la señal de DISPARO en realidad no va al regulador de voltaje de memoria 1402. En cambio, el regulador de voltaje de memoria 1402 se activa mediante el estado de modo de acceso de memoria en el que ha entrado el troquel usando la secuencia que se muestra en la figura 9 - 13. Una vez que se activa el regulador de voltaje de memoria 1402, una acción ascendente en la señal de DISPARO puede activar la memoria. La activación del bit de memoria permite que la corriente fluya desde el regulador de voltaje de memoria 1402 a través de la combinación seleccionada de bits de memoria y de esta forma programarlos en paralelo.

[00116] La figura 15 es un diagrama de flujo de un método de ejemplo 1500 para proporcionar un voltaje de escritura con un regulador de voltaje de memoria a la combinación seleccionada de bits de memoria. La secuencia mostrada puede incluir u omitir acciones tomadas por la circuitería integrada para facilitar la descripción de los elementos mostrados.

[00117] En el bloque 1502, el método 1500 incluye seleccionar al menos un bit de memoria de la pluralidad de bits de memoria y accionadores de disparo de un grupo de pulsos de disparo. En un ejemplo, la selección de la combinación de bits de memoria se realiza con un grupo de pulsos de disparo individual. El número de dispositivos de accionamiento de fluido

se puede accionar con la misma línea de datos para acceder a la memoria. En un ejemplo, cada una de la combinación seleccionada de bits de memoria se escribe uno a la vez o en paralelo en respuesta a una acción ascendente de señal de DISPARO individual. En un ejemplo, un primer bit de memoria de la combinación seleccionada de bits de memoria se ubica en un primer troquel de silicio y un segundo bit de memoria de la combinación seleccionada de bits de memoria se ubica en un segundo troquel de silicio. En un ejemplo, el primer troquel de silicio se ubica en un primer inyector de impresión y el segundo troquel de silicio se ubica en un segundo inyector de impresión. En un ejemplo, cada uno del número de bits de memoria corresponde a un accionador de fluido. En un ejemplo, la combinación seleccionada del número de bits de memoria se identifica en los datos seleccionados por un número de primitivos y un número de direcciones en el grupo de pulsos de disparo individual.

[00118] En el bloque 1504, el método 1500 incluye proporcionar un voltaje de escritura con un regulador de voltaje de memoria a al menos un bit de memoria de la pluralidad de bits de memoria. En un ejemplo, el regulador de voltaje de memoria proporciona el voltaje de escritura a la combinación seleccionada del número de bits de memoria durante la duración de una señal de DISPARO individual.

[00119] La figura 16 es un diagrama de bloques que ilustra otro ejemplo de un circuito integrado 1600 con múltiples bits de memoria asociados con cada accionador de fluido. Las conexiones entre elementos pueden ser una ruta de señal, un trazo u otra conexión eléctricamente conductora o comunicativa. El circuito integrado 1600 puede incluir una pluralidad de dispositivos de accionamiento de fluido 1602o a 1602N, una pluralidad de celdas de memoria 1604OA a 1604NB, un circuito de selección 1606 y lógica de control 1608. Además, el circuito integrado 1602 incluye un circuito de escritura 1610, un sensor 1612 y un registro de configuración 1614.

[00120] En este ejemplo, el circuito de selección 1606 incluye un decodificador de dirección 1616 y lógica de activación 1618. El decodificador de dirección 1616 recibe direcciones y datos a través de una interfaz de datos 1620. El decodificador de dirección 1616 se acopla eléctricamente a la lógica de activación 1618. La lógica de activación 1618 recibe una señal de disparo a través de una interfaz de disparo 1622. Cada celda de memoria 1604OA a 1604NB se acopla eléctricamente al circuito de escritura 1610 a través de una interfaz de detección 1624. El sensor 1612 se acopla eléctricamente a la lógica de control 1608 a través de una ruta de señal y a la interfaz de detección 1624.

[00121] El decodificador de dirección 1616 selecciona dispositivos de accionamiento de fluido 1602o a 1602N y celdas de memoria 1604OA a 1604NB correspondientes a los dispositivos de accionamiento de fluido 1602o a 1602N seleccionados en respuesta a una

dirección. Como se ilustra, cada dispositivo de accionamiento de fluido 1602N tiene múltiples celdas de memoria 1604NA y 1604NB. En un ejemplo, las múltiples celdas de memoria 1604NA y 1604NB por dispositivo de accionamiento de fluido 1602N, se pueden ubicar fuera del registro de configuración 1614.

- 5** [00122] Las direcciones se pueden recibir a través de una interfaz de datos 1620. En un ejemplo, la lógica de activación 1618 activa dispositivos de accionamiento de fluido 1602o a 1602N seleccionados y celdas de memoria 1604OA a 1604NB correspondientes a los dispositivos de accionamiento de fluido 1602o a 1602N seleccionados con base en una señal de datos y una señal de disparo. La señal de datos puede incluir datos de boquilla que indican
- 10** qué dispositivos de accionamiento de fluido para la dirección proporcionada se deben seleccionar. La señal de datos se puede recibir a través de la interfaz de datos 1620. La señal de disparo indica cuándo se van a activar (es decir, disparar) los dispositivos de accionamiento de fluido seleccionados o cuándo se debe acceder a las celdas de memoria correspondientes. La señal de disparo se puede recibir a través de la interfaz de disparo 1622. Cada una de la
- 15** interfaz de datos 1620, interfaz de disparo 1622, e interfaz de detección 1624 puede ser una meseta de contacto, una patilla, un contacto, un cable, u otra interfaz eléctrica adecuada para transmitir señales hacia y/o desde el circuito integrado 1600. Cada una de las interfaces 1620, 1622 y 1624 se puede acoplar eléctricamente a un sistema de expulsión de fluido.
- [00123] El registro de configuración 1614 almacena datos para activar o desactivar el
- 20** acceso a la pluralidad de celdas de memoria 1604OA a 1604NB. La lógica de control 1608 activa los dispositivos de accionamiento de fluido 1602o a 1602N seleccionados o accede a las celdas de memoria 1604OA a 1604NB correspondientes a los dispositivos de accionamiento de fluido 1602o a 1602N seleccionados con base en los datos almacenados en el registro de configuración 1614. En un ejemplo, el registro de configuración 1614 puede
- 25** tener múltiples bits que corresponden a la pluralidad de celdas de memoria 1604OA a 1604NB. En otro ejemplo, el registro de configuración 1614 también almacena o transmite datos para activar o desactivar el sensor 1612.
- [00124] El registro de configuración 1614 puede ser un dispositivo de memoria (por ejemplo, memoria no volátil, registro de desplazamiento, etc.) y puede incluir cualquier número
- 30** adecuado de bits (por ejemplo, 4 bits a 24 bits, tal como 12 bits) y puede incluir múltiples bits por cada uno de los dispositivos de accionamiento de fluido 1602O a 1602N. En determinados ejemplos, el registro de configuración 1614 también puede almacenar datos de configuración para probar el circuito integrado 1600, detectar grietas dentro de un sustrato del circuito integrado 1600, habilitar temporizadores del circuito integrado 1600, ajustar retardos

analógicos del circuito integrado 1600, validar operaciones del circuito integrado 1600, o para configurar otras funciones del circuito integrado 1600.

5 [00125] Los datos almacenados en las celdas de memoria 1604OA a 1604NB se pueden leer a través de la interfaz de detección 1624 cuando se ha accedido a las celdas de memoria 1604OA a 1604NB seleccionadas mediante lógica de control 1608. Además, el circuito de escritura 1610 puede escribir datos a celdas de memoria seleccionadas cuando se ha accedido a las celdas de memoria 1604OA a 1604NB seleccionadas mediante lógica de control 1608. El sensor 1612 puede ser un dispositivo de unión (por ejemplo, diodo térmico), un dispositivo resistivo (por ejemplo, detector de grietas) u otro dispositivo adecuado para **10** detectar un estado del circuito integrado 1600. El sensor 1612 se puede leer a través de la interfaz de detección 1624.

[00126] En tanto que las presentes técnicas pueden ser susceptibles a diversas modificaciones y formas alternativas, las técnicas analizadas anteriormente se han mostrado a manera de ejemplo. Se va a entender que no se pretende que la técnica se limite a los **15** ejemplos particulares descritos en la presente. De hecho, las presentes técnicas incluyen todas las alternativas, modificaciones y equivalentes que se encuentran dentro del alcance de las siguientes reivindicaciones.