

REIVINDICACIONES

1. Un circuito integrado para un componente de impresión que comprende:
una pluralidad de bits de memoria;
un bus analógico de línea individual que acopla de forma conductiva la pluralidad
- 5** de bits de memoria a una meseta ubicada en un exterior del cabezal de impresión; y
la meseta para transmitir una señal eléctrica a partir de la pluralidad de bits de memoria, en donde la señal eléctrica indica una combinación de todos los bits seleccionados de la pluralidad de bits de memoria.
2. El circuito integrado de la reivindicación 1, en donde la meseta va a transmitir
- 10** una señal eléctrica individual de la pluralidad de bits de memoria, simultáneamente, que representa una lectura de bits paralela de la pluralidad de bits de memoria.
3. El circuito integrado de la reivindicación 1 o 2, en donde la meseta es externa al troquel para conectarse a un contacto de lado de impresora.
4. El circuito integrado de cualquiera de las reivindicaciones 1-3, en donde la
- 15** meseta es una meseta de señal analógica para comunicar una señal analógica.
5. El circuito integrado de cualquiera de las reivindicaciones 1-4, en donde la meseta es una meseta para comunicar estados de sensor, además de la señal de bits de memoria.
6. El circuito integrado de cualquiera de las reivindicaciones 1-5, en donde un
- 20** primer bit de memoria de los múltiples bits de memoria se ubica en un primer troquel de silicio y un segundo bit de memoria de los múltiples bits de memoria se ubica en un segundo troquel de silicio.
7. El circuito integrado de cualquiera de las reivindicaciones 1-6, en donde el primer troquel de silicio se asocia con un primer tipo de fluido y el segundo troquel de silicio se asocia
- 25** con un segundo tipo de fluido diferente del primer tipo.
8. El circuito integrado de cualquiera de las reivindicaciones 1-7, que comprende lógica de selección para seleccionar la pluralidad de bits de memoria y accionadores fluídicos usando la misma línea de selección.
9. El circuito integrado de cualquiera de las reivindicaciones 1-8, en donde la lógica
- 30** de selección comprende un decodificador de dirección para seleccionar dispositivos de accionamiento de fluido y celdas de memoria correspondientes a los dispositivos de accionamiento de fluido seleccionados en respuesta a una dirección.
10. El circuito integrado de cualquiera de las reivindicaciones 1-9, configurado de modo que, cuando se aplica una corriente externa, se transmite una señal de menor voltaje a

través de la meseta para una pluralidad seleccionada de bits de memoria con respecto a un voltaje para un bit de memoria seleccionado individual.

- 5 11. El circuito integrado de cualquiera de las reivindicaciones 1-10, configurado de modo que, cuando se aplica un voltaje externo, una señal de corriente más alta se transmite a través de la meseta para una pluralidad seleccionada de bits de memoria con respecto a un voltaje para un solo bit de memoria seleccionado.
- 10 12. El circuito integrado de cualquiera de las reivindicaciones 1-11, en donde los bits de memoria se comportan con alta resistencia cuando no se desprograman, y con menor resistencia cuando se programan.
- 10 13. El circuito integrado de cualquiera de las reivindicaciones 1-12, en donde los bits de memoria corresponden a accionadores fluídicos cercanos a boquillas.
- 15 14. El circuito integrado de cualquiera de las reivindicaciones 1-13, en donde la meseta se conecta conductivamente para transmitir una señal eléctrica desde un resistor de detección de grietas en combinación con la pluralidad de bits de memoria.
- 15 15. El circuito integrado de cualquiera de las reivindicaciones 1-14, en donde:
 - los bits de memoria corresponden a accionadores fluídicos cercanos a una pluralidad de boquillas; y
 - el resistor de detección de grietas se encamina entre las boquillas.
- 20 16. Un circuito integrado asociado con un cartucho de cabezal de impresión reemplazable de comunicación, que comprende una meseta de contacto de detección individual ubicada en un exterior del cartucho de cabezal de impresión reemplazable, la meseta de contacto de detección individual para transmitir una señal eléctrica a partir de una pluralidad de bits de memoria, en donde la señal eléctrica indica una combinación de todos los bits seleccionados de la pluralidad de bits de memoria.
- 25 17. El circuito integrado de la reivindicación 16, en donde la meseta va a transmitir una señal eléctrica individual de la pluralidad de bits de memoria, simultáneamente, que representa una lectura de bits paralela de la pluralidad de bits de memoria.
- 30 18. El circuito integrado de la reivindicación 16 o 17, en donde un primer bit de memoria de los múltiples bits de memoria se ubica en un primer troquel de silicio y un segundo bit de memoria de los múltiples bits de memoria se ubica en un segundo troquel de silicio.
19. El circuito integrado de cualquiera de las reivindicaciones 16-18, en donde el primer troquel de silicio se asocia con un primer tipo de fluido y el segundo troquel de silicio se asocia con un segundo tipo de fluido diferente del primer tipo.

20. El circuito integrado de cualquiera de las reivindicaciones 16-18, que comprende lógica de selección para seleccionar la pluralidad de bits de memoria y accionadores fluídicos usando la misma línea de selección.

5 21. Un método para comunicar datos almacenados de un circuito integrado, que comprende: seleccionar una pluralidad de bits de memoria;

proporcionar una señal eléctrica analógica de entrada a la pluralidad de bits de memoria; y medir una señal eléctrica analógica de salida en una meseta de contacto de detección individual conectada comunicativamente a la pluralidad de bits de memoria, la medición que se va a realizar para la pluralidad de bits de memoria en combinación.

10 22. El método de la reivindicación 21, que comprende transmitir una señal eléctrica individual de la pluralidad de bits de memoria, simultáneamente, que representa una lectura de bits paralela de la pluralidad de bits de memoria.

15 23. El método de la reivindicación 21 o 22, configurado de modo que, cuando se aplica una corriente externa, se transmite una señal de menor voltaje a través de la meseta para una pluralidad seleccionada de bits de memoria con respecto a un voltaje para un bit de memoria seleccionado individual

20 24. El método de cualquiera de las reivindicaciones 21-23, configurado de modo que, cuando se aplica un voltaje externo, una señal de corriente más alta se transmite a través de la meseta para una pluralidad seleccionada de bits de memoria con respecto a un voltaje para un solo bit de memoria seleccionado.

25. El método de cualquiera de las reivindicaciones 21-24, en donde la pluralidad de bits de memoria corresponden cada uno a un accionador fluídico ubicado en un troquel de silicio.

25 26. El método de cualquiera de las reivindicaciones 21-25, en donde la pluralidad de bits de memoria corresponde a una pluralidad de accionadores fluídicos, en donde la pluralidad de accionadores fluídicos se ubica en una pluralidad de troqueles de silicio.

27. El método de cualquiera de las reivindicaciones 21-26, en donde los bits de memoria se comportan con alta resistencia cuando no se desprograman, y con menor resistencia cuando se programan.