

REIVINDICACIONES

1. Un dispositivo de conteo síncrono por sobremuestreo de pulsos TTL múltiples para la determinación de coincidencias temporales caracterizado porque comprende canales de entrada basados en conectores BNC conectados a placas de circuito impreso PCB (31) (32) conectadas a los pines de GPIO (33) de una FPGA (34) con arquitectura pipeline parametrizable; donde la FPGA (34) incluye una unidad de muestreo de los pulsos TTL (341) conectada a una unidad de detección de coincidencias por sobremuestreo de los pulsos TTL (344) que a su vez está conectada a una unidad contadora de coincidencias de los pulsos TTL (345) que tiene un filtro de recuentos oscuros; donde la unidad contadora de coincidencias (345) tiene una salida hacia una UART (342) que tiene comunicación bidireccional con la unidad de control (346) de la FPGA (34); donde la UART envía las señales de la unidad contadora de coincidencias (345) mediante un puerto de comunicación inalámbrica (35) a una interfaz gráfica de usuario (GUI) que configura la ventana temporal de coincidencia digital (CW) entre todos los canales.
2. El dispositivo de acuerdo con la reivindicacion 1 caracterizado porque la comunicación inalámbrica está basada en estándar Zigbee.
3. El dispositivo de acuerdo con la reivindicacion 1 caracterizado porque los pulsos TTL múltiples provienen de un arreglo de sensores ópticos para la detección de fotones múltiples (20), conformado por sensores ópticos SPCM (21).
4. El dispositivo de acuerdo con la reivindicacion 1 caracterizado porque la frecuencia de reloj de la FPGA es mayor o igual a 200 MHz.

5. El dispositivo de acuerdo con la reivindicación 1 caracterizado porque tiene entre 1 hasta 64 canales de entrada y 1 a 8 salidas de análisis de coincidencias.
6. Un método de conteo síncrono de coincidencias temporales por sobremuestreo de pulsos TTL múltiples caracterizado porque tiene las siguientes etapas:
 - Detectar pulsos TTL mediante sensores, los cuales transforman la ocurrencia de eventos físicos en pulsos TTL;
 - Muestrear digitalmente los pulsos TTL en una FPGA;
 - Detectar flancos de subida tipo P o flancos de bajada tipo N;
 - Detectar las coincidencias de hasta 8 canales de entrada de manera simultánea, sincronizadas con los flancos de subida tipo P o los flancos de bajada tipo N;
 - Reducir el ancho de los pulsos de coincidencia a un flanco de reloj de la FPGA;
 - Contar las coincidencias entre los pulsos TTL detectados, de acuerdo a la ventana de coincidencia definida;
 - Generar reportes con el número de coincidencias detectadas en un periodo de tiempo definido por la ventana de coincidencias (CW);
 - Transmitir información con el número de coincidencias detectadas en un periodo de tiempo mediante comunicación inalámbrica;
 - Visualizar en una interfaz gráfica la información con el número de coincidencias detectadas;

Donde en la etapa de muestreo de los pulsos TTL, no se hace alineación previa de fase de pulsos.

7. El método de acuerdo con la reivindicación 6 caracterizado porque la detección de pulsos TTL se hace a través de sensores ópticos SPCM.

8. El método de acuerdo con la reivindicación 6 caracterizado porque la FPGA tiene una arquitectura de segmentación o pipeline parametrizable.
9. El método de acuerdo con la reivindicación 6 caracterizado porque los pulsos TTL presentan un ancho de pulso y una distancia entre pulsos mayor al período de muestreo.