

REIVINDICACIONES

1. Un circuito integrado (100) para acceder a una memoria asociada a un dispositivo de accionamiento de fluido (102₀ - 102_N), comprendiendo el circuito integrado:

una pluralidad de celdas de memoria (104₀ - 104_N);

un decodificador de direcciones (122) para seleccionar una o más de la pluralidad de celdas de memoria en respuesta a una dirección;

lógica de activación (124) para activar una o más de la pluralidad de celdas de memoria (104₀ - 104_N) que se seleccionan en base a una señal de datos y una señal de disparo; y

lógica de configuración (110) para habilitar o deshabilitar el acceso a la pluralidad de celdas de memoria (104₀ - 104_N),

una interfaz única acoplada a cada una de las celdas de memoria (304₀ - 304_N), la interfaz única se conecta a un único contacto de un aparato de impresión principal;

en donde los datos almacenados en las celdas de memoria (304₀ - 304_N) pueden leerse a través de la única interfaz mediante el decodificador de direcciones y la lógica de activación han accedido a las celdas de memoria seleccionadas (304₀ - 304_N).

2. El circuito integrado de la reivindicación 1, en el que la lógica de configuración (110) comprende un registro de configuración (136) que almacena datos para habilitar o deshabilitar el acceso a la pluralidad de celdas de memoria, y para habilitar el acceso de escritura o lectura a la pluralidad de celdas de memoria.

3. El circuito integrado de la reivindicación 2, que comprende además un sensor (132), en el que el registro de configuración almacena datos para habilitar o deshabilitar el sensor.

4. El circuito integrado de la reivindicación 1, que comprende además un circuito de escritura (130) acoplado a la interfaz única, el circuito de escritura para escribir datos en la pluralidad de celdas de memoria.
5. El circuito integrado de la reivindicación 1, en el que la interfaz única comprende una única almohadilla de contacto (241).
6. El circuito integrado de la reivindicación 1, en el que cada una de la pluralidad de celdas de memoria comprende una celda de memoria no volátil.
7. El circuito integrado de la reivindicación 1, en el que la lógica de activación (124) comprende una primera puerta lógica y un conjunto de segundas puertas lógicas.
8. El circuito integrado de la reivindicación 7, en el que una primera entrada de la primera puerta lógica es la señal de datos, una segunda entrada de la primera puerta lógica es la señal de disparo y una primera salida de la primera puerta lógica está acoplada eléctricamente a una tercera entrada de cada una de las segundas puertas lógicas.
9. El circuito integrado de la reivindicación 8, en el que el decodificador de direcciones (122) comprende un conjunto de terceras puertas lógicas, una cuarta entrada de cada una de las terceras puertas lógicas es la dirección, y una segunda salida de cada una de las terceras puertas lógicas está acoplada eléctricamente a una quinta entrada de una correspondiente del conjunto de segundas puertas lógicas.
10. El circuito integrado de la reivindicación 9, en el que una tercera salida de cada una del conjunto de segundas puertas lógicas está acoplada eléctricamente a una respectiva de la pluralidad de celdas de memoria (204₀ - 204₁₅) a través de una ruta de señal (207).

11. El circuito integrado de la reivindicación 10, en el que la tercera salida de cada una del conjunto de segundas puertas lógicas está acoplada eléctricamente a un dispositivo de accionamiento de fluido (220_0 - 220_{15}) respectivo a través de la ruta de señal (207).

12. El circuito integrado de la reivindicación 10, en el que cada una de la pluralidad de celdas de memoria (204_0 - 204_{15}) comprende un primer transistor y un segundo transistor, y en el que un terminal de compuerta de cada uno del primer transistor está acoplado eléctricamente a la ruta de señal respectiva.

13. El circuito integrado de la reivindicación 12, en el que un terminal de compuerta de cada uno del segundo transistor recibe una señal de habilitación de memoria a través de una ruta de habilitación de señal de memoria (207).

14. El circuito integrado de la reivindicación 13, en el que una lógica alta en la señal de habilitación de memoria enciende el segundo transistor respectivo para permitir el acceso a la pluralidad de celdas de memoria.

15. Un circuito integrado (100) para acceder a una memoria asociada con un dispositivo de accionamiento de fluido (102_0 - 102_N), comprendiendo el circuito integrado:

una pluralidad de celdas de memoria (104_0 - 104_N);

un circuito de selección (106) para seleccionar una o más de la pluralidad de celdas de memoria;

lógica de configuración (110) para habilitar o deshabilitar el acceso a la pluralidad de celdas de memoria;

lógica de control (103) acoplada eléctricamente al circuito de selección (106), la pluralidad de celdas de memoria (104_0 - 104_N), y la lógica de configuración (110) para controlar el acceso a la pluralidad de celdas de memoria (104_0 - 104_N);

una interfaz única acoplada a cada una de las celdas de memoria (304_0 - 304_N), la interfaz única se conecta a un único contacto de un aparato de impresión principal;

en donde los datos almacenados en las celdas de memoria (304_0 - 304_N) pueden leerse a través de la única interfaz mediante el decodificador de direcciones y la lógica de activación han accedido a las celdas de memoria seleccionadas (304_0 - 304_N).

16. El circuito integrado de la reivindicación 15, en el que el circuito de selección comprende:

un decodificador de direcciones (122) para seleccionar una o más de la pluralidad de celdas de memoria en respuesta a una dirección; y

una lógica de activación (124) para activar una o más de la pluralidad de celdas de memoria que se seleccionan en base a una señal de datos y una señal de disparo.

17. El circuito integrado de la reivindicación 16, en el que la lógica de activación (124) comprende:

una primera puerta lógica que comprende una primera entrada, una segunda entrada y una primera salida, recibiendo la primera entrada la señal de datos y recibiendo la segunda entrada la señal de disparo; y

un conjunto de segundas puertas lógicas, cada una de las cuales comprende una tercera entrada, una cuarta entrada y una segunda salida, recibiendo la tercera entrada la primera salida, recibiendo la cuarta entrada una tercera salida desde una puerta lógica respectiva de un conjunto de terceras puertas lógicas del decodificador de direcciones (122), en el que la segunda salida de cada una del conjunto de segundas puertas lógicas está acoplada eléctricamente a una respectiva de la pluralidad de celdas de memoria (204_0 - 204_{15}) y a una respectiva de una pluralidad de dispositivos de accionamiento de fluido (220_0 - 220_{15}) a través de una ruta de señal (207).

18. Un circuito integrado (100) para acceder a una memoria asociada con un dispositivo de accionamiento de fluido (102_0 - 102_N), comprendiendo el circuito integrado:

una pluralidad de celdas de memoria (104_0 - 104_N);

un decodificador de direcciones (122) para seleccionar una o más de la pluralidad de celdas de memoria (104_0 - 104_N) en respuesta a una dirección;

lógica de activación (124) para activar una o más de la pluralidad de celdas de memoria (104_0 - 104_N) que se seleccionan en base a una señal de datos y una señal de disparo;

lógica de control (103) acoplada eléctricamente al decodificador de direcciones (122), la lógica de activación (124) y la pluralidad de celdas de memoria (104_0 - 104_N) para controlar el acceso a la pluralidad de celdas de memoria (104_0 - 104_N);

una interfaz única acoplada a cada una de las celdas de memoria (304_0 - 304_N), la interfaz única se conecta a un único contacto de un aparato de impresión principal;

en donde los datos almacenados en las celdas de memoria (304_0 - 304_N) pueden leerse a través de la única interfaz mediante el decodificador de direcciones y la lógica de activación han accedido a las celdas de memoria seleccionadas (304_0 - 304_N).

19. El circuito integrado de la reivindicación 18, en el que la lógica de activación (124) comprende:

una primera puerta lógica que comprende una primera entrada, una segunda entrada y una primera salida, recibiendo la primera entrada la señal de datos y recibiendo la segunda entrada la señal de disparo; y

un conjunto de segundas puertas lógicas, cada una de las cuales comprende una tercera entrada, una cuarta entrada y una segunda salida, recibiendo la tercera entrada la primera salida, recibiendo la cuarta entrada una tercera salida desde una puerta lógica respectiva de un conjunto de terceras puertas lógicas del decodificador de direcciones (122), en el que la segunda salida de cada una del conjunto de segundas puertas lógicas está acoplada eléctricamente a una respectiva de la pluralidad de celdas de memoria (104_0 - 104_N) y a una respectiva de una pluralidad de dispositivos de accionamiento de fluido (102_0 - 102_N) a través de una ruta de señal (107).