

BÚFER DE CONFIGURACIÓN DE INTERFAZ FÍSICA EN UN SISTEMA DE MEMORIA FLASH

REFERENCIA CRUZADA A SOLICITUDES RELACIONADAS

5

Esta solicitud reivindica el beneficio de la solicitud de patente de los Estados Unidos N.º 18/187.259, titulada “PHYSICAL INTERFACE CONFIGURATION BUFFER IN A FLASH MEMORY SYSTEM”, presentada el 21 de marzo de 2023, que se incorpora expresamente como referencia en la presente en su totalidad.

CAMPO TÉCNICO

15 Aspectos de la presente divulgación se refieren generalmente a un aparato y método para controlar un dispositivo de memoria. Algunos aspectos pueden, más particularmente, referirse a un aparato y método para controlar operaciones para actualizar una configuración de interfaz física (PHY, por sus siglas en inglés) usando información de un búfer de configuración de PHY.

INTRODUCCIÓN

25 A medida que el valor y el uso de la información continúan aumentando, las personas y las empresas buscan

formas adicionales de procesar y almacenar información. Además, el uso de la información en diversas ubicaciones y la portabilidad deseada de la información es cada vez mayor. Por esta razón, los usuarios están optando cada vez más por
5 usar dispositivos electrónicos portátiles, tal como teléfonos móviles, cámaras digitales, computadores portátiles y lo similar. Los dispositivos electrónicos portátiles generalmente emplean un sistema de memoria que usa un dispositivo de memoria para almacenar datos. Un sistema de
10 memoria puede usarse como una memoria principal o una memoria auxiliar de un dispositivo electrónico portátil.

El dispositivo de memoria del sistema de memoria puede incluir un tipo o una combinación de tipos de almacenamiento. Por ejemplo, los sistemas de memoria
15 magnética, tal como las unidades de disco duro (HDD, por sus siglas en inglés), almacenan datos al codificar datos como una combinación de imanes pequeños. Como otro ejemplo, los sistemas de memoria basados en óptica, tal como los discos versátiles digitales (DVD, por sus siglas en inglés) y los
20 medios Blu-ray, almacenan datos al codificar datos como bits físicos que causan diferentes reflejos cuando son iluminados por una fuente de luz. Como ejemplo adicional, los dispositivos de memoria electrónica almacenan datos como colecciones de electrones que pueden detectarse a través de
25 mediciones de voltaje y/o corriente.

Los dispositivos de memoria electrónica pueden ser ventajosos en ciertos sistemas, ya que pueden acceder rápidamente a los datos y consumir una pequeña cantidad de energía. Los ejemplos de un dispositivo de memoria electrónica que tiene estas ventajas incluyen dispositivos de memoria de bus serie universal (USB, por sus siglas en inglés) (a veces denominados “memorias extraíbles”), una tarjeta de memoria (tal como la que se usa en algunas cámaras y sistemas de juegos) y una unidad de estado sólido (SSD, por sus siglas en inglés) (como la que se usa en computadores portátiles). La memoria flash NAND es un tipo de dispositivo de memoria que se puede usar en dispositivos de memoria electrónica. La memoria flash NAND se fabrica en tarjetas de memoria o discos flash. Entre los ejemplos de tarjetas de memoria están las tarjetas flash compactas (CF, por sus siglas en inglés), tarjetas multimedia (eMMC, por sus siglas en inglés), tarjetas de medios inteligentes (SM, por sus siglas en inglés) y tarjetas digitales seguras (SD, por sus siglas en inglés).

Un sistema de memoria puede, en algunos casos, estar integrado o conectado de cualquier otra manera a un sistema electrónico. Por ejemplo, un sistema de memoria flash, que puede ser un sistema de almacenamiento flash universal (UFS, por sus siglas en inglés), puede estar integrado en un sistema electrónico, tal como un punto de acceso (AP, por sus siglas en inglés), estación (STA, por

sus siglas en inglés), equipo de usuario (UE, por sus siglas en inglés), estación base, módem, cámara u otro sistema.

SUMARIO DE ALGUNOS EJEMPLOS

5

A continuación se resumen algunos aspectos de la presente divulgación para proporcionar una comprensión básica de la tecnología analizada. Este sumario no es una visión general extensa de todas las características contempladas de la divulgación y no pretende identificar elementos clave o críticos de todos los aspectos de la divulgación ni delinear el alcance de alguno o todos los aspectos de la divulgación. Su único propósito es presentar algunos conceptos de uno o más aspectos de la divulgación en forma resumida como preludio a la divulgación más detallada que se presenta posteriormente.

Se puede usar un búfer ubicado en una memoria flash para almacenar información de configuración para parchar una PHY para operar a velocidades superiores. Por ejemplo, una PHY que conecta un sistema de memoria, tal como un sistema de memoria que incluye una memoria flash, a un dispositivo anfitrión puede configurarse para operar a una velocidad menor durante la inicialización del dispositivo anfitrión, lo que puede incluir la inicialización de la PHY y el sistema de memoria. Puede accederse a la información de configuración almacenada en la PHY durante la

inicialización del dispositivo anfitrión, por ejemplo, tal como antes de que se complete la inicialización de la memoria flash. El dispositivo anfitrión puede leer la información de configuración de PHY de la memoria flash y puede ajustar una configuración de la PHY para operar a una velocidad más alta de acuerdo con la información de configuración de PHY. Por lo tanto, un controlador de memoria del dispositivo anfitrión puede acceder a la información de configuración al principio de un proceso de inicialización para parchar la PHY para operar a una velocidad mejorada. Tales velocidades mejoradas pueden permitir una inicialización más rápida del dispositivo anfitrión. Además, el búfer puede permitir el almacenamiento de otra información de configuración de PHY para facilitar el parchado posterior de silencio de errores o mejoras de eficiencia operativa de la PHY al principio del proceso de arranque.

En un aspecto de la divulgación, un dispositivo de memoria incluye un controlador de memoria acoplado a un módulo de memoria a través de un primer canal y configurado para acceder a datos almacenados en el módulo de memoria a través del primer canal; y acoplado a un dispositivo anfitrión a través de una primera interfaz física (PHY) y configurado para comunicarse con el dispositivo anfitrión a través de la primera interfaz. El controlador de memoria del dispositivo de memoria puede configurarse para realizar operaciones que incluyen recibir, desde el dispositivo

anfitrión, después de inicializar la PHY para operar a una primera velocidad, una solicitud de información de configuración de PHY para configurar la PHY para operar a una segunda velocidad, mayor que la primera velocidad, desde un primer búfer del módulo de memoria y transmitir la información de configuración de PHY al dispositivo anfitrión. En otro aspecto de la divulgación, también se describe un método para realizar estas operaciones mediante un procesador al ejecutar instrucciones almacenadas en una memoria acoplada al procesador. En un aspecto adicional de la divulgación, un medio legible por computador no transitorio almacena instrucciones que, cuando son ejecutadas por un procesador, hacen que el procesador realice estas operaciones.

En un aspecto adicional de la divulgación, un aparato incluye un controlador de memoria de un dispositivo anfitrión configurado para acoplar el dispositivo anfitrión a un sistema de memoria a través de una primera interfaz física (PHY), el controlador de memoria configurado para realizar operaciones que incluyen inicializar la PHY para operar a una primera velocidad, recibir información de configuración de PHY para configurar la PHY para operar a una segunda velocidad, mayor que la primera velocidad, desde un primer búfer del sistema de memoria, y ajustar una configuración de la PHY de acuerdo con la información de configuración de PHY para operar a la segunda velocidad. En otro aspecto de la divulgación, también se describe un método

para realizar estas operaciones mediante un procesador al ejecutar instrucciones almacenadas en una memoria acoplada al procesador. En un aspecto adicional de la divulgación, un medio legible por computador no transitorio almacena 5 instrucciones que, cuando se ejecutan por un procesador, hacen que el procesador realice estas operaciones.

Lo anterior ha esbozado de manera bastante amplia las características y ventajas técnicas de los ejemplos de acuerdo con la divulgación para que la descripción detallada 10 a continuación pueda entenderse mejor. A continuación se describirán características y ventajas adicionales. La concepción y los ejemplos específicos divulgados pueden utilizarse fácilmente como base para modificar o diseñar otras estructuras para llevar a cabo los mismos propósitos 15 de la presente divulgación. Tales construcciones equivalentes no se apartan del alcance de las reivindicaciones anexas. Las características de los conceptos descritos en la presente, tanto su organización como método de operación, junto con las ventajas asociadas, 20 se entenderán mejor a partir de la siguiente descripción cuando se considere en relación con las figuras adjuntas. Cada una de las figuras se proporciona con fines de ilustración y descripción, y no como una definición de los límites de las reivindicaciones.

25 Si bien los aspectos y las implementaciones se describen en esta solicitud mediante la ilustración de

algunos ejemplos, los expertos en la técnica entenderán que pueden surgir implementaciones adicionales y casos de uso en muchas disposiciones y situaciones diferentes. Las innovaciones descritas en la presente pueden implementarse

5 en muchos tipos diversos de plataforma, dispositivos, sistemas, formas, tamaños, disposiciones de envasado. Por ejemplo, los aspectos y/o usos pueden realizarse a través de implementaciones de chip integradas y otros dispositivos basados en componentes no modulares (p. ej., dispositivos

10 de usuario final, vehículos, dispositivos de comunicación, dispositivos informáticos, equipos industriales, dispositivos de venta al por menor/compra, dispositivos médicos, dispositivos habilitados para inteligencia artificial (IA)). Si bien algunos ejemplos pueden o no

15 estar dirigidos específicamente a casos de uso o aplicaciones, puede ocurrir una amplia variedad de aplicabilidad de las innovaciones descritas. Las implementaciones pueden variar en el espectro, desde componentes modulares o a nivel de chip hasta

20 implementaciones no modulares, no a nivel de chip y, además, hasta dispositivos o sistemas de fabricantes de equipos originales (OEM, por sus siglas en inglés), distribuidos o agregados que incorporen uno o más aspectos de las innovaciones descritas. En algunas configuraciones

25 prácticas, los dispositivos que incorporan aspectos y características descritos también pueden incluir

necesariamente componentes y características adicionales para la implementación y práctica de los aspectos reivindicados y descritos. Por ejemplo, la transmisión y recepción de señales inalámbricas incluyen necesariamente un número de componentes para propósitos analógicos y digitales (p. ej., componentes de hardware que incluyen antena, cadenas de radiofrecuencia (RF), amplificadores de potencia, moduladores, búfer, procesador(es), entrelazador, adicionador/sumadores, etc.). Se pretende que las innovaciones descritas en la presente puedan ponerse en práctica en una amplia variedad de dispositivos, componentes a nivel de chip, sistemas, disposiciones distribuidas y/o dispositivos de usuario final, etc., de tamaño, forma y constitución variables.

15

BREVE DESCRIPCIÓN DE LOS DIBUJOS

Una comprensión adicional de la naturaleza y las ventajas de la presente divulgación puede realizarse haciendo referencia a los siguientes dibujos. En las figuras anexas, componentes o características similares pueden tener la misma etiqueta de referencia. Además, varios componentes del mismo tipo pueden distinguirse siguiendo la etiqueta de referencia por un guion y una segunda etiqueta que distingue entre los componentes similares. Si solo se usa la primera etiqueta de referencia en la especificación, la descripción

es aplicable a cualquiera de los componentes similares que tengan la misma primera etiqueta de referencia independientemente de la segunda etiqueta de referencia.

La Figura 1 es un diagrama en bloque que ilustra un sistema de procesamiento de datos que incluye un sistema de memoria de acuerdo con una modalidad de la presente invención.

La Figura 2 es un diagrama en bloque que ilustra un dispositivo electrónico de ejemplo que incluye el sistema de memoria de acuerdo con uno o más aspectos de la divulgación.

La Figura 3 es un diagrama en bloque que ilustra componentes para facilitar el acceso a un dispositivo de memoria flash desde un dispositivo anfitrión de acuerdo con algunas modalidades de la divulgación.

La Figura 4A es un diagrama de flujo de temporización que ilustra un proceso de inicialización para un dispositivo anfitrión de acuerdo con algunas modalidades de la divulgación.

La Figura 4B es un diagrama de flujo de temporización que ilustra un proceso de inicialización para un dispositivo anfitrión de acuerdo con algunas modalidades de la divulgación.

La Figura 5 es un diagrama de flujo que ilustra un método para la inicialización de un dispositivo anfitrión de acuerdo con algunas modalidades de la divulgación.

La Figura 6 es un diagrama de flujo que ilustra un método para la inicialización de un dispositivo anfitrión usando información de configuración de PHY almacenada en un búfer flash de acuerdo con algunas
5 modalidades de la divulgación.

La Figura 7 es un diagrama de flujo que ilustra un método para la inicialización de un dispositivo anfitrión usando información de configuración de PHY almacenada en un búfer flash por un controlador anfitrión
10 de acuerdo con algunas modalidades de la divulgación.

La Figura 8 es un diagrama de flujo que ilustra un método para la inicialización de un dispositivo anfitrión usando información de configuración de PHY almacenada en un búfer flash por un dispositivo de memoria
15 flash de acuerdo con algunas modalidades de la divulgación.

La Figura 9 es un diagrama en bloque que ilustra detalles de un sistema de comunicación inalámbrica de ejemplo de acuerdo con uno o más aspectos.

Los números de referencia similares y las
20 designaciones en los diversos dibujos indican elementos similares.

DESCRIPCIÓN DETALLADA

La descripción detallada que se establece a continuación, en relación con los dibujos anexos, pretende ser una descripción de diversas configuraciones y no pretende limitar el alcance de la descripción. En cambio, la descripción detallada incluye detalles específicos con el fin de proporcionar una comprensión completa de la materia inventiva. Será evidente para los expertos en la técnica que estos detalles específicos no son necesarios en todos los casos y que, en algunos casos, las estructuras y componentes bien conocidos se muestran en forma de diagrama en bloque para mayor claridad de presentación.

La presente divulgación proporciona sistemas, aparatos, métodos y medios legibles por computador que soportan el procesamiento de datos, incluyendo técnicas para almacenar, recuperar y organizar datos en un sistema de memoria. Los aspectos de esta divulgación proporcionan operaciones y estructuras de datos usadas en esas operaciones para parchar una PHY que conecta un dispositivo anfitrión a un sistema de memoria para operar a una velocidad mayor usando información de configuración de PHY almacenada en un búfer de una memoria del subsistema de memoria.

Las implementaciones particulares de la materia descrita en esta divulgación pueden implementarse para realizar una o más de las siguientes ventajas o beneficios

potenciales. En algunos aspectos, la presente divulgación proporciona técnicas para mejorar el rendimiento de un sistema de memoria, tales como una velocidad mejorada durante un proceso de arranque de un dispositivo anfitrión y un tiempo de arranque reducido. La velocidad mejorada durante el arranque y los tiempos de arranque reducidos pueden ser particularmente ventajosos en el contexto de los sistemas informáticos automotrices, donde pueden ser deseables tiempos de arranque inferiores a 50 ms.

La memoria se puede usar en un sistema informático organizado como se ilustra en la Figura 1. La Figura 1 ilustra un sistema de procesamiento de datos 100, tal como puede incluirse en un dispositivo informático móvil, de acuerdo con uno o más aspectos de la divulgación. Un sistema de memoria 110 puede acoplarse a un dispositivo anfitrión 102 a través de uno o más canales. Por ejemplo, el dispositivo anfitrión 102 y el sistema de memoria 110 pueden acoplarse a través de una interfaz serie que incluye un único canal para el transporte de datos o una interfaz paralela que incluye dos o más canales para el transporte de datos. En algunos aspectos, los datos de control pueden transferirse a través del (de los) mismo(s) canal(es) que los datos o los datos de control pueden transferirse a través de canales adicionales. El dispositivo anfitrión 102 puede ser, por ejemplo, un dispositivo electrónico portátil tal como un teléfono móvil, un reproductor MP3, un computador portátil o un dispositivo

electrónico no portátil tal como un computador de escritorio, un reproductor de juegos, un televisor (TV), un reproductor multimedia o un proyector. Como otro ejemplo, el dispositivo anfitrión 102 puede ser un sistema informático automotriz.

5 Se ilustran y describen dispositivos anfitriones de ejemplo adicionales con referencia a la Figura 6.

El sistema de memoria 110 puede ejecutar operaciones en respuesta a órdenes (p. ej., una solicitud) desde el dispositivo anfitrión 102. Por ejemplo, el sistema de memoria 110 puede almacenar datos proporcionados por el dispositivo anfitrión 102 y el sistema de memoria 110 también puede proporcionar datos almacenados al dispositivo anfitrión 102. El sistema de memoria 110 puede usarse como una memoria principal, memoria a corto plazo o memoria a largo plazo por el dispositivo anfitrión 102. Como un ejemplo de memoria principal, el dispositivo anfitrión 102 puede usar el sistema de memoria 110 para complementar o reemplazar una memoria del sistema usando el sistema de memoria 110 para almacenar datos temporales tales como datos relacionados con sistemas operativos y/o subprocesos que se ejecutan en el sistema operativo. Como un ejemplo de memoria a corto plazo, el dispositivo anfitrión 102 puede usar el sistema de memoria 110 para almacenar un archivo de página para un sistema operativo. Como un ejemplo de memoria a largo plazo, el dispositivo anfitrión 102 puede usar el sistema de memoria 110 para almacenar archivos de usuario (p. ej., documentos,

videos, imágenes) y/o archivos de aplicación (p. ej., aplicación de juego ejecutable de procesamiento de texto).

El sistema de memoria 110 puede implementarse con cualquiera de los diversos dispositivos de almacenamiento, de acuerdo con el protocolo de una interfaz anfitriona para el uno o más canales que acople el sistema de memoria 110 al dispositivo anfitrión 102. El sistema de memoria 110 puede implementarse con cualquiera de varios dispositivos de almacenamiento, tales como una unidad de estado sólido (SSD), una tarjeta multimedia (MMC, por sus siglas en inglés), una MMC integrada (eMMC, por sus siglas en inglés), una MMC de tamaño reducido (RS-MMC, por sus siglas en inglés), una micro-MMC, una tarjeta digital segura (SD), una mini-SD, un dispositivo de almacenamiento de bus serie universal (USB), un dispositivo de almacenamiento flash universal (UFS), una tarjeta flash compacta (CF), una tarjeta de medios inteligentes (SM) o una tarjeta de memoria.

El sistema de memoria 110 puede incluir un módulo de memoria 150 y un controlador 130 acoplado al módulo de memoria 150 a través de uno o más canales. El módulo de memoria 150 puede almacenar y recuperar datos en los bloques de memoria 152, 154 y 156 bajo el control del controlador 130, que puede ejecutar órdenes recibidas desde el dispositivo anfitrión 102. El controlador 130 se configura para controlar el intercambio de datos entre el módulo de memoria 150 y el dispositivo anfitrión 102. Los

componentes de almacenamiento, tales como los bloques 152, 154 y 156 en el módulo de memoria 150 pueden implementarse como un dispositivo de memoria volátil, tal como una memoria dinámica de acceso aleatorio (DRAM, por sus siglas en inglés) y una memoria de acceso aleatorio estática (SRAM, por sus siglas en inglés), o un dispositivo de memoria no volátil, tal como una memoria de solo lectura (ROM), una ROM programable (PROM, por sus siglas en inglés), una ROM programable y borrrable (EPROM, por sus siglas en inglés), una ROM programable y borrrable eléctricamente (EEPROM), una memoria de acceso aleatorio ferroeléctrica (FRAM, por sus siglas en inglés), una RAM de cambio de fase (PRAM, por sus siglas en inglés), una RAM magnetorresistiva (MRAM, por sus siglas en inglés), una RAM resistiva (SCRAM, por sus siglas en inglés) o una memoria flash NAND.

El controlador 130 y el módulo de memoria 150 pueden estar formados como circuitos integrados en uno o más cubos de semiconductores (u otro sustrato). En algunos aspectos, el controlador 130 y el módulo de memoria 150 pueden estar integrados en un chip. En algunos aspectos, el módulo de memoria 150 puede incluir uno o más chips acoplados en serie o paralelos entre sí y acoplados al controlador 130, que está en un chip separado. En algunos aspectos, el módulo de memoria 150 y los chips del controlador 130 están integrados en un único paquete, tal

como en un sistema de paquete en paquete (PoP, por sus siglas en inglés). En algunos aspectos, el sistema de memoria 110 está integrado en un único chip con uno o más o todos los componentes (p. ej., procesador de aplicaciones, memoria del sistema, procesador de señal digital, módem, unidad de procesador de gráficos, interfaz de memoria, interfaz de entrada/salida, adaptador de red) del dispositivo anfitrión 102, tal como en un sistema en chip (SoC, por sus siglas en inglés). El controlador 130 y el módulo de memoria 150 pueden integrarse en un dispositivo semiconductor para formar una tarjeta de memoria, tal como, por ejemplo, una tarjeta de la Personal Computer Memory Card International Association (PCMCIA, por sus siglas en inglés), una tarjeta flash compacta (CF), una tarjeta de medios inteligentes (SMC), una tarjeta multimedia (MMC), una RS-MMC, una tarjeta micro-MMC, una tarjeta digital segura (SD), una mini-SD, una Micro-SD, un SDHC y un dispositivo de almacenamiento flash universal (UFS).

El controlador 130 del sistema de memoria 110 puede controlar el módulo de memoria 150 en respuesta a órdenes del dispositivo anfitrión 102. El controlador 130 puede ejecutar órdenes de lectura para proporcionar los datos desde el módulo de memoria 150 al dispositivo anfitrión 102. El controlador 130 puede ejecutar órdenes de escritura para almacenar datos proporcionados desde el dispositivo anfitrión 102 en el módulo de memoria 150. El

controlador 130 puede ejecutar otras órdenes para gestionar datos en el módulo de memoria 150, tales como órdenes de programa y borrado. El controlador 130 también puede ejecutar otras órdenes para gestionar el control del sistema de memoria 110, tales como establecer registros de configuración del sistema de memoria 110. Al ejecutar órdenes de acuerdo con la configuración especificada en los registros de configuración, el controlador 130 puede controlar las operaciones del módulo de memoria 150, tales como operaciones de lectura, escritura, programa y borrado.

El controlador 130 puede incluir varios componentes configurados para realizar las órdenes recibidas. Por ejemplo, el controlador 130 puede incluir una unidad de interfaz principal (I/F, por sus siglas en inglés) 132, un procesador 134, una unidad de código de corrección de errores (ECC, por sus siglas en inglés) 138, una unidad de gestión de energía (PMU, por sus siglas en inglés) 140, un controlador de flash NAND (NFC, por sus siglas en inglés) 142 y/o una memoria 144. La unidad de gestión de energía (PMU) 140 puede proporcionar y administrar energía para componentes dentro del controlador 130 y/o el módulo de memoria 150.

La unidad de interfaz principal 132 puede procesar órdenes y datos proporcionados desde el dispositivo anfitrión 102, y puede comunicarse con el dispositivo anfitrión 102, a través de al menos uno de varios protocolos de interfaz tales como bus serie universal (USB), tarjeta

multimedia (MMC), interconexión de componentes periféricos express (PCI-e, por sus siglas en inglés), SCSI conectado en serie (SAS, por sus siglas en inglés), conexión de tecnología avanzada serie (SATA, por sus siglas en inglés),
5 conexión de tecnología avanzada paralela (PATA, por sus siglas en inglés), interfaz de sistema informático pequeño (SCSI, por sus siglas en inglés), interfaz mejorada de disco pequeño (ESDI, por sus siglas en inglés) y electrónica de unidad integrada (IDE, por sus siglas en inglés). Por
10 ejemplo, la interfaz principal 132 puede ser una interfaz paralela tal como una interfaz MMC, o una interfaz serie tal como una ultra alta velocidad clase 1 (UHS-I, por sus siglas en inglés)/UHS clase 2 (UHS-II, por sus siglas en inglés) o una interfaz de almacenamiento flash universal (UFS).

15 La unidad de ECC 138 puede detectar y corregir errores en los datos leídos desde el módulo de memoria 150 durante la operación de lectura. La unidad de ECC 138 puede no corregir bits de error cuando el número de bits de error es mayor que un número umbral de bits de error corregibles,
20 lo que puede dar lugar a que la unidad de ECC 138 genere una señal de fallo de corrección de errores que indica un fallo en la corrección de los bits de error. En algunos aspectos, no se puede proporcionar ninguna unidad de ECC 138 o la unidad de ECC 138 puede ser configurable para
25 estar activa para algunos o todos los módulos de memoria 150. La unidad de ECC 138 puede realizar una operación de

corrección de errores usando una modulación codificada tal como un código de comprobación de paridad de baja densidad (LDPC, por sus siglas en inglés), un código Bose-Chaudhuri-Hocquenghem (BCH, por sus siglas en inglés), un código turbo, un código Reed-Solomon (RS, por sus siglas en inglés), un código de convolución, un código sistemático recursivo (RSC, por sus siglas en inglés), una modulación codificada en enrejado (TCM, por sus siglas en inglés) o una modulación codificada en bloque (BCM, por sus siglas en inglés).

El NFC 142 proporciona una interfaz entre el controlador 130 y el módulo de memoria 150 para permitir que el controlador 130 controle el módulo de memoria 150 en respuesta a una orden recibida desde el dispositivo anfitrión 102. El NFC 142 puede generar señales de control para el módulo de memoria 150, tales como señales para líneas de fila y líneas de bits, y procesar datos bajo el control del procesador 134. Aunque NFC 142 se describe como un controlador flash NAND, otros controladores pueden realizar una función similar para otros tipos de memoria usados como módulo de memoria 150.

La memoria 144 puede servir como una memoria de trabajo del sistema de memoria 110 y del controlador 130. La memoria 144 puede almacenar datos para manejar el sistema de memoria 110 y el controlador 130. Cuando el controlador 130 controla una operación del módulo de memoria 150 tal

como, por ejemplo, una operación de lectura, escritura, programa o borrado, la memoria 144 puede almacenar datos que son usados por el controlador 130 y el módulo de memoria 150 para la operación. La memoria 144 puede implementarse con una memoria volátil tal como, por ejemplo, una memoria estática de acceso aleatorio (SRAM) o una memoria de acceso aleatorio dinámica (DRAM). En algunos aspectos, la memoria 144 puede almacenar mapeos de direcciones, una memoria de programa, una memoria de datos, un búfer de escritura, un búfer de lectura, un búfer de mapa y lo similar.

El procesador 134 puede controlar las operaciones generales del sistema de memoria 110, y una operación de escritura o una operación de lectura para el módulo de memoria 150, en respuesta a una solicitud de escritura o una solicitud de lectura recibida desde el dispositivo anfitrión 102, respectivamente. Por ejemplo, el procesador 134 puede ejecutar firmware, que puede denominarse capa de traducción flash (FTL, por sus siglas en inglés), para controlar las operaciones generales del sistema de memoria 110. El procesador 134 puede implementarse, por ejemplo, con un microprocesador o una unidad central de procesamiento (CPU, por sus siglas en inglés), o un circuito integrado de aplicación específica (ASIC, por sus siglas en inglés).

La Figura 2 es un diagrama de bloques que ilustra un dispositivo electrónico de ejemplo que incluye el sistema

de memoria 100 de acuerdo con uno o más aspectos de la divulgación. El dispositivo electrónico 200 puede incluir una interfaz de usuario 210, una memoria 220, un procesador de aplicación 230, un adaptador de red 240 y un sistema de almacenamiento 250 (que puede ser una modalidad del sistema de memoria 100 de la Figura 1). El procesador de aplicaciones 230 puede estar acoplado a los otros componentes a través de un bus, tal como un bus de interfaz de componentes periféricos (PCI, por sus siglas en inglés), incluyendo un bus PCI Express (PCIe).

El procesador de aplicaciones 230 puede ejecutar el código de programa informático, incluyendo aplicaciones, controladores y sistemas operativos, para coordinar la realización de tareas por componentes incluidos en el dispositivo electrónico 200. Por ejemplo, el procesador de aplicaciones 230 puede ejecutar un controlador de almacenamiento para acceder al sistema de almacenamiento 250. El procesador de aplicaciones 230 puede ser parte de un sistema en chip (SoC) que incluye uno o más componentes adicionales mostrados en el dispositivo electrónico 200.

La memoria 220 puede operar como una memoria principal, una memoria de trabajo, un búfer o una memoria caché del dispositivo electrónico 200. La memoria 220 puede incluir una memoria de acceso aleatorio volátil tal como una memoria de acceso aleatorio dinámica (DRAM), una memoria de acceso aleatorio dinámica síncrona (SDRAM, por sus siglas en

inglés), una SDRAM de doble velocidad de datos (DDR, por sus siglas en inglés), una SDRAM DDR2, una SDRAM DDR3, una SDRAM de doble velocidad de datos de baja potencia (LPDDR, por sus siglas en inglés), una SDRAM LPDDR2, una SDRAM LPDDR3 RAM, una SDRAM LPDDR4, una SDRAM LPDDR5, o una SDRAM LPDDR6, o una memoria de acceso aleatorio no volátil como una memoria de acceso aleatorio de cambio de fase (PRAM), una memoria resistiva de acceso aleatorio (ReRAM, por sus siglas en inglés), una memoria de acceso aleatorio magnético (MRAM) y una memoria de acceso aleatorio ferroeléctrica (FRAM). En algunos aspectos, el procesador de aplicaciones 230 y la memoria 220 pueden combinarse usando un paquete en paquete (POP).

El adaptador de red 240 puede comunicarse con dispositivos externos. Por ejemplo, el adaptador de red 240 puede soportar comunicaciones por cable y/o diversas comunicaciones inalámbricas tales como acceso múltiple por división de código (CDMA, por sus siglas en inglés), sistema global para comunicación móvil (GSM, por sus siglas en inglés), CDMA de banda ancha (WCDMA, por sus siglas en inglés), CDMA-2000, acceso múltiple por división de tiempo (TDMA), evolución a largo plazo (LTE, por sus siglas en inglés), interoperabilidad mundial para acceso por microondas (WiMAX, por sus siglas en inglés), red inalámbrica de área local (WLAN, por sus siglas en inglés), banda ultraancha (UWB, por sus siglas en inglés), Bluetooth, pantalla

inalámbrica (Wi-Di, por sus siglas en inglés), etc., y por lo tanto puede comunicarse con dispositivos electrónicos cableados y/o inalámbricos, por ejemplo, un móvil aparato electrónico.

5 El sistema de almacenamiento 250 puede almacenar datos, por ejemplo, datos recibidos desde el procesador de aplicaciones 230, y transmitir datos almacenados en este, al procesador de aplicaciones 230. El sistema de almacenamiento 250 puede ser un dispositivo de memoria
10 semiconductor no volátil, tal como una RAM de cambio de fase (PRAM), una RAM magnética (MRAM), una RAM resistiva (ReRAM, por sus siglas en inglés), una memoria flash NAND, una memoria flash NOR o una memoria flash NAND tridimensional (3-D). El sistema de almacenamiento 250 puede ser un medio
15 de almacenamiento extraíble, tal como una tarjeta de memoria o una unidad externa. Por ejemplo, el sistema de almacenamiento 250 puede corresponder al sistema de memoria 110 descrito anteriormente con referencia a la Figura 1 y puede ser una SSD, eMMC, UFS u otro sistema de memoria flash.

20 La interfaz de usuario 210 proporciona una o más interfaces gráficas de usuario (GUI, por sus siglas en inglés) para introducir datos o comandos al procesador de aplicaciones 230 o para enviar datos a un dispositivo externo. Por ejemplo, la interfaz de usuario 210 puede
25 incluir interfaces de entrada de usuario, tales como un teclado virtual, una pantalla táctil, una cámara, un

micrófono, un sensor de giroscopio o un sensor de vibración, e interfaces de salida de usuario, tales como una pantalla de cristal líquido (LCD, por sus siglas en inglés), un dispositivo de visualización de diodo emisor de luz orgánico (OLED, por sus siglas en inglés), un dispositivo de visualización OLED de matriz activa (AMOLED, por sus siglas en inglés), un diodo emisor de luz (LED, por sus siglas en inglés), un altavoz, o un motor háptico.

La Figura 3 es un diagrama de bloques que ilustra componentes para facilitar el acceso a un sistema de memoria flash desde un dispositivo anfitrión de acuerdo con algunas modalidades de la divulgación. El dispositivo anfitrión 102 accede al sistema de memoria 110 a través de la primera interfaz 310. La primera interfaz puede ser, por ejemplo, una interfaz física (PHY). El dispositivo anfitrión 102 puede incluir el bloque de acceso de capa física 312, que se configura para generar señales para su salida a la primera interfaz 310 y procesar señales recibidas a través de la primera interfaz 310. El sistema de memoria 110 incluye un bloque de acceso de capa física 322 configurado de manera similar para comunicarse en la primera interfaz 310. Un ejemplo de especificación de capa física para comunicarse en la primera interfaz 310 es la especificación de capa física MIPI M-PHY™.

El dispositivo anfitrión 102 también incluye un bloque de capa de enlace de datos 314 configurado para formatear cuadros de datos para su transmisión en la primera interfaz 310. Los cuadros pueden proporcionarse al bloque de acceso de capa física 312 para su transmisión. El bloque de capa de enlace de datos 314 puede recibir cuadros desde el bloque de acceso de capa física 312 y decodificar cuadros de datos recibidos en la primera interfaz 310. El sistema de memoria 110 incluye un bloque de capa de enlace de datos 324 configurado de manera similar para procesar cuadros transmitidos en o recibidos en la primera interfaz 310 por el bloque de acceso de capa física 322. Un ejemplo de protocolo de enlace de datos para comunicarse en un enlace físico MIPI M-PHY™ es la especificación MIPI UNIPRO™.

El sistema de memoria 110 incluye N unidades lógicas 350a-n que comprenden bloques de memoria lógica para almacenar información que incluye datos de usuario (p. ej., documentos de usuario, datos de aplicación) y datos de configuración (p. ej., información relativa a la operación del sistema de memoria 110). Las unidades lógicas 350a-n pueden mapear a porciones de los bloques de memoria física 152, 154 y 156. Algunas de las unidades lógicas 350a-n o porciones de las unidades lógicas 350a-n pueden configurarse con protección de escritura, con capacidad de arranque, como un tipo de memoria específico (p. ej., predeterminado, código de sistema, no persistente, mejorado), con acceso

prioritario o con protección de reproducción como un bloque de memoria protegido de reproducción (RPMB, por sus siglas en inglés). El bloque de acceso de capa física 322 y el bloque de capa de enlace de datos 324 realizan operaciones de un controlador de memoria para el sistema de memoria 110 para almacenar y recuperar datos en unidades lógicas 350a-n. Como un ejemplo particular, una o más unidades lógicas de las unidades lógicas 350a-n pueden configurarse como un búfer para el almacenamiento de información de configuración de PHY como se describe en la presente, tal como uno o más parches para configurar la interfaz 310 para operar a diferentes velocidades. Las unidades lógicas del búfer pueden configurarse para ser accesibles antes de que el sistema de memoria 110 se inicialice completamente, tal como antes de que se complete una operación fDeviceInit para el sistema de memoria, para permitir que una velocidad de comunicación a través de la interfaz 310 se incremente al principio en un proceso de arranque del dispositivo anfitrión 102. Una operación FDeviceInit puede ser una operación de inicialización para el sistema de memoria. En algunas modalidades, se puede establecer un indicador FDeviceInit al comienzo de una operación de inicialización para un sistema de memoria UFS y puede restablecerse cuando se completa la inicialización del sistema de memoria. En algunas modalidades, las unidades lógicas del búfer pueden

bloquearse o configurarse como de solo lectura para evitar la alteración de la información de configuración de PHY.

El sistema de memoria 110 también incluye estructuras de configuración 352. Las estructuras de configuración 352 pueden incluir información tal como 5 descriptores de configuración para habilitar el arranque (bBootEnable), modo de potencia inicial (bInitPowerMode), RPMB activo (bRPMBRegionEnable) y/o tamaños de región RPMB (bRPMBRegion1Size, bRPMBRegion2Size, bRPMBRegion3Size). 10 Tales estructuras de configuración pueden, por ejemplo, especificarse mediante el estándar UFS.

El dispositivo anfitrión 102 puede configurarse para ejecutar una o más aplicaciones 334, tales como aplicaciones de usuario ejecutadas por un sistema operativo 15 bajo el control de un usuario para recibir entrada de usuario y proporcionar información almacenada en el sistema de memoria 110 al usuario. El dispositivo anfitrión 102 puede incluir varios componentes para interrelacionar la aplicación 334 con el sistema de memoria 110 a través de la primera 20 interfaz 310. Por ejemplo, un controlador SCSI 332 y un controlador UFS 330 pueden interconectar la aplicación 334 con un controlador de memoria anfitriona que incluye el bloque de capa de enlace de datos 314 y el bloque de acceso de capa física 312. El controlador SCSI 332 puede ejecutarse 25 en una capa de aplicación para manejar transacciones solicitadas por la aplicación 334 con el sistema de memoria

110. El controlador UFS 330 puede ejecutarse en una capa de transporte y gestionar la operación del bloque de capa de enlace de datos 314, tal como para operar la primera interfaz 310 en uno de una pluralidad de modos de operaciones. Los
5 modos de operación pueden incluir dos o más configuraciones de engranaje, tales como una o más configuraciones PWM-GEAR y cuatro o más configuraciones HS-GEAR que especifican una tasa de bits de 182 MBps, 364 MBps, 728 MBps y 1457 MBps.

La primera interfaz 310 puede incluir una o más
10 líneas que incluyen una línea RST de restablecimiento, una línea REF_CLK de reloj de referencia, una línea DIN de entrada de datos (para transmisiones de datos desde el dispositivo anfitrión 102 al sistema de memoria 110) y una línea DOUT de datos de salida (para transmisiones de datos desde el sistema
15 de memoria 110 al dispositivo anfitrión 102). Las líneas DIN y DOUT pueden ser dos conductores separados, o las líneas DIN y DOUT pueden incluir varios conductores. En algunas modalidades, las líneas DIN y DOUT pueden ser asimétricas con la línea DIN que incluye N conductores y la línea DOUT
20 que incluye M conductores, con $N > M$ o $M > N$.

El controlador UFS 330 puede generar y decodificar paquetes para llevar a cabo transacciones solicitadas por la aplicación 334. Los paquetes se transmiten a través de la primera interfaz 310. Los
25 paquetes pueden ser formateados como Unidades de Información de Protocolo UFS (UPIU, por sus siglas en

inglés). En una transacción con el sistema de memoria 110, el dispositivo anfitrión 102 es un iniciador y el sistema de memoria 110 es un objetivo. El controlador UFS 330, basado en el tipo de transacción, puede formar uno de
5 varios tipos de UPIU para manejar comandos SCSI, operaciones de datos, operaciones de administración de tareas y/u operaciones de consulta. Cada transacción puede incluir un comando UPIU, cero o más UPIU de DATA IN o DATA OUT y una UPIU de respuesta. Cada UPIU puede incluir un
10 encabezado seguido de campos opcionales dependiendo del tipo de UPIU.

Un ejemplo de transacción es una operación de lectura. Una transacción de lectura puede incluir el iniciador (p. ej., el dispositivo anfitrión 102) que
15 transmite una orden UPIU para hacer que el objetivo (p. ej., el sistema de memoria 110) realice una operación de lectura solicitada por la aplicación 334. El destino proporciona uno o más UPIU de DATA IN en respuesta al comando UPIU, en el que la UPIU de DATA IN incluyen los
20 datos solicitados. La transacción de lectura es completada por el destino que transmite una UPIU de respuesta.

Otro ejemplo de transacción es una operación de escritura. Una operación de escritura puede incluir el iniciador (p. ej., el dispositivo anfitrión 102) que
25 transmite una orden UPIU para hacer que el objetivo (p. ej., el sistema de memoria 110) realice una operación de escritura

solicitada por la aplicación 334. El destino proporciona una UPIU Ready to Transfer que señala al iniciador para comenzar la transferencia de datos de escritura. A continuación, el iniciador transmite una o más UPIU de DATA OUT, que son
5 seguidas por una UPIU Ready to Transfer que señala al iniciador que continúe la transferencia de los datos de escritura. La secuencia de UPIU de DATA OUT y UPIU Ready to Transfer continúa hasta que se proporcionan todos los datos de escritura al destino, después de lo cual el destino
10 proporciona una UPIU de respuesta al iniciador.

Otro ejemplo de transacción es una operación de consulta. Una operación de consulta puede incluir el iniciador (p. ej., el dispositivo anfitrión 102) que solicita información sobre el objetivo (p. ej., el sistema
15 de memoria 110). El iniciador puede transmitir una UPIU de solicitud de consulta para solicitar información tal como configuración, enumeración, descriptor de dispositivo, indicadores y/o atributos del objetivo. Las operaciones de consulta de ejemplo incluyen descriptor de lectura,
20 descriptor de escritura, atributo de lectura, atributo de escritura, indicador de lectura, indicador de configuración, indicador claro y/o indicador de alternar. Los descriptores de ejemplo incluyen dispositivo, configuración, unidad, interconexión, cadena, geometría,
25 potencia y/o estado del dispositivo. Los indicadores de ejemplo incluyen fDeviceInit, fPermanenetWPEn,

fPowerOnWPEn, fBackgroundOpsEn, fDeviceLifeSpanModeEn,
fPurgeEnable, fRefreshEnable, fPhyResourceRemoval,
fBusyRTC, y/o fPermanentlyDisableFwUpdate. Los atributos de
ejemplo incluyen bBootLunEn, bCurrentPowerMode,
5 bActiveICCLLevel, bOutOfOrderDataEn, bBackgroundOpStatus,
bPurgeStatus, bMaxDataInSize, bMaxDataOutSize,
dDynCapNeeded, bRefClkFreq. Tales indicadores pueden ser,
por ejemplo, indicadores especificados por el estándar UFS.

Las operaciones y capacidades descritas
10 anteriormente pueden usarse para un sistema de memoria que
soporta el ajuste de una configuración de una PHY de acuerdo
con la información de configuración de PHY almacenada en una
memoria de un sistema de memoria conectado a un dispositivo
anfitrión por la PHY para permitir velocidades de
15 comunicación mejoradas a través de la PHY. El uso de un
búfer de una memoria del sistema de memoria para almacenar
la información de configuración de PHY puede permitir que
una configuración de PHY se actualice antes de completar un
proceso de inicialización del dispositivo anfitrión, tal
20 como antes de que se complete la inicialización de la memoria
en la que se encuentra el búfer, de tal manera que la
información de configuración de PHY se recupere de la
memoria antes de que la memoria se inicialice completamente.

Como se describe en la presente, un dispositivo
25 anfitrión puede estar conectado a un sistema de memoria, tal
como un sistema de memoria flash UFS, a través de una PHY.

En algunos casos, el dispositivo anfitrión, el sistema de memoria y la PHY pueden estar integrados en un único SoC. Durante la inicialización, o arranque, del dispositivo anfitrión, la PHY puede configurarse para operar a diferentes velocidades durante diferentes partes del proceso de inicialización. En algunos sistemas, como los sistemas en los que un dispositivo anfitrión está conectado a un sistema de memoria UFS o NVMe, la inicialización puede requerir una cantidad sustancial de tiempo, como entre 34 y 150 ms, debido a la inicialización de la PHY que conecta el dispositivo anfitrión al sistema de memoria, los requisitos de inicio de enlace, como la inicialización y negociación del enlace entre el dispositivo anfitrión y el sistema de memoria, y la inicialización del firmware, como la preparación de lógica a física (L2P, por sus siglas en inglés) tablas y otras actividades en segundo plano para el dispositivo anfitrión y/o sistema de memoria. Los tiempos de inicialización pueden variar según el proveedor y el tipo de dispositivo. En particular, diferentes dispositivos fabricados por diferentes proveedores pueden requerir diferentes cantidades de tiempo para diferentes etapas y operaciones de inicialización, tal como inicio de enlace, mensajería sin operación (NOP, por sus siglas en inglés), FDeviceInit y otras operaciones. Los tiempos de inicialización pueden verse afectados por los tiempos de inicialización de PHY, los tiempos de inicio de enlace, las velocidades de operación de

PHY lentas al leer desde la ROM de arranque y múltiples procesos de inicialización de UFS realizados durante el proceso de inicialización. En algunos casos de uso, tal como los casos de uso automotriz, puede ser deseable un tiempo de
5 inicialización reducido, como un tiempo de inicialización inferior a 50 ms.

Durante la inicialización de un dispositivo anfitrión, una PHY que conecta el dispositivo anfitrión a un sistema de memoria puede operar a diferentes velocidades
10 de enlace en diferentes momentos. Tal inicialización puede incluir la inicialización de la PHY que conecta el dispositivo anfitrión al sistema de memoria, la inicialización del dispositivo anfitrión y la inicialización del sistema de memoria. Aumentar la
15 velocidad a la que la PHY se configura para operar durante uno o más momentos del proceso de inicialización puede reducir la cantidad de tiempo requerido para el proceso de inicialización. Un ejemplo de proceso de inicialización 400
puede incluir la inicialización de la PHY, el sistema de
20 memoria y otros sistemas y/o dispositivos. El proceso de inicialización 400, que también puede denominarse proceso de arranque, puede dividirse en una pluralidad de etapas, como se muestra en la Figura 4A. En una primera etapa 402, que puede ser una etapa de carga de prearranque (PBL, por
25 sus siglas en inglés), una PBL puede configurar la PHY para operar a una velocidad más baja, tal como una velocidad de

engranaje de alta velocidad (HS-G1). Por ejemplo, la PHY puede configurarse por la PBL, en la primera etapa 402, para operar a la velocidad HS-G1 para minimizar los cambios posteriores de silicio en la PHY, lo que puede requerir un parchado de PBL. Al comienzo de la primera etapa 402, la PHY puede configurarse para operar a una velocidad de modulación de ancho de pulso 1 (PWM-1), que puede ser más lenta que una velocidad HS-G1. En la operación 418, el dispositivo anfitrión, la PHY y el sistema de memoria pueden encenderse e inicializarse para operar a baja velocidad, tal como PWM-1. Por ejemplo, tales operaciones pueden incluir un restablecimiento de encendido, un restablecimiento de hardware y un restablecimiento de punto final. Después de realizar tales reajustes, es posible que no haya tareas activas en los descriptores UFS del dispositivo y que los atributos e indicadores se establezcan en sus valores predeterminados. Además, los atributos UniPro pueden restablecerse. El sistema de memoria puede inicializarse mínimamente para permitir que el sistema de memoria comience a comunicarse con el dispositivo anfitrión a través de la PHY, y se puede realizar un procedimiento de inicio de enlace. Tal procedimiento de inicio de enlace puede inicializar un enlace más anterior entre el dispositivo anfitrión y el sistema de memoria a través de la PHY. Cuando se completa la operación 418, la velocidad de la PHY puede aumentar a

una velocidad HS-G1. En la operación 420, el dispositivo anfitrión puede leer desde uno o más números de búsqueda (LUN, por sus siglas en inglés) de arranque. En una segunda etapa 404, se puede realizar una reinicialización completa del sistema de memoria, y una velocidad de operación de la PHY puede aumentarse a una velocidad de engranaje 4 de alta velocidad (HS-G4). Por ejemplo, en la operación 422, el sistema de memoria, que puede ser un sistema de memoria UFS, y PHY pueden restablecerse y se puede realizar un procedimiento de inicio de enlace. Después del restablecimiento, una velocidad de la PHY puede reducirse a una velocidad PWM-1 hasta que, en la operación 424, se reinicialice el UFS, se transmita un NOP OUT por el dispositivo anfitrión, un NOP IN sea recibido por el dispositivo anfitrión y se complete una etapa de inicialización del sistema de memoria, tal como fDeviceInit. Una vez completada la operación 424, la PHY puede configurarse para operar a una velocidad HS-G4, donde la PHY puede, en la operación 426, leer de todos los LUN del sistema de memoria. Las velocidades, tal como PWM-1, HS-G1, HS-G2, HS-G3 y HS-G4 pueden ser, por ejemplo, velocidades especificadas por el estándar UFS.

Durante el proceso de inicialización 400, se pueden realizar múltiples reajustes e inicializaciones del sistema de memoria. Por ejemplo, un primer restablecimiento e inicialización durante la primera etapa 402 y un segundo

restablecimiento e inicialización durante la segunda etapa 404. Tales reajustes y las operaciones de inicialización e inicio de enlace asociadas pueden contribuir sustancialmente a un tiempo de inicialización. Por ejemplo, los inicio de 5 enlace asociados con los restablecimientos pueden contribuir hasta 80 ms de tiempo de inicialización y cada inicio de enlace añade 20-30 ms al tiempo de inicialización. Además, durante las etapas de arranque posteriores, se puede realizar una reinicialización completa en la PHY y el sistema de 10 memoria, incluyendo la configuración de la PHY para operar a una velocidad HS-G4, un procedimiento de inicio de enlace, un procedimiento FDeviceInit y otras operaciones de arranque. El inicio de enlace realizado en la operación 422 puede invalidar y/o restablecer cualquier inicialización realizada 15 por el sistema de memoria antes de la operación 422.

Para reducir un tiempo de inicialización, tal como un tiempo de arranque, un dispositivo anfitrión puede realizar una inicialización del sistema de memoria y PHY durante el procedimiento de inicialización. Sin embargo, 20 para permitir que la PHY se inicialice para operar a una velocidad mayor durante la etapa de PBL 402, la información de configuración de PHY almacenada en una memoria, tal como una memoria flash, del sistema de memoria puede usarse para parchar la PHY para la operación a una velocidad más alta, 25 tal como una velocidad HS-G4. Por ejemplo, uno o más de los procedimientos de inicio e inicialización del enlace para

el sistema de memoria se pueden eliminar, y un procedimiento de inicio de enlace y PHY se realiza una sola vez durante todo el procedimiento de inicialización. En algunos casos, se pueden eliminar dos inicios de enlace y un procedimiento de inicialización de dispositivos. La eliminación de uno o más procedimientos de reinicialización para la PHY y/o el sistema de memoria puede reducir un tiempo de inicialización hasta o superior a 70 ms. Además, el sistema de memoria puede configurarse para completar la inicialización en segundo plano durante la segunda etapa 404 y etapas posteriores que pueden permitir omitir una o más operaciones NOP y FDeviceInit realizadas durante la segunda etapa de inicialización 404. La PHY también se puede inicializar, durante una etapa de PBL, para operar a una velocidad mayor, como HS-G4 en lugar de HS-G1, reduciendo aún más el tiempo de inicialización. Por ejemplo, como se muestra en el proceso 450 de la Figura 4B, se puede aumentar una velocidad de la PHY desde una velocidad de PWM-1 al comienzo de la primera etapa 402 del proceso de inicialización hasta una velocidad de HS-G4. El dispositivo anfitrión puede leer desde el LUN de arranque a 420 a una velocidad de HS-G4, en lugar de HS-G1, como se muestra en la Figura 4A. Además, la operación 422 puede omitirse, y la operación 452 puede incluir la inicialización completa del sistema de memoria que incluye una operación FDeviceInit mientras que la PHY

permanece configurada para operar a la velocidad de HS-G4 a través de la segunda etapa 404 y etapas posteriores.

La configuración de una PHY para operar a alta velocidad al principio del proceso de arranque, como una
5 velocidad mayor que HS-G1, puede incluir la actualización de una configuración de la PHY. Tal actualización puede plantear desafíos debido a las limitaciones en las actualizaciones posteriores de silicio para el firmware PHY y la aplicación de parches de ROM PBL. La configuración de la PHY para operar
10 a alta velocidad al principio del proceso de arranque, como durante la etapa de PBL 402, puede aumentar el riesgo de requisitos de parchado de PBL debido a la caracterización de PHY posterior al silicio y también puede aumentar el riesgo de cambios de PHY posteriores de silicio debido a ajustes
15 específicos de la placa del cliente. Habilitar la actualización de una configuración de PHY para facilitar la operación de PHY a velocidades mayores que HS-G1 durante la etapa PBL 402 puede incluir el uso de asignación de espacio de parche de PBL adicional para soportar tal parche y para
20 soportar actualizaciones de PHY UFS que pueden producirse después de la caracterización posterior de silicio. Tal espacio de parche de PBL adicional puede aumentar el costo de un SoC que incluye el dispositivo anfitrión, la PHY y el sistema de memoria. Sin embargo, tales problemas pueden
25 mejorar mediante el uso de un búfer ubicado en una memoria, tal como una memoria flash, del sistema de memoria para el

almacenamiento de información de configuración de PHY, tal como uno o más parches de PHY, para actualizar la PHY para operar a una mayor velocidad. Por ejemplo, una PHY puede parcharse usando información de configuración de PHY almacenada en un búfer de una memoria del sistema de memoria que es accesible al principio en el proceso de inicialización, tal como después de la realización de una inicialización mínima del sistema de memoria en la operación 418, y antes de que se complete la inicialización del sistema de memoria, tal como antes de que se complete una operación FDeviceInit en 452. La actualización de una configuración de la PHY para operar a velocidades mejoradas al principio de un proceso de inicialización puede reducir la cantidad de tiempo necesario para completar el proceso de inicialización. Por ejemplo, en el proceso 400 de la Figura 4A, la PHY puede configurarse para operar a una velocidad HS-G1 durante la etapa PBL 402, mientras que en el proceso 450 de la Figura 4B, la PHY puede configurarse para operar a una velocidad HS-G4, u otra, mayor, durante la etapa PBL 402. Una velocidad a la que se puede reconfigurar la PHY para operar puede estar limitada por una versión de la especificación UFS soportada por la PHY. Por ejemplo, si la PHY soporta UFS 2.x, se puede soportar una velocidad máxima de engranaje de alta velocidad tres (HS-G3), Velocidad B, 2L, si la PHY soporta UFS 3.1, se puede soportar una velocidad de HS-G4, Velocidad B, 2L, y si

la PHY soporta UFS 4.0, puede ser compatible una velocidad de engranaje de alta velocidad cinco (HS-G5), Tasa B, 2L.

Como un ejemplo particular, la Figura 5 es un diagrama de flujo que ilustra un proceso de inicialización de ejemplo, que puede ser similar al proceso de inicialización 400 de la Figura 4A. En algunas modalidades, las etapas del método 500 pueden ser realizadas por un dispositivo anfitrión conectado a un sistema de memoria mediante una PHY. En algunas modalidades, una o más de las etapas pueden ser realizadas por la PHY y/o el sistema de memoria. El método 500 puede incluir, en el bloque 502, configurar una PHY que conecte un dispositivo anfitrión a un sistema de memoria para operar a una primera velocidad, tal como un modo de velocidad altamente confiable. Tal modo de velocidad puede ser, por ejemplo, una velocidad HS-G1. Tal configuración puede ser realizada por una PBL del dispositivo anfitrión.

En el bloque 504, se puede realizar un primer inicio de enlace. Por ejemplo, se puede inicializar un enlace entre el dispositivo anfitrión y el sistema de memoria. Durante tal etapa, la PHY puede operar a una velocidad PWM-1. Tal inicio de enlace puede incluir transmitir un mensaje NOP OUT a un controlador del sistema de memoria y recibir un mensaje NOP IN desde el controlador del sistema de memoria.

En el bloque 506, se puede realizar un interruptor de marcha para que la PHY opere a una velocidad

HS-G1. Tal interruptor de engranaje puede, por ejemplo, realizarse en base a la configuración del bloque 502.

En el bloque 508, una consulta de dispositivo puede transmitirse desde el dispositivo anfitrión y ser recibida por el sistema de memoria, y el dispositivo anfitrión puede recibir una respuesta del sistema de memoria. La respuesta puede incluir, por ejemplo, información relativa al sistema de memoria, tal como una clase del sistema de memoria, una configuración del proceso de arranque del sistema de memoria, uno o más LUN del sistema de memoria en el que se almacena la información de arranque, un ID de secuencia de arranque y otra información para la inicialización del dispositivo anfitrión, la PHY y el sistema de memoria.

En el bloque 510, el dispositivo anfitrión puede leer información de uno o más LUN de arranque. Tal información puede incluir, por ejemplo, código de arranque para la inicialización del dispositivo anfitrión, la PHY y/o el sistema de memoria. En particular, el dispositivo anfitrión puede transmitir una o más solicitudes READ de interfaz de sistema informático pequeño (SCSI) al sistema de memoria para leer el código de arranque desde una unidad lógica de arranque bien conocida.

En el bloque 512, se puede realizar un restablecimiento de UFS en el sistema de memoria. Por ejemplo, el dispositivo anfitrión puede restablecer

completamente el sistema de memoria para facilitar la configuración de la PHY para operar a una velocidad mayor.

En el bloque 514, la PHY puede configurarse para operar a una velocidad aumentada, tal como en un modo de alta velocidad. Por ejemplo, la PHY puede configurarse para operar en un modo de velocidad más alta, tal como una velocidad HS-G4. Tal configuración puede, por ejemplo, ser realizada por software.

En el bloque 516, se puede realizar un procedimiento de inicio de enlace. El procedimiento de inicio de enlace del bloque 516 puede ser, por ejemplo, un segundo o tercer procedimiento de inicio de enlace de un proceso de inicialización.

En el bloque 518, se puede realizar una operación FDeviceInit para completar la inicialización del sistema de memoria.

En el bloque 520, se puede realizar un interruptor de marcha para que la PHY opere en un modo de alta velocidad, tal como en un modo de velocidad HS-G4. En algunas modalidades, tal configuración puede incluir configuración para operar en un modo de velocidad más alta soportado por el sistema de memoria. Por ejemplo, una velocidad de operación de la PHY puede aumentar de PWM-1 a HS-G4.

En el bloque 522, una consulta de dispositivo puede transmitirse desde el dispositivo anfitrión y ser recibida por el sistema de memoria, y el dispositivo

anfitrión puede recibir una respuesta del sistema de memoria. Tales operaciones pueden ser similares a las operaciones descritas en el bloque 508.

En el bloque 524, el dispositivo anfitrión puede
5 leer información de uno o más LUN de arranque.

Sin embargo, el uso de la información de configuración de PHY desde un búfer de una memoria del sistema de memoria puede permitir una reducción en el tiempo de arranque al permitir que la configuración de la PHY opere
10 a una velocidad más alta al principio del proceso de arranque y al permitir la omisión de una o más operaciones de restablecimiento, inicialización e inicio de enlace. Por ejemplo, las operaciones de los bloques 512-516 del método 500 pueden omitirse mediante el uso de tal información de
15 configuración. Un método 600 de ejemplo que incluye el uso de información de configuración de PHY almacenada en un búfer de un sistema de memoria conectado a un dispositivo anfitrión por la PHY para aumentar la velocidad de la PHY al principio del proceso de arranque se muestra en la Figura
20 6. El método 600 puede incluir, en el bloque 602, configurar una PHY que conecta un dispositivo anfitrión a un sistema de memoria para operar a una primera velocidad, tal como para operar en un modo confiable de baja velocidad. La primera velocidad puede ser, por ejemplo, una velocidad HS-
25 G1 o una PWM-1. Tal configuración puede ser realizada por una PBL del dispositivo anfitrión para permitir que el

dispositivo anfitrión lea desde un búfer, tal como desde un búfer SoC, almacenando información de configuración de PHY.

En el bloque 604, se puede realizar un inicio de enlace. Por ejemplo, se puede inicializar un enlace entre el dispositivo anfitrión y el sistema de memoria. Durante tal etapa, la PHY puede operar a una velocidad PWM-1. El inicio de enlace del bloque 604 puede ser, por ejemplo, el único procedimiento de inicio de enlace realizado durante el método 600, donde se pueden realizar múltiples procedimientos de inicio de enlace en el método 500.

En el bloque 606, el dispositivo anfitrión puede leer información de configuración de PHY desde un búfer, tal como un búfer del sistema de memoria. Como se describe, en la presente, la información de configuración de PHY puede incluir uno o más parches para parchar una PHY. La información de configuración de PHY puede incluir, por ejemplo, instrucciones para parchar la PHY para operar a una velocidad mayor. En algunas modalidades, la información de configuración de PHY puede incluir información que identifica una temporización de aplicación de un parche a la PHY, una velocidad de reloj de la PHY, y otra información para configurar la PHY. La información de configuración de PHY puede, por ejemplo, ser transferida desde el sistema de memoria al dispositivo anfitrión por la PHY mientras la PHY está operando a una velocidad de PWM-1 o HS-G1. El búfer puede, en algunas modalidades, ser un búfer SoC. En algunas

modalidades, el búfer puede estar ubicado en una región de datos de personalización del fabricante de equipos originales (OEM) de una memoria. Por ejemplo, el búfer puede estar ubicado en una región de datos de un campo descriptor de configuración para permitir que el dispositivo anfitrión programe y/o bloquee cualquier dato específico del anfitrión. Por lo tanto, el búfer puede estar ubicado en una memoria de solo lectura del dispositivo anfitrión. El dispositivo anfitrión puede ser capaz de acceder a tales datos con una latencia mínima al principio durante la inicialización del dispositivo de memoria, como al principio de una etapa de inicialización PBL. Por ejemplo, en algunas modalidades, tales datos pueden ser accesibles dentro de los 5 ms del comienzo de un proceso de inicialización. Por ejemplo, el dispositivo anfitrión puede acceder a tales datos antes de que el dispositivo anfitrión comience a leer desde uno o más LUN de arranque del sistema de memoria. Sin embargo, tales datos pueden estar protegidos para evitar modificaciones después de que el dispositivo salga de fábrica y, por lo tanto, tal región puede estar marcada como de solo lectura. Sin embargo, el almacenamiento de los datos de configuración de PHY en un búfer de memoria de solo lectura del dispositivo anfitrión puede requerir una mayor cantidad de memoria de solo lectura, lo que puede aumentar el costo del dispositivo.

Como otro ejemplo, el búfer puede estar ubicado en una memoria no volátil, tal como una memoria flash, del

sistema de memoria. El búfer puede etiquetarse como SOC_BUFFER. Los datos almacenados en el búfer pueden ser accesibles en cualquier momento después de que se realice una función RST_n al principio de un proceso de arranque.

5 El búfer puede estar disponible para escribir información de configuración de PHY, como para escribir uno o más parches de PHY, durante una fase de aprovisionamiento del dispositivo mediante un comando WRITE BUFFER. El búfer puede bloquearse posteriormente mediante un comando

10 bConfigdeScrlock, que puede hacer que el búfer sea de solo lectura. Tal búfer puede proporcionar acceso de baja latencia a la información de configuración de PHY. En algunas modalidades, la latencia de tal búfer puede ser menor que una latencia de un búfer almacenado en la memoria

15 NAND. Como un ejemplo particular, el anfitrión puede determinar que se soporta un búfer de configuración de PHY en una memoria del sistema de memoria cuando una variable MODE se establece en 02 h y un ID de búfer se establece en F0h. La información de configuración de PHY puede leerse

20 desde el búfer por el dispositivo anfitrión usando un comando READ BUFFER durante la inicialización. En algunas modalidades, la información de configuración de PHY puede leerse desde el búfer por el dispositivo anfitrión antes de que se complete la inicialización del sistema de memoria,

25 tal como la inicialización de la memoria flash en la que se encuentra el búfer. La información de configuración de PHY

almacenada en el búfer puede incluir información para
ajustar una configuración de la PHY para operar a una
velocidad mayor. Por ejemplo, la información de
configuración de PHY puede incluir información para parchar
5 la PHY para operar a la velocidad más alta soportada por una
versión UFS del sistema de memoria. En algunas modalidades,
el búfer puede incluir una biblioteca de parches de PHY para
diferentes velocidades PHY máximas, y un parche de PHY puede
seleccionarse basándose en una versión UFS del sistema de
10 memoria. En algunas modalidades, la etiqueta de búfer, las
órdenes y las funciones pueden ser etiquetas, funciones y
órdenes identificadas por el estándar UFS.

En el bloque 608, la PHY puede configurarse para
operar a una segunda velocidad más alta, en base a la
15 información de configuración de PHY. Por ejemplo, una
configuración de la PHY puede actualizarse basándose en la
información de configuración de PHY almacenada en el búfer,
tal como el búfer SoC. Por ejemplo, una configuración de
la PHY puede actualizarse para ajustar una velocidad de la
20 PHY desde una primera velocidad más lenta, tal como PWM-1
o HS-G1, a una velocidad más alta, tal como engranaje de
alta velocidad 2 (HS-G2), HS-G3, HS-G4, HS-G5, u otra
velocidad más alta. Tal ajuste puede incluir, por ejemplo,
aplicar un parche a la PHY.

25 En el bloque 610, se puede realizar un segundo
procedimiento de inicio de enlace. Por ejemplo, se puede

restablecer un enlace entre el dispositivo anfitrión y el sistema de memoria a través de la PHY.

En el bloque 612, se puede realizar un interruptor de marcha en la PHY y la PHY puede comenzar a
5 operar a la velocidad más alta soportada por el ajuste a la configuración de PHY. Por ejemplo, la PHY puede comenzar a operar a una velocidad de HS-G2, HS-G3, HS-G4, HS-G5.

En el bloque 614, una consulta de dispositivo puede transmitirse desde el dispositivo anfitrión y ser
10 recibida por el sistema de memoria, y el dispositivo anfitrión puede recibir una respuesta del sistema de memoria. Tales operaciones pueden ser similares a las operaciones descritas en el bloque 508.

En el bloque 616, el dispositivo anfitrión puede
15 leer desde uno o más LUN de arranque del sistema de memoria a la velocidad más alta soportada por la PHY, tal como HS-G4.

En el bloque 618, se puede realizar una operación FDeviceInit, y se puede completar una inicialización del sistema de memoria. Por lo tanto, la información de
20 configuración de PHY puede leerse desde una memoria del sistema de memoria, y la PHY puede configurarse para operar a una velocidad más alta en base a la información de configuración de PHY, antes de que se complete la inicialización del sistema de memoria. Por ejemplo, en el
25 método descrito con respecto a la Figura 5, sin el búfer que contiene información de configuración de PHY, la PHY

puede no operar a una velocidad máxima hasta después de que se complete la operación FDeviceInit, mientras que el uso de un búfer que contiene información de configuración de PHY para actualizar una configuración de la PHY como se describe con respecto a la Figura 6 puede permitir que la PHY opere a una velocidad más alta, tal como HS-G4, incluso antes de la inicialización de la memoria que incluye el búfer está completo.

En el bloque 620, una consulta de dispositivo puede transmitirse desde el dispositivo anfitrión y ser recibida por el sistema de memoria, y el dispositivo anfitrión puede recibir una respuesta del sistema de memoria. Tales operaciones pueden ser similares a las operaciones descritas en el bloque 508.

En el bloque 622, el dispositivo anfitrión puede leer desde todos los LUN. Por ejemplo, los datos pueden leerse de todos los LUN del sistema de memoria a la velocidad más alta soportada. Por lo tanto, el uso de la información de configuración de PHY almacenada en un búfer para parchar un PHY para operar a una velocidad más alta al principio del proceso de arranque puede reducir el tiempo del proceso de arranque.

La Figura 7 es un diagrama de flujo que ilustra un método para actualizar una configuración de una PHY para operar a alta velocidad al principio de un proceso de inicialización por un controlador anfitrión de acuerdo con

algunas modalidades de la divulgación. Un método 700 incluye, en el bloque 702, la inicialización, por el controlador anfitrión de un dispositivo anfitrión, una PHY que conecta el controlador de memoria del dispositivo anfitrión a un sistema de memoria para operar a una primera velocidad. Por ejemplo, el dispositivo anfitrión, la PHY y el sistema de memoria pueden estar incluidos en un SoC. Un proceso de inicialización para el dispositivo anfitrión puede incluir la inicialización de la PHY y el sistema de memoria. El sistema de memoria puede ser, por ejemplo, un sistema de memoria UFS que incluye una o más memorias flash. El proceso de inicialización también puede denominarse proceso de arranque. La PHY puede, por ejemplo, inicializarse al finalizar el encendido y la inicialización mínima del sistema de memoria para operar a una primera velocidad. La primera velocidad puede ser, por ejemplo, una velocidad baja, como una velocidad PWM-1 o una velocidad HS-G1. El proceso de inicialización puede incluir, por ejemplo, un proceso de inicio de enlace, también denominado proceso de inicialización de enlace, para inicializar un enlace entre el controlador de memoria del dispositivo anfitrión y el sistema de memoria a través de la PHY. Tal inicialización puede, por ejemplo, realizarse por una PBL del dispositivo anfitrión durante una etapa de PBL de inicialización del dispositivo anfitrión.

En el bloque 704, el controlador de memoria del dispositivo anfitrión puede transmitir una solicitud de información de configuración de PHY para configurar la PHY para operar a una segunda velocidad. Por ejemplo, el controlador de memoria puede transmitir una solicitud, a través de la PHY, al sistema de memoria para obtener información de configuración de PHY para configurar la PHY para operar a una segunda velocidad desde un primer búfer del sistema de memoria. La información de configuración de PHY puede incluir, por ejemplo, un parche de PHY asociado con una segunda velocidad, mayor que la primera velocidad. Por ejemplo, la información de configuración de PHY puede incluir parámetros de engranaje más altos para la reconfiguración de la PHY. Como otro ejemplo, la información de configuración de PHY puede incluir una o más actualizaciones posteriores de silicio a una configuración de PHY, tales como actualizaciones para aumentar una velocidad de la PHY, parchar uno o más errores de PHY, optimizar la PHY para la operación con un dispositivo anfitrión y/o sistema de memoria particular, o ajustar de cualquier otra manera la operación de PHY. Por ejemplo, la información de configuración de PHY puede incluir uno o más parámetros de ajuste de PHY. El primer búfer puede ser, por ejemplo, un búfer SoC almacenado en una memoria flash del sistema de memoria. El búfer puede ser, por ejemplo, una porción de una memoria en el sistema de memoria, tal como

una memoria flash asignada para su uso por el dispositivo anfitrión para almacenar información de configuración de PHY y, en algunas modalidades, otra información. Otra información almacenada por el búfer puede incluir, por ejemplo, otra

5 información para la configuración del dispositivo anfitrión y/o SoC, tal como información para su uso por el dispositivo anfitrión antes de que se complete la inicialización del sistema de memoria. Por ejemplo, otra información almacenada por el búfer puede incluir información de configuración de

10 SoC o anfitrión para habilitar o deshabilitar interfaces de hardware o software y/o ajustar otros parámetros de configuración de hardware o software. El búfer puede incluir, por ejemplo, información de configuración de PHY para configurar la PHY para operar a una o más velocidades mayores

15 que la primera velocidad, tal como HS-G2, HS-G3, HS-G4, HS-G5 u otra velocidad mayor. En algunas modalidades, la solicitud puede incluir, por ejemplo, un comando READ BUFFER. Tal comando puede usarse para acceder a la información almacenada en el búfer antes de que el dispositivo anfitrión

20 se inicialice completamente y después de que el dispositivo anfitrión esté completamente inicializado. Un tamaño del búfer puede ser, por ejemplo, de 4 kB. En algunas modalidades, el búfer puede almacenar uno o más parches de PHY para parchar la PHY para operar a una o más velocidades más altas. En

25 algunas modalidades, la solicitud puede especificar un parche de PHY particular que se recuperará del búfer. Por ejemplo,

la solicitud puede especificar un parche de PHY para configurar la PHY para que opere a la velocidad más alta soportada por una versión UFS del sistema de memoria. Tal solicitud puede, por ejemplo, ser transmitida por una PBL del dispositivo anfitrión durante una etapa de PBL de inicialización del dispositivo anfitrión. En algunas modalidades, el búfer puede configurarse como de solo lectura, para evitar la revisión de la información de configuración de PHY. En algunas modalidades, la solicitud puede transmitirse después de la recepción de un primer NOP IN desde el sistema de memoria y antes de la transmisión de una primera consulta de dispositivo al sistema de memoria.

En algunas modalidades, el búfer puede actualizarse usando una orden WRITE BUFFER después de que el dispositivo anfitrión se inicialice completamente. Por ejemplo, si una variable BConfigdeScrlock se establece en 00h, el sistema de memoria puede procesar comandos WRITE BUFFER dirigidos al búfer. En algunas modalidades, sin embargo, el búfer puede estar bloqueado y puede ser de solo lectura. En tales modalidades, la variable bConfigdeScrlock se puede establecer en un valor de 01h, y el sistema de memoria, tal como un controlador de memoria del sistema de memoria, puede terminar los comandos WRITE BUFFER recibidos dirigidos al búfer con un CHECK CONDITION STATUS con una variable SENSE KEY configurada en DATA PROTECT. En algunas

modalidades, las variables de búfer y los comandos pueden ser variables y comandos identificados por el estándar UFS.

En el bloque 706, el controlador de memoria del dispositivo anfitrión puede recibir la información de configuración de PHY del sistema de memoria. Por ejemplo, la información de configuración de PHY solicitada puede ser recibida por el controlador de memoria a través de la PHY que conecta el controlador de memoria del dispositivo anfitrión al sistema de memoria. La información de configuración de PHY solicitada puede, por ejemplo, ser recibida por una PBL del dispositivo anfitrión durante una etapa de PBL de inicialización del dispositivo anfitrión.

En el bloque 708, el controlador de memoria del dispositivo anfitrión puede ajustar una configuración de la PHY de acuerdo con la información de configuración de PHY para operar a la segunda velocidad. Por ejemplo, el controlador de memoria puede aplicar un parche de la información de configuración al PHY para ajustar una configuración de la PHY de tal manera que la PHY comience a operar a la segunda velocidad mayor. El controlador de memoria puede entonces comunicarse con el sistema de memoria a través de la PHY a la segunda velocidad más alta. La configuración de la PHY puede, por ejemplo, ser ajustada por una PBL del dispositivo anfitrión durante una etapa de PBL de inicialización del dispositivo anfitrión. En algunas modalidades, el controlador de memoria del dispositivo

anfitrión puede configurarse para completar la inicialización del sistema de memoria, tal como la inicialización de la memoria flash que incluye el búfer que almacena la información de configuración de PHY, después del ajuste de la configuración de la PHY para operar a la segunda velocidad. Por ejemplo, una parte o la totalidad de una operación FDeviceInit puede realizarse y completarse después de que se actualice la configuración de la PHY para la operación de la PHY a la segunda velocidad. Así, una configuración de una PHY puede actualizarse para aumentar una velocidad de la PHY durante una fase PBL de un proceso de inicialización, y la PHY puede proceder para facilitar la comunicación entre el dispositivo anfitrión y el sistema de memoria a mayor velocidad durante la fase PBL del proceso de inicialización y durante las fases posteriores del proceso de inicialización. El uso de tal búfer puede permitir actualizaciones posteriores de silicio para facilitar velocidades de PHY mejoradas sin requerir memoria adicional de solo lectura de arranque para el dispositivo anfitrión. Por lo tanto, tal búfer puede permitir un proceso de arranque optimizado, reduciendo el tiempo de inicialización, permitiendo el almacenamiento de parámetros de engranaje más altos y la reconfiguración de la PHY para operar a velocidades más altas durante las etapas de inicialización de PBL y del cargador de arranque. La inclusión del búfer en la memoria del sistema de memoria puede permitir la optimización de la

memoria de sólo lectura de arranque del dispositivo anfitrión. Por ejemplo, en lugar de requerir un nuevo giro de cubo cuando se encuentran errores de memoria de solo lectura o ineficiencia en una memoria de solo lectura del dispositivo anfitrión, el búfer puede almacenar parches en el código ROM para resolver errores y/o mejorar el rendimiento. Además, tal búfer puede usarse para almacenar una o más operaciones personalizadas para una o más etapas de inicialización del dispositivo anfitrión.

La Figura 8 es un diagrama de flujo que ilustra un método 800 para actualizar una configuración de una PHY para operar a alta velocidad al principio de un proceso de inicialización mediante un sistema de memoria flash de acuerdo con algunas modalidades de la divulgación. El sistema de memoria puede, por ejemplo, estar conectado a un controlador de memoria del dispositivo anfitrión a través de una PHY. El método 800 puede ser realizado por un controlador de memoria del sistema de memoria flash. El método 800 incluye, en el bloque 802, recibir, mediante un controlador de memoria del sistema de memoria desde un dispositivo anfitrión, después de inicializar una PHY que conecta el controlador de memoria al dispositivo anfitrión para operar a una primera velocidad, una solicitud de información de configuración de PHY para configurar la PHY para operar a una segunda velocidad, mayor que la primera velocidad, desde un primer búfer. La solicitud puede ser, por ejemplo, la

solicitud descrita con respecto al bloque 704 de la Figura 7, y el búfer puede ser un búfer que almacena información de configuración de PHY, tal como uno o más parches de PHY, como se describe con respecto a la Figura 7.

5 En el bloque 804, el controlador de memoria puede transmitir una información de configuración de PHY al dispositivo anfitrión. Por ejemplo, el controlador de memoria del sistema de memoria puede transmitir la información de configuración de PHY solicitada para actualizar la PHY a un
10 controlador de memoria del dispositivo anfitrión, como se describe con respecto al bloque 706 de la Figura 7. Por lo tanto, el controlador de memoria puede recibir la solicitud y puede transmitir la información de configuración de PHY antes de que el sistema de memoria se inicialice
15 completamente, tal como antes de que se complete una operación fDeviceInit para el sistema de memoria. El dispositivo anfitrión puede entonces ajustar una configuración de la PHY de acuerdo con la información de configuración de PHY de tal manera que la PHY esté configurada
20 para operar a la segunda velocidad. El dispositivo anfitrión puede entonces comunicarse con el controlador de memoria del sistema de memoria a través de la PHY a la segunda velocidad.

Las operaciones del método 500, método 600, método 700 o método 800 pueden ser realizadas por un UE, tal como
25 un UE descrito con referencia a la Figura 9. Por ejemplo, operaciones de ejemplo (también denominadas “bloques”) del

método 500, método 600, método 700 o método 800 pueden permitir que el UE 915 admita una mayor confidencialidad de datos de usuario. La Figura 9 es un diagrama de bloques que ilustra detalles de un sistema de comunicación inalámbrica de ejemplo de acuerdo con uno o más aspectos. El sistema de comunicación inalámbrica puede incluir la red inalámbrica 900. La red inalámbrica 900 puede incluir, por ejemplo, una red inalámbrica 5G. Como aprecian los expertos en la técnica, es probable que los componentes que aparecen en la Figura 9 tengan contrapartes relacionadas en otras disposiciones de red que incluyen, por ejemplo, disposiciones de red de estilo celular y disposiciones de red no de estilo celular (p. ej., dispositivo a dispositivo o disposiciones de red de igual a igual o ad hoc, etc.).

La red inalámbrica 900 ilustrada en la Figura 9 incluye un número de estaciones base 905 y otras entidades de red. Una estación base puede ser una estación que se comunica con los UE y también puede denominarse un nodo B evolucionado (eNB, por sus siglas en inglés), un eNB de próxima generación (gNB, por sus siglas en inglés), un punto de acceso y lo similar. Cada estación base 905 puede proporcionar cobertura de comunicación para un área geográfica particular. En 3GPP, el término “celda” puede referirse a esta área de cobertura geográfica particular de una estación base o un subsistema de estación base que atiende el área de cobertura, dependiendo del contexto en el que se

utilice el término. En implementaciones de la red inalámbrica 900 en la presente, las estaciones base 905 pueden estar asociadas con un mismo operador u operadores diferentes (p. ej., la red inalámbrica 900 puede incluir una pluralidad de
5 redes inalámbricas de operador). Adicionalmente, en implementaciones de la red inalámbrica 900 en la presente, la estación base 905 puede proporcionar comunicaciones inalámbricas usando una o más de las mismas frecuencias (p. ej., una o más bandas de frecuencia en espectro licenciado,
10 espectro sin licencia, o una combinación de estas) como una celda vecina. En algunos ejemplos, una estación base individual 905 o UE 915 puede operarse por más de una entidad operativa de red. En algunos otros ejemplos, cada estación base 905 y UE 915 puede operarse por una única entidad
15 operativa de red.

Una estación base puede proporcionar cobertura de comunicación para una macrocelda o una celda pequeña, tal como una picocelda o una femtocelda, u otros tipos de celda. Una macrocelda generalmente cubre un área geográfica
20 relativamente grande (p. ej., varios kilómetros de radio) y puede permitir el acceso sin restricciones por parte de los UE con suscripciones de servicio con el proveedor de red. Una celda pequeña, tal como una picocelda, generalmente cubriría un área geográfica relativamente más
25 pequeña y podría permitir el acceso sin restricciones por parte de los UE con suscripciones de servicio con el

proveedor de red. Una celda pequeña, tal como una femtocelda, también cubriría generalmente un área geográfica relativamente pequeña (p. ej., un hogar) y, además del acceso sin restricciones, también puede proporcionar acceso restringido por los UE que tienen una asociación con la femtocelda (p. ej., UE en un grupo cerrado de suscriptores (CSG, por sus siglas en inglés), UE para usuarios en el hogar y lo similar). Una estación base para una macrocelda puede denominarse macro estación base. Una estación base para una celda pequeña puede denominarse estación base de celda pequeña, una estación base pico, una estación base femto o una estación base doméstica. En el ejemplo mostrado en la Figura 9, las estaciones base 905d y 905e son macroestaciones base regulares, mientras que las estaciones base 905a-905c son macro estaciones base habilitadas con una de 3 dimensiones (3D, por sus siglas en inglés), dimensión completa (FD, por sus siglas en inglés), o MIMO masivo. Las estaciones base 905a-905c aprovechan sus capacidades MIMO de mayor dimensión para explotar la formación de ejes 3D tanto en elevación como en formación de haces azimuth para aumentar la cobertura y la capacidad. La estación base 905f es una estación base celular pequeña que puede ser un nodo local o un punto de acceso portátil. Una estación base puede soportar una o múltiples (p. ej., dos, tres, cuatro y lo similar) celdas.

La red inalámbrica 900 puede soportar la operación síncrono o asíncrono. Para la operación sincrónico, las estaciones base pueden tener una temporización de cuadro similar, y las transmisiones desde diferentes estaciones base pueden estar alineadas aproximadamente en el tiempo. Para la operación asíncrono, las estaciones base pueden tener una temporización de cuadro diferente, y las transmisiones de diferentes estaciones base pueden no estar alineadas en el tiempo. En algunos escenarios, las redes pueden estar habilitadas o configuradas para manejar la conmutación dinámica entre operaciones síncronas o asíncronas.

Los UE 915 están dispersos por toda la red inalámbrica 900, y cada UE puede ser estacionario o móvil. Debe apreciarse que, aunque un aparato móvil se denomina comúnmente un UE en las normas y especificaciones promulgadas por el 3GPP, tal aparato puede ser referido adicionalmente o de otra manera por los expertos en la técnica como una estación móvil (MS, por sus siglas en inglés), una estación de suscriptor, una unidad móvil, una unidad de abonado, una unidad inalámbrica, una unidad remota, un dispositivo móvil, un dispositivo inalámbrico de comunicaciones, un dispositivo remoto, una estación de suscriptor móvil, un terminal de acceso (AT, por sus siglas en inglés), un terminal móvil, un terminal inalámbrico, un terminal remoto, un teléfono, un terminal, un agente de usuario, un cliente móvil, un cliente, un dispositivo de juego, un dispositivo de realidad

aumentada, componente vehicular, dispositivo vehicular o módulo vehicular, o alguna otra terminología adecuada. Dentro del presente documento, un aparato “móvil” o UE no necesita tener necesariamente una capacidad de movimiento, y puede ser estacionario. Algunos ejemplos no limitantes de un aparato móvil, tal como pueden incluir implementaciones de uno o más de los UE 915, incluyen un móvil, un teléfono celular (celular), un teléfono inteligente, un teléfono de protocolo de inicio de sesión (SIP, por sus siglas en inglés), una estación de bucle local inalámbrico (WLL, por sus siglas en inglés), un computador portátil (PC, por sus siglas en inglés), un portátil, un netbook, un libro inteligente, una tableta y un asistente digital personal (PDA, por sus siglas en inglés). Un aparato móvil puede ser además un dispositivo IoT o “Internet de todo” (IoE, por sus siglas en inglés), como un vehículo automotriz u otro vehículo de transporte, una radio satelital, un dispositivo de sistema de posicionamiento global (GPS, por sus siglas en inglés), un dispositivo del sistema mundial de navegación por satélite (GNSS, por sus siglas en inglés), un controlador logístico, un dispositivo de vuelo, un dispositivo inteligente de energía o seguridad, un panel solar o matriz solar, iluminación municipal, agua u otra infraestructura; automatización industrial y dispositivos empresariales; dispositivos de consumo y ponibles, tales como gafas, una cámara portátil, un reloj inteligente, un rastreador de salud

o actividad física, un dispositivo implantable para mamíferos, dispositivo de seguimiento de gestos, dispositivo médico, un reproductor de audio digital (p. ej., reproductor MP3), una cámara, una consola de juegos, etc.; y dispositivos digitales para el hogar o para el hogar inteligente como un dispositivo de audio, video y multimedia para el hogar, un electrodoméstico, un sensor, una máquina expendedora, iluminación inteligente, un sistema de seguridad para el hogar, un medidor inteligente, etc. En un aspecto, un UE puede ser un dispositivo que incluye una Tarjeta de Circuito Integrado Universal (UICC, por sus siglas en inglés). En otro aspecto, un UE puede ser un dispositivo que no incluye una UICC. En algunos aspectos, los UE que no incluyen UICC también pueden denominarse dispositivos IoE. Los UE 915a-915d de la implementación ilustrada en la Figura 9 son ejemplos de dispositivos móviles de tipo teléfono inteligente que acceden a la red inalámbrica 900. Un UE también puede ser una máquina configurada específicamente para la comunicación conectada, incluyendo comunicación de tipo máquina (MTC, por sus siglas en inglés), MTC mejorada (eMTC, por sus siglas en inglés), IoT de banda estrecha (NB-IoT, por sus siglas en inglés) y lo similar. Los UE 915e-915k ilustrados en la Figura 9 son ejemplos de diversas máquinas configuradas para comunicación que acceden a la red inalámbrica 900.

Un aparato móvil, tal como los UE 915, puede ser capaz de comunicarse con cualquier tipo de estaciones base,

ya sean macroestaciones base, estaciones base femto, relés y lo similar. En la Figura 9, un enlace de comunicación (representado como un rayo) indica transmisiones inalámbricas entre un UE y una estación base de servicio, que es una estación base designada para servir al UE en el enlace descendente o enlace ascendente, o transmisión deseada entre estaciones base, y transmisiones de backhaul entre estaciones base. Los UE pueden operar como estaciones base u otros nodos de red en algunos escenarios. La comunicación de backhaul entre las estaciones base de la red inalámbrica 900 puede ocurrir usando enlaces de comunicación cableados o inalámbricos.

En operación en la red inalámbrica 900, las estaciones base 905a-905c sirven a los UE 915a y 915b usando conformación de luz 3D y técnicas espaciales coordinadas, como multipunto coordinado (CoMP, por sus siglas en inglés) o multiconectividad. La macro estación base 905d realiza comunicaciones de backhaul con las estaciones base 905a-905c, así como celda pequeña, estación base 905f. La macro estación base 905d también transmite servicios de multidifusión que son suscritos y recibidos por los UE 915c y 915d. Tales servicios de multidifusión pueden incluir televisión móvil o transmisión de video, o pueden incluir otros servicios para proporcionar información a la comunidad, como

emergencias meteorológicas o alertas, como alertas ámbar o alertas grises.

La red inalámbrica 900 de implementaciones soporta comunicaciones de misión crítica con enlaces ultra
5 confiables y redundantes para dispositivos de misión crítica, como el UE 915e, que es un vehículo aeronáutico. Los enlaces de comunicación redundantes con el UE 915e incluyen desde las estaciones base macro 905d y 905e, así como la estación base celular pequeña 905f. Otros
10 dispositivos de tipo máquina, como UE 915f (termómetro), UE 915g (medidor inteligente) y UE 915 h (dispositivo portátil) pueden comunicarse a través de la red inalámbrica 900 ya sea directamente con estaciones base, como la estación base celular pequeña 905f y la macro estación base 905e, o en
15 configuraciones de múltiples saltos comunicándose con otro dispositivo de usuario que transmite su información a la red, como el UE 915f comunicando información de medición de temperatura al medidor inteligente, UE 915 g, que después se informa a la red a través de la estación base celular
20 pequeña 905f. La red inalámbrica 900 también puede proporcionar eficiencia de red adicional a través de comunicaciones TDD dinámicas de baja latencia o comunicaciones FDD de baja latencia, tal como en una red de malla de vehículo a vehículo (V2V, por sus siglas en inglés)
25 entre los UE 915i-915k que se comunican con la macro estación base 905e.

En diversas implementaciones, las técnicas y el aparato pueden usarse para redes de comunicación inalámbrica tales como redes de acceso múltiple por división de código (CDMA), redes de acceso múltiple por división de tiempo (TDMA), redes de acceso múltiple por división de frecuencia (FDMA, por sus siglas en inglés), redes FDMA ortogonales (OFDMA, por sus siglas en inglés), redes FDMA de portadora única (SC-FDMA, por sus siglas en inglés), redes LTE, redes GSM, redes FDMA de 5.º generación (5G) o redes de nuevas radio (NR) (a veces a como redes, sistemas o dispositivos “5G NR”), así como otras redes de comunicaciones. Como se describe en la presente, los términos “redes” y “sistemas” pueden usarse indistintamente. Una red CDMA, por ejemplo, puede implementar una tecnología de radio tal como acceso universal por radio terrestre (UTRA, por sus siglas en inglés), cdma2000 y lo similar. UTRA incluye CDMA de ancho de red (W-CDMA, por sus siglas en inglés) y baja tasa de chip (LCR, por sus siglas en inglés). CDMA2000 cubre los estándares IS-2000, IS-95 e IS-856. Una red TDMA puede, por ejemplo, implementar una tecnología de radio tal como el Sistema Global de Comunicación Móvil (GSM). El Proyecto de Asociación de Tercera Generación (3GPP) define estándares para la red de acceso por radio (RAN) GSM EDGE (velocidades de datos mejoradas para la evolución GSM), también denotada como GERAN. Una red OFDMA puede implementar una tecnología de radio tal como UTRA evolucionada (E-UTRA, por sus siglas en

inglés), Institute of Electrical and Electronics Engineers (IEEE, por sus siglas en inglés) 802.11, IEEE 802.16, IEEE 802.20, Flash-OFDM y lo similar. UTRA, E-UTRA y GSM forman parte del sistema universal de telecomunicaciones móviles (UMTS, por sus siglas en inglés). En particular, la evolución a largo plazo (LTE) es una versión de UMTS que usa E-UTRA. Los distintos tipos de red pueden usar diferentes tecnologías de acceso por radio (RAT) y RAN.

Si bien los aspectos y las implementaciones se describen en esta solicitud mediante la ilustración de algunos ejemplos, los expertos en la técnica entenderán que pueden surgir implementaciones adicionales y casos de uso en muchas disposiciones y escenarios diferentes. Las innovaciones descritas en la presente pueden implementarse en muchos tipos diversos de plataforma, dispositivos, sistemas, formas, tamaños, disposiciones de envasado. Por ejemplo, implementaciones o usos pueden realizarse a través de implementaciones de chip integradas u otros dispositivos basados en componentes no modulares (p. ej., dispositivos de usuario final, vehículos, dispositivos de comunicación, dispositivos informáticos, equipos industriales, dispositivos de venta al por menor/compra, dispositivos médicos, dispositivos habilitados para IA). Si bien algunos ejemplos pueden o no estar dirigidos específicamente a casos de uso o aplicaciones, puede ocurrir una amplia variedad de aplicabilidad de las innovaciones descritas. Las

implementaciones pueden variar desde componentes modulares o a nivel de chip hasta implementaciones no modulares, no a nivel de chip y además a dispositivos o sistemas agregados, distribuidos u originales del fabricante de equipos (OEM) que incorporan uno o más aspectos descritos. En algunas configuraciones prácticas, los dispositivos que incorporan aspectos y características descritos también pueden incluir necesariamente componentes y características adicionales para la implementación y práctica de los aspectos reivindicados y descritos. Se pretende que las innovaciones descritas en la presente puedan practicarse en una amplia variedad de implementaciones, incluyendo tanto dispositivos grandes como dispositivos pequeños, componentes a nivel de chip, sistemas multicomponente (p. ej., cadena de radiofrecuencia (RF), interfaz de comunicación, procesador), disposiciones distribuidas, dispositivos de usuario final, etc. de diferentes tamaños, formas y constitución.

En uno o más aspectos, las técnicas para soportar el almacenamiento de datos y/o la transmisión de datos, pueden incluir aspectos adicionales, tales como cualquier aspecto individual o cualquier combinación de aspectos descritos a continuación o en relación con uno o más de otros procesos o dispositivos descritos en otra parte de la presente. En un aspecto, un dispositivo electrónico, tal como un UE, puede ser un aparato tal como un dispositivo anfitrión que incluye un controlador de memoria configurado para

acoplarse a través de una interfaz física (PHY) a un sistema de memoria, en el que el sistema de memoria puede estar integrado con el dispositivo anfitrión o acoplarse externamente al dispositivo anfitrión. El sistema de memoria
5 puede incluir un controlador de memoria acoplado a un sistema de memoria a través de un primer canal y configurado para acceder a datos almacenados en el sistema de memoria a través del primer canal y acoplado a un dispositivo anfitrión a través de una primera interfaz, tal como una PHY, y
10 configurado para comunicarse con el dispositivo anfitrión a través de la primera interfaz. Las operaciones pueden ejecutarse como parte de una operación de inicialización, una operación de lectura o una operación de escritura.

En un primer aspecto, el controlador de memoria
15 del sistema de memoria puede configurarse para realizar operaciones que incluyen recibir, desde el dispositivo anfitrión, después de inicializar la PHY para operar a una primera velocidad, una solicitud de información de configuración de PHY para configurar la PHY para operar a
20 una segunda velocidad, mayor que la primera velocidad, desde un primer búfer del módulo de memoria y transmitir la información de configuración de PHY al dispositivo anfitrión.

En un segundo aspecto, en combinación con el primer aspecto, el primer búfer está ubicado en una memoria
25 flash del módulo de memoria.

En un tercer aspecto, en combinación con uno o más del primer aspecto o el segundo aspecto, la transmisión de la información de configuración de PHY se realiza antes de que se complete la inicialización de la memoria flash.

5 En un cuarto aspecto, en combinación con uno o más del primer aspecto al tercer aspecto, la PHY se inicializa para operar a la primera velocidad durante una etapa de inicialización de enlace de inicialización del dispositivo anfitrión.

10 En un quinto aspecto, en combinación con uno o más del primer aspecto al cuarto aspecto, la información de configuración de PHY comprende un parche de PHY asociado con la segunda velocidad.

15 En un sexto aspecto, en combinación con uno o más del primer aspecto al quinto aspecto, el búfer almacena una pluralidad de parches de PHY asociados con una pluralidad de velocidades.

20 En un séptimo aspecto, en combinación con uno o más del primer aspecto al sexto aspecto, el primer búfer se configura como de solo lectura.

25 En un octavo aspecto, el controlador de memoria del dispositivo anfitrión puede configurarse para realizar operaciones que incluyen inicializar la PHY para operar a una primera velocidad, recibir información de configuración de PHY para configurar la PHY para operar a una segunda velocidad, mayor que la primera velocidad,

desde un primer búfer del sistema de memoria, y ajustar una configuración de la PHY de acuerdo con la información de configuración de PHY para operar a la segunda velocidad.

En un noveno aspecto, en combinación con el
5 octavo aspecto, el primer búfer está ubicado en una memoria flash del sistema de memoria.

En un décimo aspecto, en combinación con uno o más del octavo aspecto al noveno aspecto, el controlador de memoria se configura además para completar la
10 inicialización de la memoria flash después de ajustar la configuración de la PHY.

En un undécimo aspecto, en combinación con uno o más del octavo aspecto al décimo aspecto, inicializar la PHY para operar a la primera velocidad comprende completar
15 una etapa de inicialización de enlace de inicialización del dispositivo anfitrión.

En un duodécimo aspecto, en combinación con uno o más del octavo aspecto al undécimo aspecto, el controlador de memoria del sistema de memoria puede
20 configurarse además para realizar operaciones que incluyen transmitir, después de inicializar la PHY para operar a la primera velocidad, una solicitud de la información de configuración de PHY al sistema de memoria.

En un decimotercer aspecto, en combinación con uno
25 o más del octavo aspecto al duodécimo aspecto, la información de configuración de PHY comprende un parche de PHY asociado

con la segunda velocidad, y en donde ajustar la configuración de la PHY comprende aplicar el parche de PHY.

En un decimocuarto aspecto, en combinación con uno o más del octavo aspecto al decimotercer aspecto, el
5 búfer almacena una pluralidad de parches de PHY asociados con una pluralidad de velocidades.

En un decimoquinto aspecto, en combinación con uno o más del octavo aspecto al decimocuarto aspecto, el primer buffer se configura como de sólo lectura.

10 Los expertos en la técnica comprenderían que la información y las señales pueden representarse usando cualquiera de una variedad de tecnologías y técnicas diferentes. Por ejemplo, los datos, instrucciones, comandos, información, señales, bits, símbolos, y chips que pueden ser
15 referenciados a lo largo de la descripción anterior pueden estar representados por voltajes, corrientes, ondas electromagnéticas, campos o partículas magnéticos, campos ópticos o partículas, o cualquier combinación de estos.

Los componentes, los bloques funcionales y los
20 módulos descritos en la presente con respecto a las Figuras 1-8 incluyen procesadores, dispositivos electrónicos, dispositivos de hardware, componentes electrónicos, circuitos lógicos, memorias, códigos de software, códigos de firmware, entre otros ejemplos, o cualquier combinación
25 de estos. Por software se entenderá de manera amplia instrucciones, conjuntos de instrucciones, código,

segmentos de código, código de programa, programas, subprogramas, módulos de software, aplicación, aplicaciones de software, paquetes de software, rutinas, subrutinas, objetos, ejecutables, hilos de ejecución, procedimientos y/o funciones, entre otros ejemplos, ya sea
5 referido como software, firmware, middleware, microcódigo, lenguaje de descripción de hardware o de cualquier otra manera. Además, las características analizadas en la presente pueden implementarse a través del sistema de
10 circuitos de procesador especializado, a través de instrucciones ejecutables o combinaciones de estas.

Aquellos con experiencia en la técnica que uno o más bloques (u operaciones) descritos con referencia a las Figuras 4A-E, 5, 6, 7 u 8 pueden combinarse con uno o más
15 bloques (u operaciones) descritos con referencia a otra de las figuras. Por ejemplo, uno o más bloques (u operaciones) de la Figura 1 pueden combinarse con uno o más bloques (u operaciones) de la Figura 3. Como otro ejemplo, uno o más bloques asociados con la Figura 1 pueden combinarse con uno
20 o más bloques (u operaciones) asociados con las Figuras 4A-E, 5, 6, 7 u 8. Adicional o alternativamente, una o más operaciones descritas anteriormente con referencia a las Figuras 1-3 pueden combinarse con una o más operaciones descritas con referencia a las Figuras 4-8.

25 Los expertos en la técnica apreciarían además que los diversos bloques lógicos ilustrativos, módulos,

circuitos y etapas de algoritmo descritos en relación con la divulgación en la presente pueden implementarse como hardware electrónico, software informático, o combinaciones de ambos. Para ilustrar claramente esta intercambiabilidad de hardware y software, varios componentes ilustrativos, bloques, módulos, circuitos y pasos se han descrito anteriormente generalmente en términos de su funcionalidad. El hecho de que tal funcionalidad se implemente como hardware o software depende de las limitaciones particulares de aplicación y diseño impuestas al sistema en general. Los expertos en la técnica pueden implementar la funcionalidad descrita de diversas maneras para cada aplicación particular, pero tales decisiones de implementación no deben interpretarse como que causan una desviación del alcance de la presente divulgación. Los expertos en la técnica también reconocerán fácilmente que el orden o combinación de componentes, métodos o interacciones que se describen en la presente son simplemente ejemplos y que los componentes, métodos o interacciones de los diversos aspectos de la presente divulgación pueden combinarse o realizarse de maneras distintas a las ilustradas y descritas en la presente.

Las diversas lógicas ilustrativas, bloques lógicos, módulos, circuitos y procesos de algoritmo descritos en relación con las implementaciones descritas en la presente pueden implementarse como hardware

electrónico, software informático o combinaciones de ambos.

La intercambiabilidad de hardware y software se ha descrito generalmente, en términos de funcionalidad, e ilustrado en los diversos componentes ilustrativos, bloques, módulos, circuitos y procesos descritos anteriormente. El hecho de que tal funcionalidad se implemente en el hardware o software depende de las limitaciones particulares de aplicación y diseño impuestas al sistema en general.

El aparato de procesamiento de datos y el hardware usados para implementar los diversos bloques lógicos ilustrativos, módulos y circuitos descritos en relación con los aspectos descritos en la presente pueden implementarse o realizarse con un procesador de chip único o múltiple de propósito general, un procesador de señal digital (DSP, por sus siglas en inglés), un circuito integrado de aplicación específica (ASIC), una matriz de puertas programables de campo (FPGA, por sus siglas en inglés) u otro dispositivo lógico programable, compuerta discreta o lógica de transistor, componentes de hardware discretos, o cualquier combinación de estos diseñados para realizar las funciones descritas en la presente. Un procesador de uso general puede ser un microprocesador, o cualquier procesador, controlador, microcontrolador o máquina de estado convencional. En algunas implementaciones, un procesador puede implementarse como una combinación de dispositivos informáticos, tal como una combinación de un DSP y un

microprocesador, una pluralidad de microprocesadores, uno o más microprocesadores junto con un núcleo DSP o cualquier otra configuración de este tipo. En algunas implementaciones, procesos y métodos particulares pueden ser realizados por el sistema de circuitos que es específico para una función dada.

En uno o más aspectos, las funciones descritas pueden implementarse en hardware, sistema de circuitos electrónico digital, software informático, firmware, incluyendo las estructuras descritas en esta especificación y sus equivalentes estructurales de los mismos, o en cualquier combinación de estos. Las implementaciones de la materia objeto descrita en esta especificación también pueden implementarse como uno o más programas informáticos, que son uno o más módulos de instrucciones de programas informáticos, codificados en un medio de almacenamiento informático para su ejecución por, o para controlar la operación de, un aparato de procesamiento de datos.

Si se implementan en software, las funciones pueden almacenarse o transmitirse como una o más instrucciones o código en un medio legible por computador. Los procesos de un método o algoritmo divulgado en la presente pueden implementarse en un módulo de software ejecutable por procesador que puede residir en un medio legible por computador. Los medios legibles por computador incluyen tanto medios de almacenamiento de computador como medios de

comunicación, incluido cualquier medio que pueda estar habilitado para transferir un programa informático de un lugar a otro. Un medio de almacenamiento puede ser cualquier medio disponible al que pueda acceder un computador. A manera
5 de ejemplo, y no de limitación, tales medios legibles por computador pueden incluir memoria de acceso aleatorio (RAM, por sus siglas en inglés), memoria de solo lectura (ROM, por sus siglas en inglés), memoria de solo lectura programable y borrable eléctricamente (EEPROM, por sus siglas en inglés),
10 CD-ROM u otro almacenamiento en disco óptico, almacenamiento en disco magnético u otros dispositivos de almacenamiento magnético o cualquier otro medio que pueda usarse para almacenar el código de programa deseado en forma de instrucciones o estructuras de datos y al que se pueda acceder
15 por un computador. Además, cualquier conexión puede denominarse correctamente un medio legible por computador. Disco, como se usa en la presente, incluye disco compacto (CD, por sus siglas en inglés), disco láser, disco óptico, disco versátil digital (DVDd), disquete y disco Blu-ray,
20 donde los discos generalmente reproducen datos magnéticamente, mientras que los discos reproducen datos ópticamente con láseres. Las combinaciones de lo anterior también deben incluirse dentro del alcance de los medios legibles por computador. Adicionalmente, las operaciones de
25 un método o algoritmo pueden residir como una o cualquier combinación o conjunto de códigos e instrucciones en un medio

legible por máquina y un medio legible por computador, que pueden incorporarse en un producto de programa informático.

Diversas modificaciones a las implementaciones descritas en esta divulgación pueden ser fácilmente evidentes para los expertos en la técnica, y los principios genéricos definidos en la presente pueden aplicarse a algunas otras implementaciones sin apartarse del espíritu o alcance de esta divulgación. Por lo tanto, las reivindicaciones no pretenden limitarse a las implementaciones mostradas en la presente, sino que deben concederse el alcance más amplio consistente con esta divulgación, los principios y las características novedosas divulgadas en la presente.

Adicionalmente, una persona que tenga experiencia ordinaria en la técnica apreciará fácilmente que términos opuestos tales como “superior” e “inferior” o “frontal” y “posterior” o “superior” e “inferior” o “adelante” y “atrás” se usan a veces para facilitar la descripción de las figuras, e indican posiciones relativas correspondientes a la orientación de la figura en una página correctamente orientada, y puede que no refleje la orientación adecuada de ningún dispositivo tal como se implementa.

Ciertas características que se describen en esta especificación en el contexto de implementaciones separadas también pueden implementarse en combinación en una sola implementación. Por el contrario, diversas características que se describen en el contexto de una sola implementación

también pueden implementarse en múltiples implementaciones por separado o en cualquier subcombinación adecuada. Además, aunque las características pueden describirse anteriormente como que actúan en ciertas combinaciones e incluso inicialmente reivindicadas como tales, una o más características de una combinación reivindicada pueden en algunos casos ser extraídas de la combinación, y la combinación reivindicada puede dirigirse a una subcombinación o variación de una subcombinación.

De manera similar, aunque las operaciones se representan en los dibujos en un orden particular, esto no debe entenderse como que requiere que tales operaciones se realicen en el orden particular mostrado o en orden secuencial, o que se realicen todas las operaciones ilustradas, para lograr resultados deseables. Además, los dibujos pueden representar esquemáticamente uno o más procesos de ejemplo en forma de un diagrama de flujo. Sin embargo, otras operaciones que no se representan pueden incorporarse en los procesos de ejemplo que se ilustran esquemáticamente. Por ejemplo, una o más operaciones adicionales pueden realizarse antes, después, simultáneamente o entre cualquiera de las operaciones ilustradas. En ciertas circunstancias, la multitarea y el procesamiento paralelo pueden ser ventajosos. Además, la separación de diversos componentes del sistema en las implementaciones descritas anteriormente no debe

entenderse como que requiere tal separación en todas las implementaciones, y debe entenderse que los componentes y sistemas del programa descritos pueden estar generalmente integrados juntos en un único producto de software o
5 empaquetados en múltiples productos de software. Adicionalmente, algunas otras implementaciones están dentro del alcance de las siguientes reivindicaciones. En algunos casos, las acciones citadas en las reivindicaciones pueden realizarse en un orden diferente
10 y aun así lograr resultados deseables.

Como se usa en la presente, incluyendo en las reivindicaciones, el término “o”, cuando se usa en una lista de dos o más artículos, significa que cualquiera de los artículos enumerados puede emplearse por sí mismo, o puede
15 emplearse cualquier combinación de dos o más de los artículos enumerados. Por ejemplo, si una composición se describe como que contiene componentes A, B o C, la composición puede contener A solo; B solo; C solo; A y B en combinación; A y C en combinación; B y C en combinación; o
20 A, B y C en combinación. Además, como se usa en la presente, incluyendo en las reivindicaciones, “o” como se usa en una lista de elementos precedida por “al menos uno de” indica una lista disyuntiva de tal manera que, por ejemplo, una lista de “al menos uno de A, B, o C” significa A o B o C o
25 AB o AC o BC o ABC (es decir A y B y C) o cualquiera de estos en cualquier combinación de estos. El término

“sustancialmente” se define como en gran parte, pero no necesariamente en su totalidad, lo que se especifica (e incluye lo que se especifica; por ejemplo, sustancialmente 90 grados incluye 90 grados y sustancialmente paralelo incluye paralelo), como entiende una persona con experiencia ordinaria en la técnica. En cualquier implementación descrita, el término “sustancialmente” puede ser sustituido por “dentro de [un porcentaje] de” lo especificado, donde el porcentaje incluye ,1, 1, 5 o 10 por ciento.

La descripción anterior de la divulgación se proporciona para permitir que cualquier experto en la técnica haga o use la divulgación. Diversas modificaciones a la divulgación serán fácilmente evidentes para los expertos en la técnica, y los principios genéricos definidos en la presente pueden aplicarse a otras variaciones sin apartarse del espíritu o alcance de la divulgación. Por tanto, la divulgación no pretende limitarse a los ejemplos y diseños descritos en la presente, sino que se le debe otorgar el alcance más amplio compatible con los principios y las características novedosas descritas en la presente.